

集成电路功能成品率模拟与设计方法 *

郝 跃¹ 朱春翔² 张卫东¹

(1 西安电子科技大学微电子所 西安 710071)

(2 浙江大学微电子研究所 杭州 310027)

摘要 本文基于在缺陷空间分布和粒径分布的模型,研究并讨论了计算集成电路(IC)功能成品率的理论和模拟 IC 功能成品率的方法。为了验证所研究方法和模型的正确性,对测试图样和实际 IC 的功能成品率进行模拟,并分析了影响功能成品率的几个因素,得到了有益的结果。

EEACC: 1130B, 0240G, 0260, 2500

1 引言

集成度的提高和器件尺寸减小使保持或提高成品率成为 IC 产品制造中的瓶颈。因此,在一个芯片制造之前,如果能够预测成品率,并能根据制造工艺和器件特性提出改进和提高成品率的措施和方法,将对 IC 的制造起着非常重要的作用。通过成品率的预测,就可以在生产之前,采取成品率优化设计措施(包括改变版图形状,设计规则,工艺条件等等)使 IC 制造成品率(合格率)达到最大。

本文主要讨论 IC 功能成品率。所谓功能成品率就是指由于硅片中的缺陷致使电路版图的拓扑结构发生变化,产生电路错误,使电路丧失其功能,从而降低 IC 的成品率。

一般地讲,IC 成品率的下降主要是由于所设计的 IC 在工艺过程中其结构和参数发生了变化,改变了 IC 的拓扑结构或指标参数所引起的。设计好的 IC 中所出现的这些变化主要由工艺过程中的各种微扰引起的,这些微扰来自于制造过程中的各个工艺步骤。凡是使 IC 结构或参数发生变化的微扰统称为缺陷。引起 IC 结构或参数局域变化的缺陷称为局域缺陷,引起 IC 结构或参数全局变化的缺陷称为全局缺陷。局域缺陷与全局缺陷是集成电路制造中成品率下降的两个主要原因。一般而言,全局缺陷主要包括光刻套准误差、工艺参数随机起伏、线宽变化等,局域缺陷主要有光刻工艺中引入的点缺陷以及氧化物针孔缺陷等。全局缺陷主要影响 IC 的参数成品率,因为此类缺陷将使 IC 的某些参数(如速度、功耗等)发生

* 国家教委博士点基金和国家 863 高科技项目资助课题

郝 跃 1958 年生,教授、博士,从事微电子学与半导体器件研究

朱春翔 博士研究生,研究兴趣为特种半导体器件和技术,微电子设计方法学

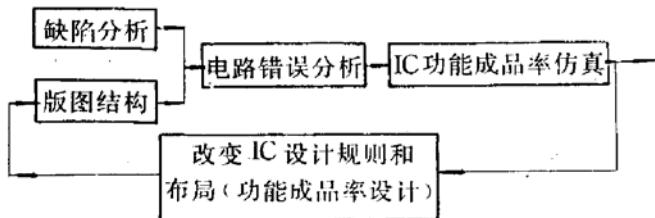
张卫东 1966 年生,硕士,讲师,现从事 VLSI 可制造性系统研究和 ASIC 设计与研制等工作

1995 年 5 月 29 日收到初稿,1995 年 11 月 5 日收到修改稿

变化. 而局域缺陷则主要影响电路的拓扑结构, 导致 IC 的功能失效, 从而影响 IC 的功能成品率. 由于功能成品率主要地由影响芯片版图拓扑结构的局域缺陷所决定. 因此, 本文主要讨论 IC 制造工艺中的局域缺陷以及相应的功能成品率^[1,2]. 局域缺陷对成品率的影响可以通过产生一组芯片样本来决定, 这组样本与工艺线上观察到的硅圆片中的缺陷有相同的分布. 通过这组样本, 并结合芯片的版图信息, 就可以得到电路的错误分布, 从而计算出 IC 的成品率(功能成品率). 集成电路成品率的模拟将在 ICCAD 研究领域中占有重要地位. 另外, 成品率的预测在优化设计方法, 产生测试向量, 评价工艺灵敏度以及设计冗余 IC 等等领域中有着重要的作用, 是 IC 可制造性工程和设计研究的主要内容之一^[3].

2 IC 功能成品率模型的建立

在 IC 制造工艺中有很多因素产生缺陷, 从而导致电路形成错误. 电路错误的形成强烈地依赖于所用的工艺线和电路的版图结构.



因此, 原则上只要确定了缺陷在硅片上的分布以及电路的版图结构, 通过电路错误分析, 就可以预测出电路的功能成品率, 如图 1 示.

图 1 功能成品率计算示意图

下, 其缺陷分布总满足一定的概率分布, 即这些缺陷可用不同的分布函数表征其性质. 缺陷在硅片上的分布事实上是缺陷空间分布和粒径分布的有机组合. 缺陷空间分布表征了缺陷在硅片上的位置分布的统计规律, 缺陷的粒径分布则表征了缺陷的尺寸大小统计规律. 因此, 得到缺陷的空间分布和粒径分布, 就确定了缺陷分布的完整信息.

缺陷空间分布的描述, 可通过对 Poisson 分布复合而得, 即:

$$P_r(X = x) = \int_0^{\infty} \frac{e^{-\lambda} \lambda^x}{k!} f(\lambda) d\lambda \quad (1)$$

其中 $f(\lambda)$ 是复合项, 当取 $f(\lambda)$ 是 Gamma 分布, 即

$$f(\lambda) = \frac{\lambda^{\alpha-1} e^{-\lambda/\beta}}{\beta^\alpha \Gamma(\alpha)} \quad (2)$$

将式(2)代入式(1), 则得负二项式分布(可很好表征缺陷的成团性质^[4]):

$$P_r(X = k) = \frac{\Gamma(\alpha + k) \beta^k}{k! \Gamma(\alpha) (1 + \beta)^{\alpha+k}} = \frac{\Gamma(\alpha + k) (\lambda/\alpha)^k}{k! \Gamma(\alpha) (1 + \lambda/\alpha)^{\alpha+k}} \quad (3)$$

其中 $\lambda = \alpha\beta$. 式(3)表示的就是某区域中有 k 个缺陷的概率. 特别地, 当取 $X=0$ 时即芯片没有缺陷时的概率就是成品率 Y , 所以

$$Y = \frac{1}{(1 + \lambda/\alpha)^\alpha} \quad (4)$$

式(4)其实是 IC 中某一层的成品率, 记为 Y_i , 则总的 IC 成品率 Y 为

$$Y = \prod_{i=1}^n Y_i = \prod_{i=1}^n \left(1 + \frac{\lambda_i}{\alpha_i}\right)^{-\alpha_i} \quad (5)$$

式中 n 一般表示光刻工艺的次数. 由式(5)计算的成品率常常高于实际 IC 的成品率, 这主

要有二个原因：(1) 芯片中的缺陷并不总是引起电路错误；(2) 没有考虑缺陷的粒径大小，粒径大小对 IC 成品率的影响很大。

缺陷粒径的大小对 IC 成品率的影响一般可通过一个称之为关键面积(Critical area)的量得到体现。所谓关键面积可理解为当导电层线段之间有短路错误时，缺陷所处的位置的集合。引入关键面积 $A^{[5,6]}$ ，并令 $\lambda = AD$ ，则式(5)相应总的 IC 成品率为

$$Y = \prod_{i=1}^n \left(1 + \frac{A_i D_i}{\alpha_i}\right)^{-\alpha_i} \quad (6)$$

形成 IC 中的缺陷主要有二个来源：洁净室空气中的灰尘微粒以及硅片和设备的物理接触。因此一般地，缺陷粒径分布的描述有几个因子组成，分别表示引入缺陷的不同机制。实验表明，每一种机制均可用 Rayleigh 分布描述^[2]，若令分布函数为 $f(R)$ ， R 为缺陷的直径，于是：

$$f(R) = [\beta_1 f_r(R - m_1, \alpha_1) + (1 - \beta_1) f_r(R - m_2, \alpha_2)] \beta_2 + (1 - \beta_2) f_r(R - m_3, \alpha_3) \quad (7)$$

式中

$$f_r(x, \alpha) = \begin{cases} \frac{x}{\alpha^2} \exp(-\frac{x}{2\alpha^2}), & x \geq 0 \\ 0, & x < 0 \end{cases} \quad (8)$$

其中 β_1 和 β_2 为权系数； m_1, m_2, α_1 和 α_2 与洁净工作间空气的灰尘粒子有关；而 m_3 和 α_3 与光刻、工艺设备和晶片的机械接触方式有关； α 是分布参数。

当同时考虑缺陷空间分布和粒径分布时，可得 IC 功能成品率的解析表达式。如果假设芯片第 k 层中粒径为 R 的缺陷有 v_k 个，且不引起电路错误的概率服从 Poisson 分布^[2]

$$Y_k = \sum_{i=1}^m p(R_k^i) \exp\{-D_k A_k^i (R_{ki}^*) p(R_k^i)\} \quad (9)$$

$$p(R_k^i) = \int_{R_k^i}^{R_k^{i+1}} f(R_k) dR_k \quad (10)$$

其中 p_k 是一个缺陷引起电路错误的概率； D_k 是 IC 第 k 层的缺陷密度。假设缺陷粒径的大小是一随机变量 R_k ，考虑一闭区间 $[R_k^i, R_k^{i+1}]$ 覆盖 R_k ($i=1, 2, 3, \dots, N$)。每一区间覆盖 R_k 的概率记为 $p[R_k^i]$ ，这样 $D_k p[R_k^i]$ 即为粒径在 $[R_k^i, R_k^{i+1}]$ 的缺陷密度。令 R_{ki}^* 是 $[R_k^i, R_k^{i+1}]$ 的中点， $A_k^i (R_{ki}^*)$ 表示对 R_{ki}^* 计算的关键面积。式(9)就是同时考虑缺陷空间分布和粒径分布的成品率表达式。于是，总的 IC 功能成品率为

$$Y = \prod_{k=1}^n Y_k \quad (11)$$

3 IC 功能成品率的模拟

一般对成品率的预测除了要求芯片的版图外，不仅需要缺陷的空间分布，而且还须有缺陷的粒径分布。缺陷粒径分布往往反映在关键面积这一量上。常用考虑关键面积的成品率预测方法有三种：

- 几何数值计算法

- 虚拟掩膜层法(Virtual Mask Method)
- Monte Carlo 统计模拟方法

几何数值计算法一般直接由版图的掩膜层图形,利用几何分析技术计算版图中每一层的关键面积。常用的有二种方案:(1)扫描线方法;(2)版图砖方法(Layout Tiling Method)。扫描线方法对版图进行扫描,借助于设计规则的检查,决定关键面积,从而计算出电路的成品率。版图砖方法首先提取缺陷产生错误的版图位置,然后利用几何方法计算出关键面积,最后通过关键面积计算出电路的成品率。

虚拟掩膜层方法是采用一近似简化的版图代替芯片实际版图,然后计算简化后的版图的关键面积,用此关键面积即可近似作为实际版图的关键面积,由关键面积很容易地计算电路的成品率。

Monte Carlo 统计模拟方法首先根据缺陷空间分布和粒径分布的统计规律产生一组伪随机数样本序列,此样本与工艺线观察到的硅片中缺陷的实际分布一致。通过这组样本,并结合芯片的版图信息,就可以得到电路的错误分布,从而计算出电路的成品率。尽管 Monte Carlo 方法在计算时间上较其它几类方法多,但它不受 IC 版图复杂度的影响,也可将复杂的缺陷分布灵活用于成品率的仿真,是一类实用的方法。正因如此,本文采用式(3)和式(9),并利用 Monte Carlo 统计模拟方法计算电路的成品率。

为了验证成品率模拟的正确性,首先以一个测试图样为例。通过对缺陷分布参数和版图几何参数的不同取值,考察模拟结果。然后对一实际 IC 进行功能成品率模拟。

测试图样如图 2 所示。这里不考虑其具体的 IC 版图层次。循环次数为 50 次,并分别取一组 n_c (每个芯片上的平均缺陷数), R (缺陷粒径分布的参数)和 La (决定线条宽度和设计尺寸的参数,测试图样的线条宽度为 $2La$)。模拟后得到一组数据见表 1。

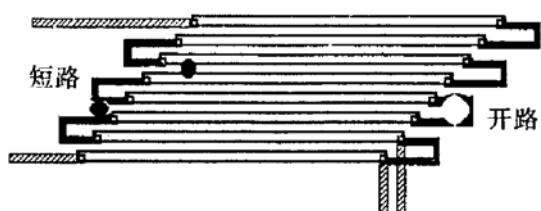


图 2 测试图样的版图几何形状

(每个芯片上的平均缺陷数), R (缺陷粒径分布的参数)和 La (决定线条宽度和设计尺寸的参数,测试图样的线条宽度为 $2La$)。模拟后得到一组数据见表 1。

表 1 图 2 测试图样的模拟结果(循环迭代次数为 50)

参数 取值	$La=2, R=5$ $n_c=5, n_c=10, n_c=15$	$La=2, n_c=5$ $R=5, R=10, R=15$	$R=5, n_c=5$ $La=2, La=4, La=6$
成品率 / %	83, 78, 61	81, 72, 56	80, 87, 98

对表 1 中的结果进行讨论。从表 1 可以看出:在缺陷密度和粒径大小一定时,版图尺寸较小的其成品率较低;在缺陷密度和版图尺寸一定时,粒径参数大的其成品率也较低;在缺陷粒径大小和版图尺寸一定时,则缺陷密度大的其成品率较低。尽管缺陷密度、缺陷粒径和版图尺寸对 IC 的(功能)成品率影响都较大,但由表 1 可见,缺陷粒径大小对成品率的影响最大。

为了进一步检验方法可行和实用性,对一实际 IC 电路为例进行模拟,并对模拟结果进行说明。以双极模拟 ICY14-1A 为例,进行成品率模拟和分析。

ICY14-1A 是一双极模拟 IC,版图图形面积为 $2.5 \times 2.8 \text{ mm}^2$,约几十只晶体管和电阻,其中有一只大功率三极管。ICY14-1A 的版图结构见图 3。

本文取 IC 中的四层主要版图加以模拟,计算出每层的成品率,最后得出总的功能成品率。模拟的四层分别是基区扩散层、发射区扩散层、引线孔层以及金属层,虽然只考虑了四层结构,但是这四层结构对 IC 的功能成品率影响最大。因此,对这四层结构的模拟足以对 IC 成品率做出令人满意的估计。对 Y14-1A 的模拟结果示于表 2,其中单位芯片上的缺陷数 n_c (单位是个/芯片)以及缺陷粒径参数 R (单位 μm)的值是通过对某厂中的 IC 双极工艺线中对相应工序的测量并通过参数提取方法得到。成品率模拟采用 Monte Carlo 统计模拟方法,循环迭代次数为 10。

表 2 Y14-1A 模拟 IC 的计算结果

关键工序 (i)	n_c	R	$Y_1(i) / \%$	$Y_2(i) / \%$	$Y_3(i) / \%$	$Y_4(i) / \%$
1 基区扩散	2	4	91	95	87	91
2 发射区扩散	2	4	90	89	92	90
3 通孔层	3	4	96	90	91	92
4 金属层	5	4	88	89	83	87

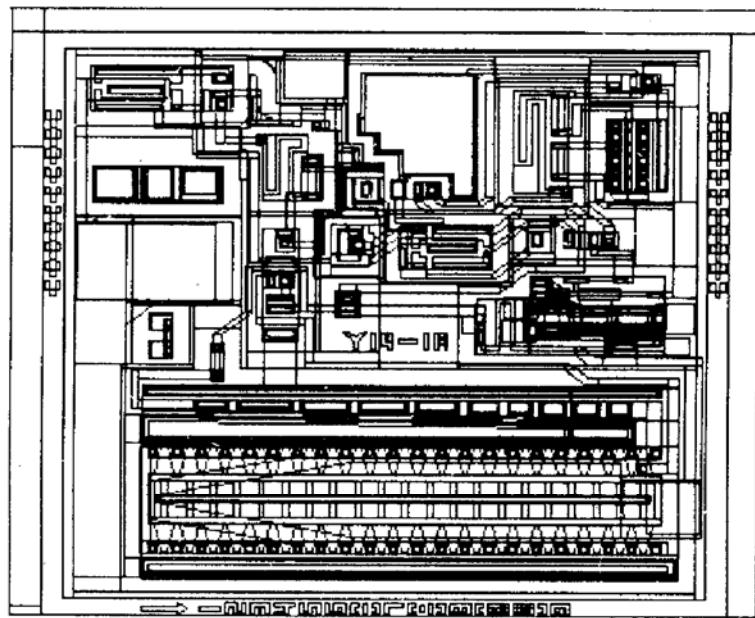


图 3 Y14-1A 版图结构示意图

$$Y = \prod_{i=1}^4 Y_i = 0.65$$

由表 2 知,双极 ICY14-1A 的成品率模拟结果为 65%。多次实际该电路的成品率仅为 55~65%,其结果与实际成品率符合。分析成品率比实际略高,这主要是因为本文模拟中只考虑了 Y14-1A 版图中的四层结构。其它层次结构对 IC 的成品率也有影响。另外,集成电路工艺中引入的全局缺陷尽管主要影响电路的参数成品率,但是其对 IC 的功能成品率也有一定的影响。考虑到这些原因,应该说模拟结果是令人满意的。

4 结论

IC 的设计者和生产者都希望在 IC 设计阶段能实现电路的制造成品率估计,并能指导设计规则的确定,使电路实现最佳的性能价格比。IC 可制造性设计和工程是实现以上目标的手段和途径。本文系统地得到 IC 功能成品率模型和功能成品率计算方法,同时考虑各种粒子和缺陷对成品率的影响,首次提出耦合微粒缺陷的粒径分布和在硅片的空间分布,实现

功能成品率的复合模拟和设计. 将这些分布结合 IC 版图信息实现了电路的制造成品率模拟和评价, 为实现 IC 可制造性设计和工程打下了基础. 实际应用表明, 计算结果与实际结果符合得很好, 充分说明了其意义和正确性.

参 考 文 献

- [1] C. H. Stapper, IBM J. Res. Develop., 1984, **28**(4): 461~457.
- [2] W. Maly, IEEE Trans. CAD/IC, 1985, **4**(3): 166~177.
- [3] A. R. Dalal, P. D. Franzon and M. J. Lorenzetti, IEEE Trans. Semiconductor Manufacturing, 1993, **6**(1): 77~82.
- [4] P. Fang, 1990 IEEE/SEMI Advanced Semiconductor Manufacturing Conference, 1990, pp. 88~90.
- [5] A. V. Ferris-Frabhu, IEEE J. Solid-State Circuits, 1985, **20**(4): 874~878.
- [6] A. V. Ferris-Frabhu, IEEE J. Solid-State Circuits, 1985, **20**(4): 878~880.

Design Methodology of IC Functional Yield

Hao Yue¹, Zhu Chunxiang² and Zhang Weidong¹

(1 Microelectronics Institute, Xidian University, Xi'an 710071)

(2 Microelectronics Institute, Zhejiang University, Hangzhou 310027)

Received 29 May 1995, revised manuscript received 5 November 1995

Abstract Based on the models of defect spatial and size distributions on silicon wafer, the theory of calculating IC functional yield and methods of simulating functional yield have been discussed and studied. In order to investigate the feasibility of the methods and models, examples including test pattern simulation and practical IC yield simulation are given. The factors of influencing functional yield are analysed and satisfactory results are obtained.

EEACC: 1130B, 0240G, 0260, 2500