

# 通用薄膜双栅 SOI MOSFET 电流模型

陈占平 魏丽琼 许铭真 谭长华 王阳元

(北京大学微电子所 北京 100871)

Paul K. Chu

(City University of Hong Kong, Kowloon, Hong Kong)

**摘要** 本文利用薄膜双栅 SOI 器件在阈值电压附近硅膜中的常电位近似, 得到一个通用的薄膜双栅 SOI 器件电流模型。数值模拟结果与实验值吻合较好。文中特别对其他模型所不适用的正背栅具有不同参数的双栅 SOI 器件进行了源漏电流的模拟, 并对结果进行了分析。

EEACC: 7410D

## 1 引言

TFSOI(Thin Film Silicon On Insulator)器件与体硅器件相比具有高速、低功耗、抗软失效等特点, 十分适用于未来深亚微米 VLSI 的应用<sup>[1]</sup>。近年来发展起来的双栅 SOI MOSFET, 具有近乎理想的亚阈值特性, 高跨导特性, 和良好的短沟道性能, 因此得到广泛重视<sup>[2]</sup>。

目前已有多类双栅 SOI 器件结构, 例如 GAA(Gate-All-Around)<sup>[3]</sup>结构, DELTA<sup>[4]</sup>结构以及键合形成的双栅结构<sup>[5]</sup>等。但是, 这些结构增加了工艺的复杂性, 而且, DELTA 结构不是等平面结构。SIMOX(Separation by IMplanted Oxygen)材料是 SOI 材料中十分有应用前景的一种, 目前已经商品化。最近采用低剂量, 低能量的注入技术, 已获得薄埋二氧化硅层和较低缺陷密度的 SIMOX 材料<sup>[6]</sup>, 降低了生产成本并且自然成为一种双栅 SOI 材料。

现有的双栅 SOI 器件模型只适用于两个栅具有相同厚度和界面特性等参数的器件结构<sup>[7]</sup>。本文考虑到薄膜双栅 SOI 器件在阈值电压附近硅膜呈体反型, 采用硅膜中常电位近似, 得到一个通用的适用于两个栅具有不同厚度和界面特性等参数的双栅 SOI 器件阈值电压附近的电流模型, 模型模拟结果与实验值吻合较好。利用该模型对不同参数下具有 SIMOX 结构的双栅 SOI 器件进行了模拟, 并对模拟结果进行了讨论和分析。

陈占平 男, 1968年生, 硕士生, 目前从事 SOI 可靠性研究工作

魏丽琼 女, 1969年生, 硕士, 现从事 SOI 器件及电路方面的研究工作

王阳元 男, 1935年生, 教授, 中国科学院院士, 主要从事 VLSI 新工艺、新器件和新结构的研究

1995年7月13日收到初稿, 1995年10月9日收到修改稿

## 2 模型

图1给出双栅SOI器件的剖面图。当硅膜较薄时，整个硅膜将达到体反型（见结果及讨论）。此时耗尽近似已不再成立，硅膜中的电位分布可由 Poisson 方程：

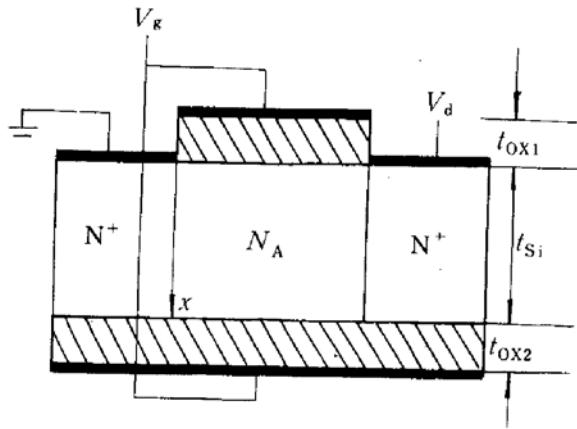


图 1 双栅 SOI MOSFET 剖面示意图

其中  $G = \frac{q}{\epsilon_{Si}}(N_A + \frac{N_i^2}{N_A} \exp(\frac{q}{k_B T} \Phi(x_1)))$ ;  $C = \frac{\Phi_{S2} - \Phi_{S1} - G \frac{t_{Si}^2}{2}}{t_{Si}}$ ;  $\Phi_{S2}, \Phi_{S1}$  为背界面和正界面的表面电位;  $t_{Si}$  为硅膜厚度。

硅膜中的电场分布：

$$E(x) = -\frac{q}{\epsilon_{Si}}(N_a + \frac{N_i^2}{N_a} \exp(\frac{q}{k_B T} \Phi(x_1)))x - \frac{\Phi_{S2} - \Phi_{S1} - G \frac{t_{Si}^2}{2}}{t_{Si}} \quad (3)$$

从  $E(x)|_{x=x_1} = 0$ , 可求出硅膜中最低电位点的位置  $x_1$ :

$$x_1 = -\frac{C}{G} \quad (4)$$

对正界面应用高斯定理, 可得出正面栅氧化层两端的电位降  $\Phi_{OX1}$ :

$$\Phi_{OX1} = \frac{\epsilon_{Si} E_{S1} - Q_{OX1} - Q_{inv1}}{C_{OX1}} \quad (5)$$

其中  $Q_{OX1}$  是正面 Si/SiO<sub>2</sub> 界面的固定电荷密度;  $Q_{inv1}$  为正面栅所控制的反型层载流子电荷;  $E_{S1}$  为正界面处的表面电场。

正面栅电压  $V_{g1}$ :

$$V_{g1} = \Phi_{S1} + \Phi_{OX1} + \Phi_{MS1} \quad (6)$$

其中  $\Phi_{MS1}$  为正面栅与硅的接触电势差。

联立(3)、(5)、(6)得到:

$$V_{g1} = \Phi_{MS1} - \frac{Q_{OX1}}{C_{OX1}} + (1 + \frac{C_{Si}}{C_{OX1}})\Phi_{S1} - \frac{C_{Si}}{C_{OX1}}\Phi_{S2} + \frac{G t_{Si}}{2} \times \frac{\epsilon_{Si}}{C_{OX1}} \quad (7)$$

同理可得:

$$V_{g2} = \Phi_{MS2} - \frac{Q_{OX2}}{C_{OX2}} + (1 + \frac{C_{Si}}{C_{OX2}})\Phi_{S2} - \frac{C_{Si}}{C_{OX2}}\Phi_{S1} + \frac{G t_{Si}}{2} \times \frac{\epsilon_{Si}}{C_{OX2}} \quad (8)$$

联立(2),(3),(4),(7)和(8),可求出 $\Phi_{S2},\Phi_{S1},\Phi(x_1)$ :

$$\begin{aligned}\Phi_{S1} &= [V_{g1}(1 + \frac{C_{Si}}{C_{OX2}}) + V_{g2}\frac{C_{Si}}{C_{OX1}} - (V_{FB1} + \frac{G}{2}t_{Si}\frac{\epsilon_{Si}}{C_{OX1}}) \\ &\quad (1 + \frac{C_{Si}}{C_{OX2}}) - (V_{FB2} + \frac{G}{2}t_{Si}\frac{\epsilon_{Si}}{C_{OX2}})\frac{C_{Si}}{C_{OX1}}] / (1 + \frac{C_{Si}}{C_{OX1}} + \frac{C_{Si}}{C_{OX2}}) \quad (9)\end{aligned}$$

$$\begin{aligned}\Phi_{S2} &= [V_{g2}(1 + \frac{C_{Si}}{C_{OX2}}) + V_{g1}\frac{C_{Si}}{C_{OX1}} - (V_{FB1} + \frac{G}{2}t_{Si}\frac{\epsilon_{Si}}{C_{OX1}})\frac{C_{Si}}{C_{OX2}} \\ &\quad - (V_{FB2} + \frac{G}{2}t_{Si}\frac{\epsilon_{Si}}{C_{OX2}})(1 + \frac{C_{Si}}{C_{OX1}})] / (1 + \frac{C_{Si}}{C_{OX1}} + \frac{C_{Si}}{C_{OX2}}) \quad (10)\end{aligned}$$

$$\begin{aligned}\Phi(x_1) &= [V_{g1}(1 + \frac{C_{Si}}{C_{OX2}}) + V_{g2}\frac{C_{Si}}{C_{OX1}} - V_{FB1}(1 + \frac{C_{Si}}{C_{OX2}}) - V_{FB2}\frac{C_{Si}}{C_{OX1}} - \frac{G}{2}t_{Si}\frac{\epsilon_{Si}}{C_{OX1}} - \\ &\quad Gt_{Si}\frac{\epsilon_{Si}}{C_{OX1}}\frac{C_{Si}}{C_{OX2}}] / (1 + \frac{C_{Si}}{C_{OX1}} + \frac{C_{Si}}{C_{OX2}}) - \frac{C^2}{2G} \quad (11)\end{aligned}$$

其中  $V_{g1}, V_{g2}, V_{FB1}, V_{FB2}$  分别为正、背面栅电压及平带电压,对于双栅器件  $V_{g1}=V_{g2}; C_{OX1}, C_{OX2}$  是正背面栅氧化层电容:

$$C_{OX1}=\epsilon_{ox}/t_{ox1}, C_{OX2}=\epsilon_{ox}/t_{ox2}, C_{Si}=\epsilon_{Si}/t_{Si}$$

硅膜中的反型层电荷密度  $Q(y)$ :

$$Q(y)=q\int_0^{t_{Si}}\frac{N_i^2}{N_A}\exp(\frac{q}{k_B T}(\Phi(x_1)-V_y))dx=q\frac{N_i^2}{N_A}t_{Si}\exp(\frac{q}{k_B T}\Phi(x_1))\exp(\frac{q}{k_B T}V_y) \quad (12)$$

源漏电流为:

$$I_{DS}=\frac{W}{L}\mu\int_0^{V_{DS}}Q(y)dV_y=\frac{W}{L}\mu q\frac{N_i^2}{N_A}\frac{k_B T}{q}t_{Si}\exp(\frac{q}{k_B T}\Phi(x_1))(1-\exp(\frac{q}{k_B T}V_{DS})) \quad (13)$$

其中  $\mu$  为体迁移率.

### 3 结果及讨论

图2给出表面电位 $\Phi_{S1}$ 和硅膜中最低电位 $\Phi(x_1)$ 对栅电压 $V_g$ 变化的模拟结果.从中可以看出,在阈值电压附近,表面电位 $\Phi_{S1}$ 与硅膜中最低电位 $\Phi(x_1)$ 相差很小,即整个硅膜中的电位可以看成常数.这正是本模型所采用的常电位近似的理论依据.

图3给出硅膜中电位最低点所对应的反型载流子的浓度 $N_{x1}$ 和硅膜表面反型载流子的浓度 $N_{s1}$ 对栅电压 $V_g$ 变化的模拟结果.可以看出,在阈值电压附近少数载流子的浓度可以达到 $10^{15} \sim 10^{16}/cm^3$ ,即整个硅膜已经反型.正因如此,我们在建立Poisson方程时将反型载流子的浓度考虑进去,即(2)式右端的 $\frac{N_i^2}{N_A}\exp(\frac{q}{k_B T}\Phi(x))$ .

图4给出模型模拟结果与文献<sup>[8]</sup>实验结果的对比.可以看出在阈值电压附近,由于所采用的常电位近似是合理的,因此, $I_{DS}$ 的理论值与实验值吻合较好.当栅压较高时,硅膜中的最低电位所对应的最低反型载流子的浓度变化很小,但硅膜表面反型载流子的浓度却增大较多,因此,常电位近似得到的理论值小于实际电流值.

对于SIMOX材料构成的双栅SOI器件,其正背栅参数很难完全一致,为此我们在多种参数下对模型进行了模拟.对(11)式进行数值求解,可得出不同栅氧化层厚度 $t_{ox1}$ 和不同硅

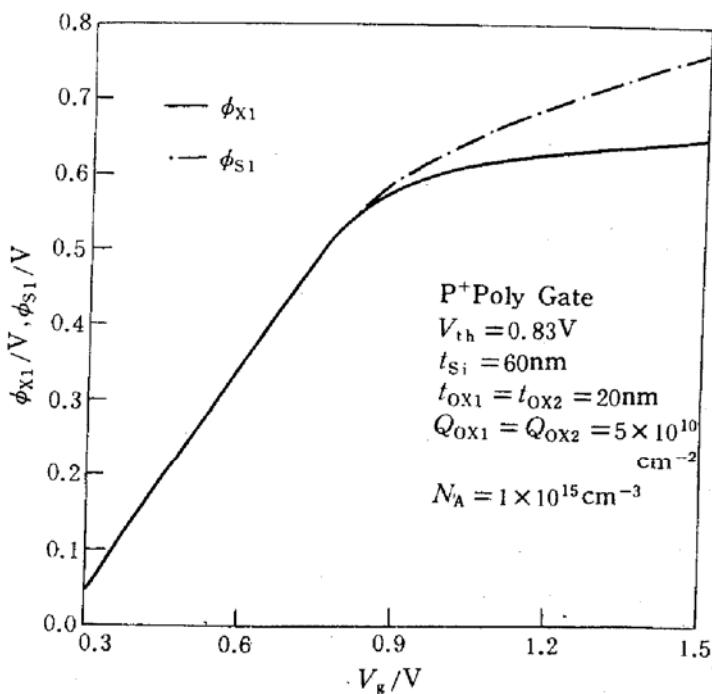


图 2 硅膜中的最低电位及表面电位与栅电压的关系曲线

膜厚度  $t_{Si}$  下的硅膜中最低电位  $\Phi(x_1)$  与栅电压  $V_g$  的模拟结果(见图5). 从中可以看出, 在相同栅压下, 硅膜越薄,  $\Phi(x_1)$  越大; 栅氧化层越薄,  $\Phi(x_1)$  越大.

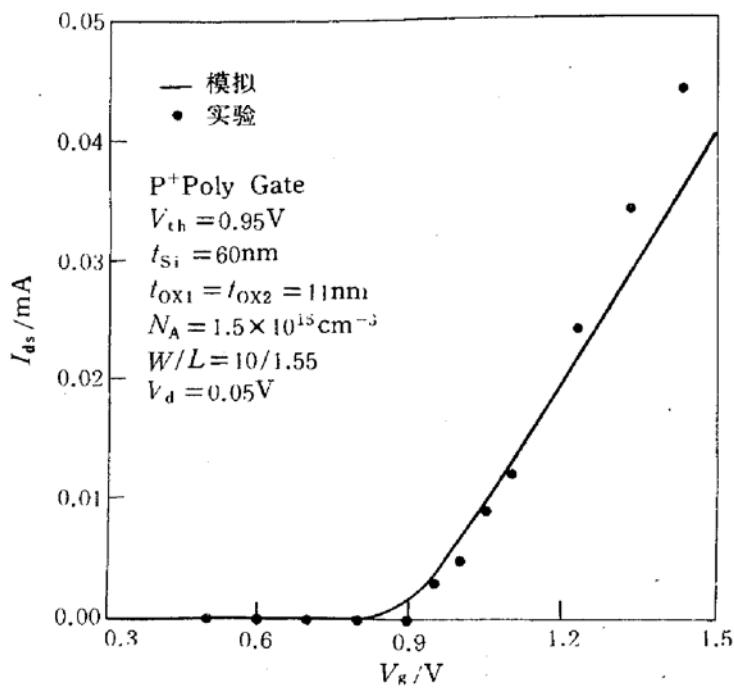


图 4  $I_{ds}$  模拟值与实验值的对比

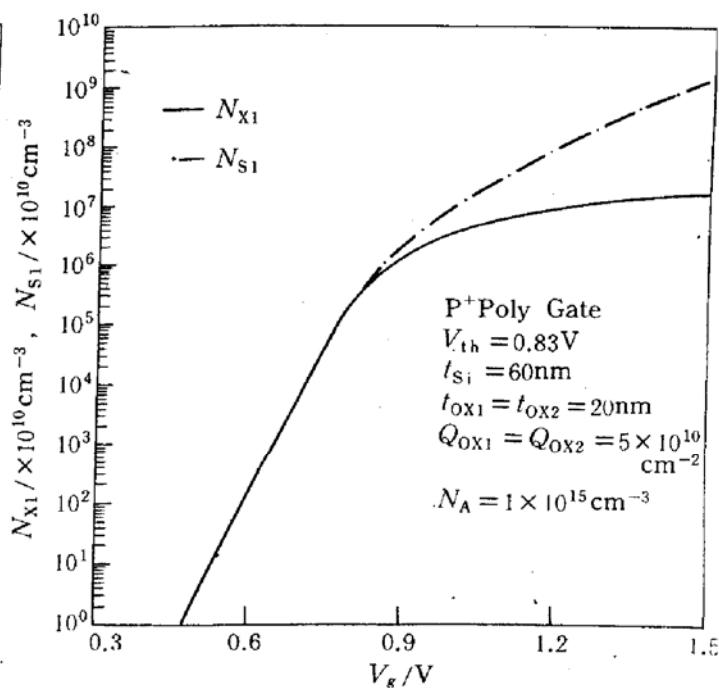


图 3 表面反型载流子的浓度及硅膜中最低反型载流子浓度与栅电压的关系曲线

图6给出源漏电流  $I_{DS}$  与栅电压  $V_g$  的模拟结果. 可看出,  $I_{DS}$  随着硅膜厚度和栅氧化层厚度的减薄而增加, 这是  $\Phi(x_1)$  随硅膜和栅氧化层厚度的减薄而增大的结果. 图6中还给出了  $I_{DS}$  随掺杂浓度的变化, 可看出, 掺杂浓度越低, 漏电流就越大. 这是因为在相同的栅电压下掺杂浓度越低硅膜中反型载流子的浓度就越大.

由上面的分析可以看出, 在阈值电压附近整个硅膜达到体反型, 体内反型层载流子不再受到  $Si/SiO_2$  界面的散射, 因此源漏电流模型中的迁移率将是体迁移率.

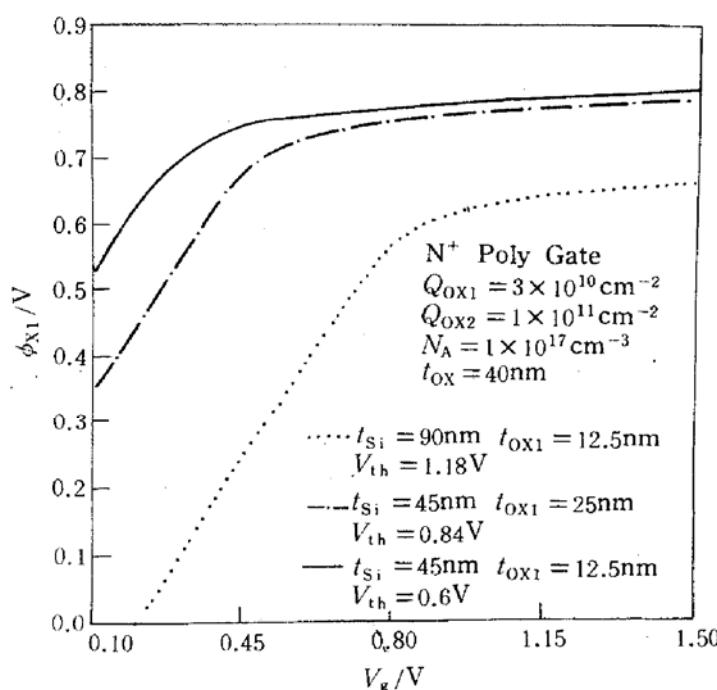
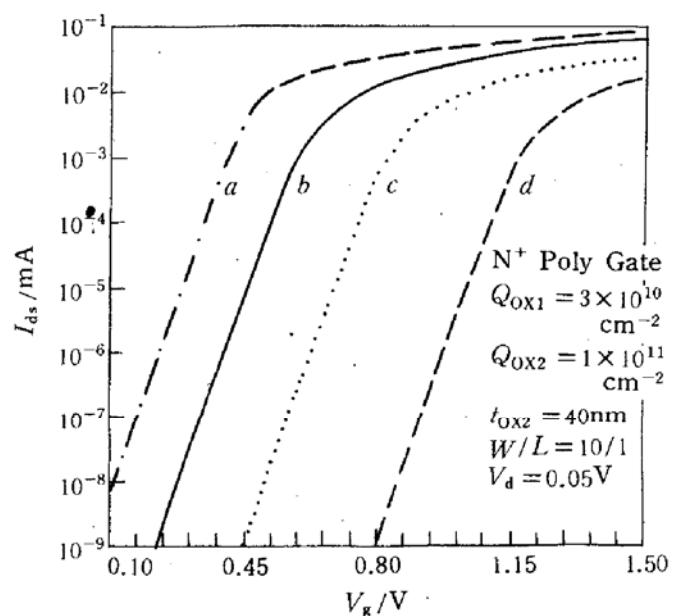
图 5 硅膜中的最低电位随  $V_g$  的变化曲线

图 6 源漏电流随栅电压的变化曲线

## 4 结论

本文利用薄膜双栅 SOI MOSFET 在阈值电压附近呈体反型时硅膜中的常电位近似，考虑到正背面栅氧化层具有不同的参数，得到一个通用的双栅 SOI MOSFET 阈值电压附近的电流模型，数值模拟结果与实验基本吻合。利用该模型对具有 SIMOX 结构的薄膜双栅 SOI 器件模拟了多种不同参数下阈值电压附近的电流；通过对其分析，可以看出，硅膜越薄，栅氧化层越薄，TFSOI MOSFET 的电流越大。

## 参 考 文 献

- [1] J. P. Colinge, IEDM Tech. Dig., 1989, 817~820.
- [2] T. Sekigawa *et al.*, Solid-State Electronics, 1984, 27:827~828.
- [3] J. P. Colinge *et al.*, IEDM Tech. Dig., 1990, 595~598.
- [4] D. Hisamoto *et al.*, IEDM Tech. Dig., 1989, 833~836.
- [5] T. Tanaka *et al.*, IEDM Tech., Dig., 1991, 683~686.
- [6] A. K. Robinson *et al.*, Material Science and Engineering, 1992, B12:41~45.
- [7] F. Balestra *et al.*, IEEE Trans. Electron Devices, 1994, 41:715~719.
- [8] K. Suzuki *et al.*, Solid-State Electron., 1994, 37:327~334.

# General Drain Current Model for Double-Gate SOI MOSFETs

Chen Zhanping, Wei Liqiong, Xu Mingzhen, Tan Changhua and Wang Yangyuan

(*Institute of Microelectronics, Peking University, Beijing 100871*)

Paul K. Chu

(*City University of Hong Kong, Kowloon, Hong Kong*)

Received 13 July 1995, revised manuscript received 9 November 1995

**Abstract** Based on the approximation of constant potential distribution across the entire silicon film near threshold, a general drain current model for thin film double-gate MOS/SOI devices is presented. The prediction agrees well with the experimental data near the subthreshold region. We especially simulate the  $I_d-V_g$  characteristics of thin film double-gate SOI devices fabricated on SIMOX material under different parameters while other models are not applicable, and explain the results.

**EEACC:** 7410D