

# 高开关比 ( $I_{on}/I_{off}$ ) a-Si TFT\*

熊绍珍 孟志国 代永平 周祯华 张建军 莫希朝 李德林 赵庚申 徐温元

(南开大学 光电子薄膜器件与技术研究所 天津 300071)

**摘要** 本文报道了采用倒置交错结构 ( $Ta/(Ta_2O_5) SiN_x/i n^+a-Si/Al$ ) 的 TFT 矩阵研究结果。其关态电流 ( $I_{off}(-5V)$ ) 在  $5-7 \times 10^{-14}A$  (对  $W/L = 10$ )，开态电流  $I_{on}(20V)$  大于  $10\mu A$ ， $I_{on}/I_{off}$  在  $10^8$  量级，场效应迁移率可达  $0.79cm^2/V \cdot s$ 。

**EEACC:** 2560R, 7260, 4150D

## 1 引言

a-Si TFT 作为有源矩阵液晶显示屏 (AM-LCD) 中的开关元件，因能使液晶显示屏质量大幅度提高到可与 CRT 相媲美的程度而得以广泛深入发展。a-Si TFT LCD 已经成为小型液晶电视产品的主流。AM-LCD 对 TFT 的性能的主要要求即是高开关电流比。

在提高 TFT 开关比的研究中，采用具有高迁移率的多晶硅 (poly-Si) 材料作有源层，可使  $I_{on}$  (比 a-Si TFT) 提高 2—3 个量级 (可到  $10^{-4}A$ )，但其  $I_{off}$  不可避免地将相应上升 ( $\sim 10^{-10}A$ )。XEROX 公司近期采用小尺寸多栅结构<sup>[1]</sup>能将  $I_{off}$  降至  $10^{-13}A$  以下。但高温多晶化(固相晶化)工艺 (SPC,  $T_s > 650^\circ C$ ) 要求昂贵的高度平整的石英玻璃<sup>[2]</sup>，或康宁 7059、HoyaNA-40 等高熔点基板，给其应用罩上阴影。对 a-Si TFT，采用掩埋像素电极法<sup>[3]</sup>降低  $I_{off}$ ，离子注入  $n^+$  层能有效提高  $I_{on}$  等方法均见报道。本室在研究高效 a-Si 太阳电池工作的基础上，TFT 开态电流尚可 ( $\sim 10\mu A$ )，而关态电流较高，故研究重点放在降低  $I_{off}$  的研究上。本文详细描述采用超高真空、快换气速率、低温沉积法，a-Si TFT 可获开关比达 8 个量级，迁移率为  $0.79cm^2/V \cdot s$  的分析与工艺过程。

## 2 样品制备

本文样品制备采用超高真空、快换气速率的多室连续 PECVD 系统。该系统所有反应室和过渡室均采用分子泵抽本底真空  $P_0$  ( $P_0$  可达  $9.3 \times 10^{-5}Pa$ )，采用罗茨泵抽工作真空。各层之间换气以工作真空抽到进入  $\sim 10^{-2}Pa$ ，最快仅用 10s，能有效地控制界面特

\* 本文研究受国家自然科学基金资助  
本文 1993 年 1 月 18 日收到

性。

本文所制备的 a-Si TFT 结构为常规倒置交错结构<sup>[3]</sup>, 其宽长比  $W/L = 100\mu/10\mu$ , TFT 矩阵的象素数为  $196 \times 144$ , 其绝缘层为单层  $\text{SiN}_x$  或  $\text{Ta}_2\text{O}_5/\text{SiN}_x$  复合层。采用铬 (Cr), 钽 (Ta) 作栅电极, 采用钼 (Mo), 铝 (Al) 作源漏电极。采用阳极氧化法制备  $\text{Ta}_2\text{O}_5$  (详见另文报道)<sup>[5]</sup>, 后 ITO 象素电极由直流磁控溅射而成。为减小电极陡度, 采用保护性坡度腐(刻)蚀法使接触特性得以改善。

自行组装了一套 TFT 矩阵自动测试与分析系统, 对 a-Si TFT 矩阵进行测试与综合分析。为保证微电流 ( $<10^{-14}\text{A}$ ) 测量的稳定可靠, 本系统进行了精心屏蔽及漏电旁路设计, 并采用分辨率可达  $1 \times 10^{-16}\text{A}$  的宽量程 ( $10^{-16} - 2 \times 10^{-2}\text{A}$ ) Keithley 617 可编程静电计进行电流测量。

### 3 结果与分析

提高开关比的关键是在降低  $I_{off}$  的情况下, 同时提高  $I_{on}$ 。图 1 为 TFT 中可能的电流通道。其中  $I_{ss}$  为有源层上表面 (top surface) 的漏电电流,  $I_{di}$  为由  $i$  层质量控制的沟道电流,  $I_{gs}$  和  $I_{gd}$  为栅绝缘层分别与源极和漏极附近  $i$  a-Si 之间的漏电电流。显然, 有效地控制材料制备工艺及微细加工工艺, 可明显降低  $I_{ss}$ ,  $I_{gs}$  和  $I_{gd}$ , 从而能有效改善栅控沟道感生效应。

#### 3.1 $I_{ss}$ 的电流钳制效应

本文所述 TFT 需进行 7—8 层薄膜的生长及 4—5 次的光刻和干、湿法腐蚀,  $I_{ss}$  的来源无规律性很大。经过仔细分析发现, 最易产生此现象的原因是后 ITO 膜腐蚀残留物所至。测量  $I_{ss}$  对  $I_{off}$  的钳制效应及对该管样品的 AEG 和 ESCA 分析发现, 在很大栅压  $V_g$  变化范围内, 因沟道感生电流  $I_{di}$  远小于表面漏电,  $I_{di}$  随  $V_g$  的变化关系被掩盖而被钳制在  $I_{ss}$  的水平。测量该 TFT 矩阵漏极总线之间的电阻在  $10 \sim 100\text{G}\Omega$  量级。对此样品上的非象素区进行微区俄歇 (AEG) 和 ESCA 分析, (曲线从略) 按  $\text{In}, \text{Sn}$   $3d$  电子束缚能的化学位移计算, 残留物为  $\text{In}, \text{Sn}$  的高价氧化物, 它来源于磁控溅射生长 ITO 初始阶段, 因反应过程的不稳定造成膜结构或组份的差异, 致使腐蚀速率的差异 ( $\text{SnO}_2$  类 TCO 腐蚀速率远小于 ITO 类 TCO), 当进行象素的光刻腐蚀时会造成图形已经收缩而底膜仍未去净的现象。

同理, 因表面清洗处理不净, 不言而喻必然带来  $I_{ss}$  的增高。因此良好的清洗和腐蚀是降低  $I_{ss}$  的最基本关键所在。

#### 3.2 栅绝缘层的漏电

由辉光放电制备 a- $\text{SiN}_x:\text{H}$  合金, 其  $\text{N}/\text{Si}$  比不仅影响膜自身光电特性 (如带隙宽度  $E_g$ , 介电常数  $\epsilon$ , 电阻率与耐压) 而且还决定着 a- $\text{SiN}_x:\text{H}/i$  a-Si 的界面特性。关键因素是价键匹配及应力匹配的问题。K. Hiranaka<sup>[6]</sup> 的研究结果表明, 在  $\text{SiN}_x/\text{a-Si}$  界面有一应力区, 将产生电荷陷阱与界面态, 对沟道中传导载流子起明显散射作用, 同时随沟道开启, 费米能级上移, 当移至界面态附近时将产生对感生电荷的陷获, 使沟道中传导载流子数相应减小,  $I_{on}$  下降, 它对 TFT 的稳定性亦有不良影响。应力区或  $\text{SiN}_x$  绝

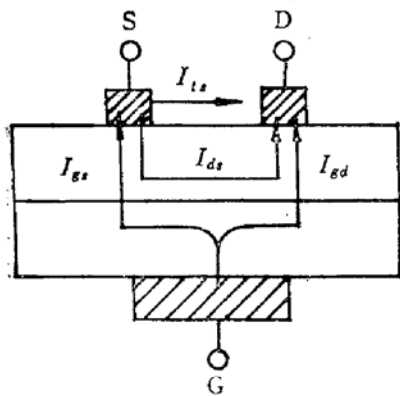


图 1 TFT 中可能的电流通道

$I_{ss}$ , 上表面漏电电流  $I_{ds}$  沟道电流  $I_g$ , 栅源漏电流  $I_{gd}$  栅漏漏电流

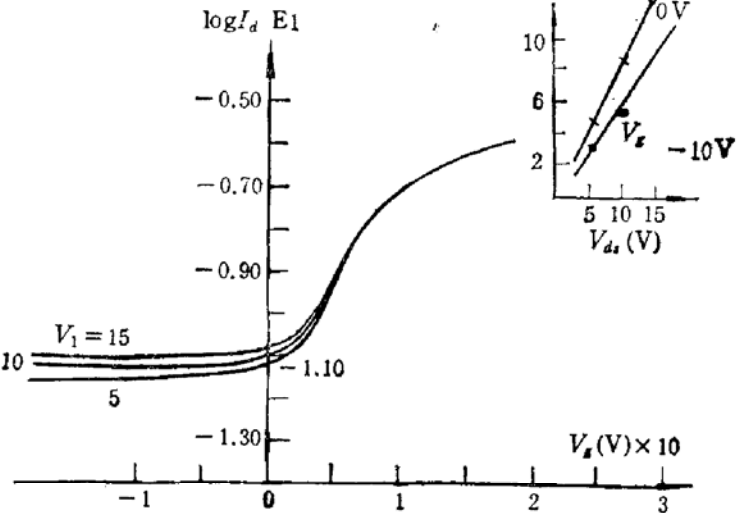


图 2 不同漏压下 TFT 的转移特性曲线族(纵坐标单位(A))

不同栅压下的  $I_d-V_d$  曲线参见右上角插图  
(纵坐标为  $I_d \times 10^{-12}$ (A))

缘层内过多的缺陷态也是造成栅绝缘层漏电的重要原因。有关文献表明 N/Si 比控制在  $\sim 1.0$  附近是适宜的。我们选用  $\text{NH}_3/\text{SiH}_4$  流量比 10.2:1,  $T_s = 320^\circ\text{C}$ , 辉光放电功率密度控制在  $0.2\text{W}/\text{cm}^2$ , 获得的  $\text{SiN}_x$  膜性能优良,  $E_g = 4.84\text{eV}$ ,  $\epsilon = 6.95$ ,  $\text{N/Si} = 1.03^{[7]}$ , 利用这种条件制备单栅 TFT, 其  $I_{gs}$  在负栅压下可达  $10^{-13}\text{A}$  数量级(具体数据从略)。

利用阳极氧化制备  $\text{Ta}_2\text{O}_5$ , 借助阳极氧化的自修补作用, 可减少 Ta 的针孔或尖峰影响, 从而提高栅绝缘层的绝缘效果, 同时利用双层膜内针孔分布随机性的互补作用, 亦能使复合栅的  $I_{off}$  得以改善<sup>[5]</sup>。

### 3.3 超高真空低温沉积 i a-Si 有源层

通过上述研究, 有效改善上表面与界面特性后, 可使  $I_{ss}$  和栅绝缘层的漏电流降至次要地位, 在此情况下,  $I_{off}$  主要由 i 层 a-Si 的质量决定。源漏电流  $I_{ds}$  由本征 a-Si 的本征电阻率和空间电荷限制电流 (SCLC) 决定, 对短沟道或迁移率很低的 i 层材料, SCLC 的影响较大, 本室研究的 TFT 特性表明,  $I_{off}$  主要由 i 层本征电阻决定。测量不同漏极电压 ( $V_d$ ) 下 TFT 的转移特性曲线族(示于图 2), 取其在负栅压 ( $V_g = -10\text{V}$ ) 和零伏栅压下的  $I_d-V_d$  数据, 作图示于该曲线族的右上角。此结果表明, 沟道在关态条件下, 其 I-V 特性呈线性电阻关系。

文献[8]报道, 源漏电导  $G_{sd}$  可由下式描述:

$$G_{sd}(V_g) = LI_{sd}(V_g)/W \cdot V_d = \frac{1}{d_{\text{Si}}} \int_0^{d_{\text{Si}}} G_0(x) \exp(-E_s(x)/kT) dx. \quad (1)$$

按平带电压定义, 平带电压  $V_{FB}$  为转移特性曲线中漏电流  $I_d$  由平坦到明显上升转折处的电压值。平带电压下的源漏电导(即平带电导)  $G_{FB} = G_{sd}(V_{FB})$  可用来描述 TFT 的关态电流水平。按 MN 定则 (Moyer-Neldel),  $G_{FB}$  由下式表示:

$$G_{FB} = G_{OFB} \exp(-E_{aFB}/kT), \quad (2)$$

式中  $E_{aFB}$  为平带下的电导激活能, 按定义可知即为本征 a-Si 的体电导激活能. 因此 TFT 的关态电流将由 i 层带隙宽度  $E_g$  和其电导激活能决定. 实际上, 关态与平带条件并无确切的解析式描述, 它们常由应用状况决定. 图 2 插图示出的两个栅压条件下沟道集总电导关系正是常规驱动条件而定的.  $-10V$  和  $0V$  下沟道集总电导的差异是场感生作用使费米能级上移后沟道电导增加的结果.

为了使栅绝缘层  $SiN_x$  的生长温度与本征 a-Si 的生长温度适当过渡以使界面匹配好, 一般报道 i a-Si 的生长温度常在  $270-320^\circ C$  之间, 其结果 a-Si 的带隙要比作太阳能电池本征层的 a-Si 带隙低  $0.1-0.2eV$ , 这就会使  $E_{aFB}$  减小, 相应  $I_{off}$  上升. 为解决这个矛盾我们采用超高真空快换气速率的沉积系统及低衬底温度 ( $\sim 220^\circ C$ ) 制备 i 层. 图 3(a)(b) 曲线分别给出系统换气率与衬底温度对  $I_{off}$  的影响. 结果表明, 当本底真空度较高, 系统吸附影响大大减少, 过程生成物由气源纯度决定. 在适当高的工作气压与低辉光功率放电下, 会增大过程生成物中的  $SiH_3$  成份, 这相当于加大了反应气体中的 H 含量, 使辉光放电反应物易于在衬底上迁移选择合适的生长点成键, 有益于高质量膜的获得. 由 IR 谱线证明膜内以 Si-H 键为主 (图谱从略). 鉴于反应物迁移扩散能力主要由辉光功率决定, 衬底温度的作用相应减小, 而低温易增大  $E_g$ , 故选择适当低的  $T_s$  是适宜的.

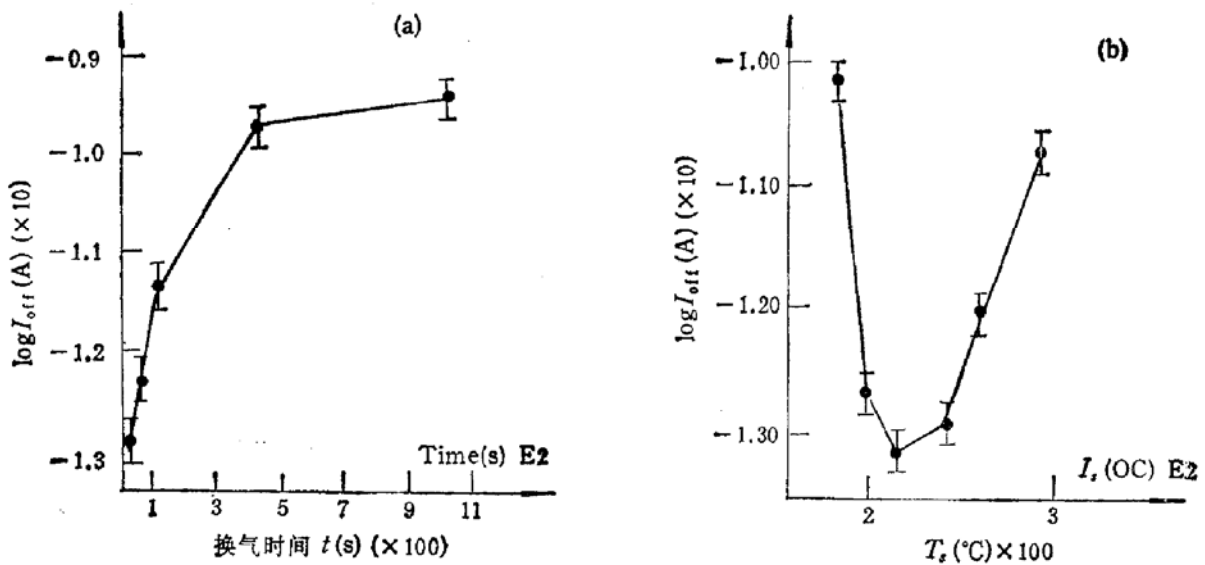


图 3 有源层制备条件对  $I_{off}$  的影响

(a)  $I_{off}$  与换气时间的关系 (b)  $I_{off}$  与衬底温度的关系

鉴于反应物中杂质减少以及界面匹配, 沟道中的散射中心及其它缺陷态相应减少, 故而对提高场效应迁移率及  $I_{on}$  也是有利的. 图 4 给出 TFT 的典型转移特性曲线及相应参数. 结果表明, 该管的  $I_{off}(-5V) = 7 \times 10^{-14} A$ ,  $I_{on}(20V) = 1.25 \times 10^{-5} A$  开关比在  $10^8$  数量级. 其  $V_f$  在 5 伏以内,  $\mu_{fe}$  达  $0.79 cm^2/V \cdot s$ , 通过对转移曲线数据计算表明, 其费米能级附近的态密度在  $4-7 \times 10^{16} cm^{-3}$  量级 (态密度分布曲线从略). 此结果是令人欣慰的.

## 4 结语

1. 分析了影响 a-Si TFT 关态电流  $I_{off}$  的主要因素, 有针对性地予以改进。

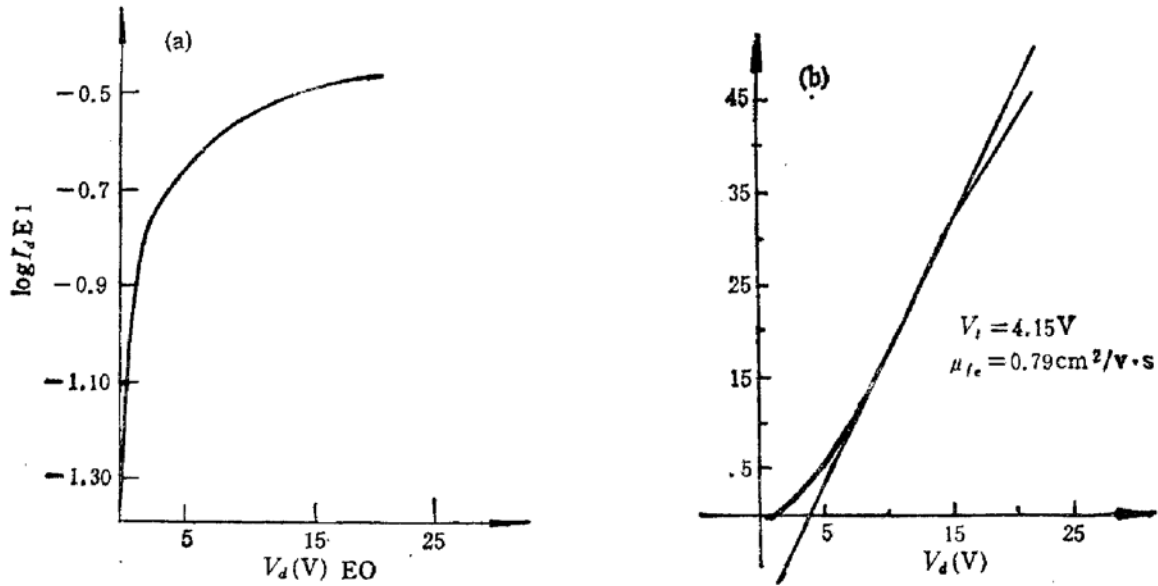


图 4 TFT 典型结果

(a) 转移特性曲线 (b)  $\sqrt{I_d}$ ,  $V_s$ ,  $V_g$

2. 采用高真空、快换气速率、低衬底温度制备有源层可使  $I_{off}$  降至  $7 \times 10^{-14}$  A.  $I_{on}$  达  $\sim 10^{-5}$  A 开关比超过  $10^8$ ,  $\mu_{fc}$  为  $0.79 \text{ cm}^2/\text{V} \cdot \text{s}$ , 其主要原因是材料的态密度降至  $10^{16} \text{ cm}^{-3}$  数量级之故。

## 参 考 文 献

- [1] I-W Wu *et al.*, SID'92, Digest, Boston.: 1992—5. 615.
- [2] I-W Wu *et al.*, Japan Display'92, 日本广岛: 1992. 455.
- [3] G. Kawachi *et al.*, Japan Display'92, 日本广岛: 1992. 635.
- [4] H. Morimoto, Japan Display'92, 日本广岛: 1992. 337.
- [5] 熊绍珍等(即将发表).
- [6] K. Hiranaka *et al.*, J. Appl. Phys., 1987, 62:2129.
- [7] 孟志国等, 全国非晶会议文集, 桂林: 1991—12 107.
- [8] R. E. Schropp *et al.*, J. Appl. Phys., 1986, 60:643.

## High On/Off Current Ratio of a-Si TFT\*

Xiong Shaozhen, Meng Zhiguo, Dai Yongping, Zhou Zhenhua, Zhang Jianjun,  
Mo Xichao, Li Delin, Zhao Gengshen and Xu Wenyan

(*Institute of Photoelectronic Thin Film Devices and Technology, Nankai University,  
Tianjin, 300071, China*)

**Abstract** The research results on the array of inverted staggered a-Si TFT with the structure of Ta/(Ta<sub>2</sub>O<sub>5</sub>) SiN<sub>x</sub>/i n<sup>+</sup> a-Si/Al have been reported. For the TFT's with W/L = 10, their Off state current ( $V_g = -5V$ ) is in the range of  $5-7 \times 10^{-14}$  A and On state current ( $V_g = 20V$ ) is over ten micro-ampere ( $\mu A$ ). The On/Off current ratio ( $I_{on}/I_{off}$ ) is higher than 8 order of magnitude. The factors effecting the Off state current and the process condition in order to get the good results have been analyzed.

**EEACC:** 2560R, 7260, 4150D

---

\* This paper is supported by National Natural Science Foundation.  
Received 18 January 1993