

利用电子束掺杂技术制备微米、亚微米 P-MOSFET 器件*

李秀琼 海潮和 杨军

(中国科学院微电子中心, 北京 100010)

摘要 本文对辉光放电电子束在 MOSFET 中的应用进行研究。结果表明, 利用辉光放电电子束掺杂方法成功地实现了微米、亚微米 P-MOSFET。器件的漏流小, $I-V$ 特性好, 源漏结浅、均匀和横向掺杂效应小。此方法与常规 MOS 工艺兼容, 所需的设备结构简单、操作方便, 价格低廉, 易于推广到 VLSI 中去。

EEACC: 2550B, 2560R, 2570

1 引言

MOS 集成电路是超大规模集成电路 (VLSI) 的主要电路形式, 提高集成度和工作速度是 VLSI 的重要课题之一。缩短沟道长度是提高器件高频特性和工作速度的重要途径, 但短沟道效应是随即出现的新问题。为了抑制短沟道效应, 最有效的办法是减少漏和源的结深。国际上有关的研究非常活跃。由于硼的扩散系数较大, 离子注入时沟道效应显著, 因此, 采用离子注入法也不理想。近年来, 采用预先非晶化后注硼或氟化硼的方法来减少沟道效应, 有关的报道不少。但有人仍主张用低能离子注入直接实现浅结。

本文针对这一国内外都十分关注的浅结短沟道 P-MOSFET 进行了研究。采用电子束掺杂^[1-6]漏、源, 结合自对准 MOS 技术和 SiO₂ 栅侧壁技术成功地解决了以上问题, 得到满意结果。

2 实验和工艺

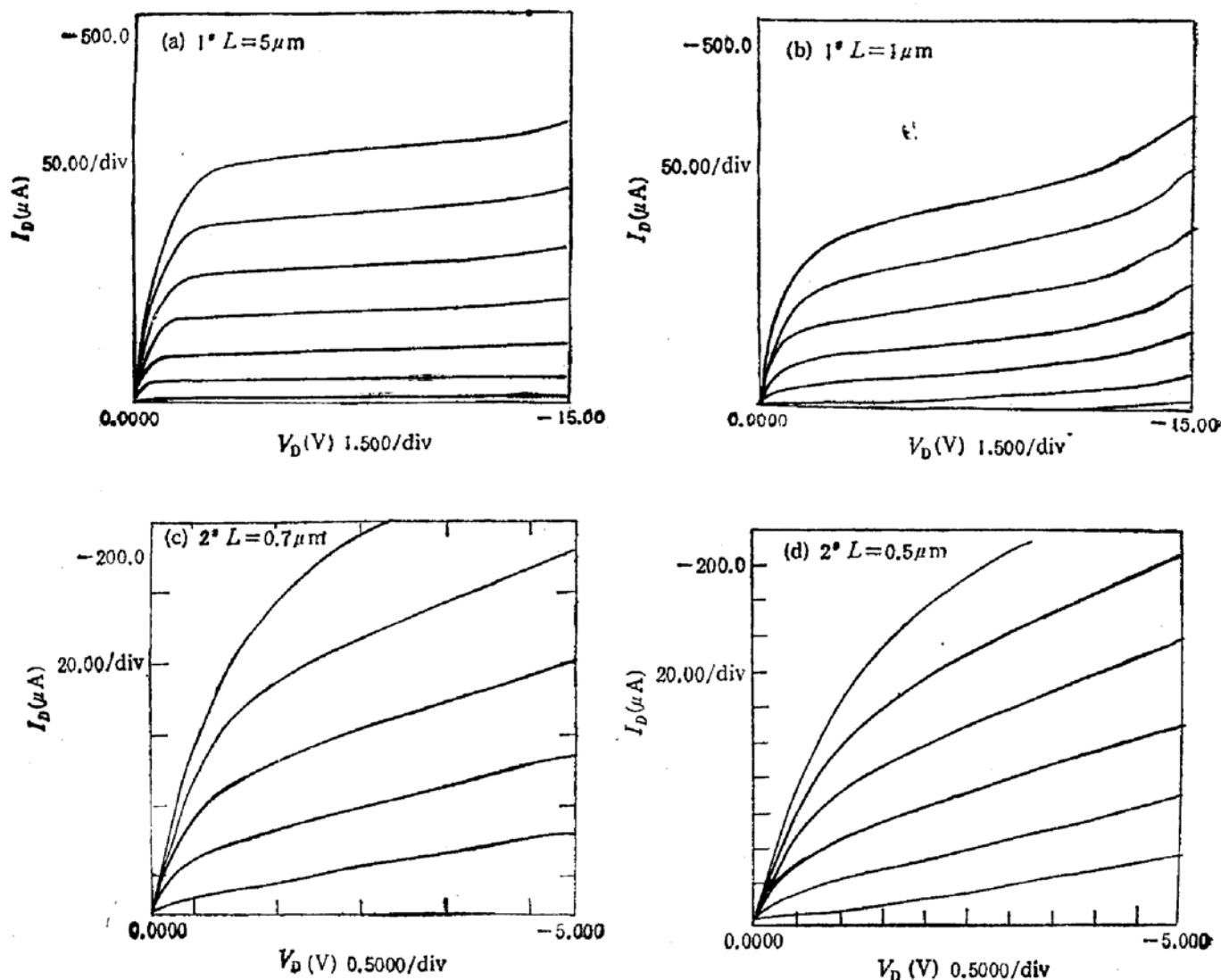
衬底为 N-Si, $\langle 100 \rangle$, $\rho = 0.8 \Omega \cdot \text{cm}$ 。栅氧化层厚度为 25 nm, 栅长设计分别为 5 μm、3 μm、1 μm 和 0.7 μm。采用常规 MOS 工艺, 个别工艺稍作调整。整个工艺分为 (I) 和 (II)。(I) 掺硼多晶硅栅, 在栅周围不形成侧墙; (II), 掺磷多晶硅栅, 在栅的周围形成 SiO₂ 侧墙。采用辉光放电电子束掺杂源和漏。欧姆接触用 Ti 和 TiN 作铝硅之间扩散势垒。其余工艺与常规 MOS 工艺相同。

3 结果和讨论

实验结果表明, 方案 (I) 和方案 (II) 均是可行的。不同的是: 对于方案 (I) (无侧墙), 当沟长减短到 2 μm 时, $I-V$ 特性还是好的; 对于方案 (II) (有侧墙), 沟长从

* 国家自然科学基金资助课题

1993 年 6 月 28 日收到本文, 1993 年 9 月 16 日收到修改稿

图1 P-MOSFET I_D - V_D 特性曲线

- (a) V_D : start -2.0000V, stop -5.0000V, step -0.5000V
- (b) V_D : start -1.0000V, stop -4.0000V, step -0.5000V
- (c) V_D : start -1.0000V, stop -3.5000V, step -0.5000V
- (d) V_D : start -0.5000V, stop -3.5000V, step -0.5000V

$5\text{ }\mu\text{m}$, $1\text{ }\mu\text{m}$, $0.7\text{ }\mu\text{m}$, 一直到 $0.5\text{ }\mu\text{m}$, I - V 特性曲线均是好的, 如图 1 所示。沟长 $5\text{ }\mu\text{m}$ 到 $1\text{ }\mu\text{m}$ 的单结、双结反向特性均良好, 反向击穿电压达 -21 V , 如图 2 所示。从图 1(b) 可以看到沟长 $1\text{ }\mu\text{m}$ 的动态击穿电压可达到 -15 V , 测量表明, 沟长 $0.7\text{ }\mu\text{m}$ 的可达 -10 V 。以上参数是用 HP 4145 半导体参数测试仪测量的。

图 3 是用 PHILIPS 505 扫描电镜摄下的方案 II 中不同沟长的 P-MOSFET 管芯的横断面照片, 它明确地显示出电子束掺杂源、漏的 P-MOSFET 栅的两侧的源、漏 P^+N 结, 不仅结浅 (0.18 — $0.22\text{ }\mu\text{m}$), 而且均匀, 横向掺杂效应几乎觉察不出来。这里的源、漏掺硼浅结是在 15 — 40 秒短的时间内完成的。 P^+N 结的浓度随深度变化的扩展电阻测量结果表明, 载流子浓度高达 $1 \times 10^{20}/\text{cm}^3$, 其结深为 $0.18\text{ }\mu\text{m}$ 。从图 3 的扫描电镜的照片测得结深为 0.18 — $0.22\text{ }\mu\text{m}$, 两者的结果一致。

从本实验结果可以看出, 电子束掺杂用于长沟道 MOS 工艺, 与常规工艺是兼容的;

当用于微米、亚微米 MOS 工艺中, 其栅必须用 SiO_2 侧墙结构, 与常规 MOS 工艺也是兼容的。结果还表明, 沟长为 $0.7 \mu\text{m}$ 的 MOSFET 的击穿电压不仅能保持在 -10V 左右, 而且当 $V_{GS} < 9\text{V}$ 时, 衬底电流 $I_B < 10^{-7}\text{A}$ 。对于 NMOS 管, $V_{GS} = 4\text{V}$, $I_B \geq 10^{-7}\text{A}$ ^[7], 可见电子束掺杂源、漏对短沟道效应是有抑制作用的。

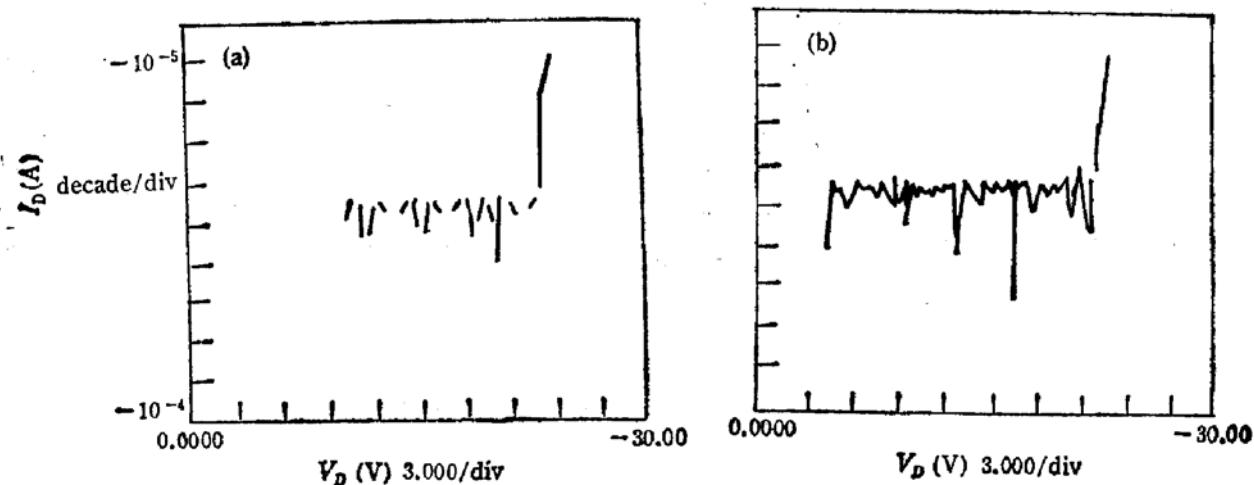


图 2 P-MOSFET 的结特性 (a) 单结, (b) 双结 (D-S)

总之, 电子束掺杂用于 MOSFET 的源、漏掺杂有其独特的优点, 而且设备结构简单^[5], 操作方便, 价格低廉, 易于推广到 VLSI 中去。

参 考 文 献

- [1] 李秀琼等, 半导体学报, 1984, 5: 103.
Chinese Physics (美国物理学会出版), 1984, 4: 710.
- [2] 李秀琼等, 微细加工技术, 1984, No. 4, 17.
- [3] 李秀琼等, 微细加工技术, 1986, No. 4, 1.
- [4] 李秀琼等, 半导体学报, 1991, 12: 942.
- [5] 李秀琼等, 半导体学报, 1992, 13: 448.
- [6] X. Q. Li et al., Vacuum, 1993, 44(10):987.
- [7] Tiao-Yuan et al., IEEE Device Lett., 1986, EDL-7; 314.

Micro-Submicrometer P-MOSFET's Fabricated Using Electron Beam Doping Technique

Li Xiuqiong, Hai Chaohe and Yang Jun

(Microelectronics Center, The Chinese Academy of Sciences Beijing 100010)

Abstract In the paper, micro-submicrometer P-MOSFET's have been investigated using a recently developed electron beam doping technique. It is shown that the doping technique can be used for fabrication of micro-submicrometer MOSFETs. The P-MOSFET's fabricated show excellent device properties: smaller leakage, good I_d-V_d characteristics, shallow and uniformed junction depth and smaller effect of lateral doping for drain and source. This doping technique is compatible with conventional MOS technology. Furthermore the equipment used is not very complicated and expensive, and the process is very simple. Therefore it is a very promising technique for fabrication of devices, especially for VLSI processing.

EEACC: 2550B, 2560R, 2570