

不同介质膜的 InP MIS 结构 界面陷阱的研究

卢励吾 周 浩

(半导体超晶格国家重点实验室,中国科学院半导体研究所,北京,100083)

瞿 伟 张 盛 廉

(中国科学院半导体研究所,北京,100083)

1990年12月14日收到,1991年3月14日修改定稿

对经 PECVD (Plasma Enhanced Chemical Vapor Deposition) 生长的不同介质膜 InP MIS 结构样品的界面陷阱进行了研究。样品介质膜的生长是在特定实验条件下进行。分别利用 C-V (Capacitance-Voltage) 和 DLTS (Deep Level Transient Spectroscopy) 技术进行研究。结果表明,在介质膜和 InP 之间 InP 一侧有若干界面陷阱存在,获得了与界面陷阱有关的深能级参数。这些陷阱的来源可能是:(1) 介质膜淀积过程中 InP 表面部分 P 原子挥发造成的 P 空位;(2) InP 衬底材料中的原生缺陷;(3) 介质膜淀积过程中等离子体引进的有关辐照损伤。

PACC: 7360, 7340, 7360F, 7155

一、引言

由于 InP 具有一些独特的材料性能(如高的电子迁移率, 较大的禁带宽度和电子速度等), 人们预期它将在高速和光电子器件方面得到重要的应用。一些重要的器件, 例如场效应晶体管, 电荷耦合器件, 雪崩光二极管和太阳能电池等需要制备肖特基接触。但大多数金属与 InP 接触具有低的肖特基势垒高度^[1]。这在反偏下能产生大的漏电流。为减少漏电流在金属-半导体界面需要生长厚度大约为 100—3000 Å 介质层。以 MIS 结构为基础的 InP 器件出现的电流漂移和性能退化等不稳定现象已被广泛注意^[2]。而如何解决它则是 InP 器件的关键问题。

人们提出一些模型^[3]来解释 InP 器件出现的不稳定现象。依照这些模型, 处于介质层和 InP 衬底之间 InP 一侧的界面陷阱对器件性能有明显的影响。这些陷阱通常会引起人们不希望的场效应管电流泄漏, 阈值电压移动和瞬态电导减少, 它们也会在发光二极管中提供非辐射中心以及影响电荷耦合器件的正常工作。

一般说来, InP 材料表面不象 Si 能形成一层化学和电性能都很稳定, 界面性能良好的热生长本体氧化层(如 Si 上的 SiO₂) 作为 MIS 结构的介质层。因此, 从制备器件的目的出发在 InP 表面生长一层化学性能稳定、具有良好介电和界面性能的介质膜是非常

必要的。但目前 InP MIS 结构的介质膜工艺还不成熟,尚存在一些问题。

本工作目的是通过 PECVD 方法在 InP 材料衬底上生长不同厚度的介质膜 (SiO_2 , SiO_2N 和 SiO_xN_y) 然后制成 MIS 结构。利用 C-V 和 DLTS 技术系统观察和研究介质膜和 InP 衬底之间 InP 一侧界面陷阱的深能级行为,并对其来源进行讨论和分析。本工作对 InGaP、InGaAsP 和涉及 P 作为 V 族元素的合金化合物中的深能级观察和 PECVD 生长工艺改进将提供有用的信息。

二、样品制备和实验条件

本实验采用掺 Sn 的载流子浓度为 $5-6 \times 10^{17} \text{ cm}^{-3}$ 的 n 型 InP LEC (Liquid Encapsulated Czochralski) 单晶作衬底。InP 材料经三氯乙烯、丙酮煮沸清洗后超声,用超纯去离子水洗净。在介质膜淀积前,样品进行有关的化学处理以除去 InP 表面的本体氧化层。

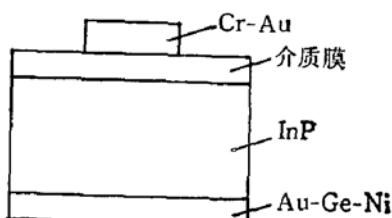


图 1 InP MIS 电容样品结构

使用英国 Plasma technology 公司生产的型号为 DP-80 平板式 PECVD 设备在 InP 衬底上淀积 SiO_2 、 SiO_2N 和 SiO_xN_y 介质膜。在高频 13.56MHz、低压 150mV、低温 340°C、低功率密度 0.01 W/cm^2 的条件下采用 SiH_4 (N_2 稀释至 15%) N_2O 和 NH_3 进行淀积。之后,样品的介质膜面上蒸 Cr-Au, 背面蒸 Au-Ge-Ni,

在 420°C 的氢气氛下合金 1 分钟,制成 MIS 结构。图 1 为 InP MIS 电容样品的结构图。

样品的具体参数如表 1 所示。

表 1

样品编号	PECVD 生长温度 (°C)	PECVD 功率密度 (W/cm²)	介质膜种类	介质膜厚度 (Å)	介质膜生长之前 样品存放方式
1	340	0.01	SiO_2	2000	超纯去离子水
2	340	0.01	SiO_2	2000	三氯乙烯
3	340	0.01	SiO_2N	1000	超纯去离子水
4	340	0.01	SiO_xN_y	1000	三氯乙烯

使用 IBM PC 计算机作为数据采集和处理系统的匈牙利 Semitrap 公司生产的高灵敏度锁相深能级瞬态谱 DLS-82E 进行室温下高频 (1MHz) C-V 和变温 DLTS 研究。DLTS 测量的温度范围为 77—350K。典型的实验条件为: 偏压 $U_R = -0.1$ 或者 -0.2 V , 脉冲幅度 $\Delta V = 1.8-2.0 \text{ V}$, 脉冲宽度 $t_p = 100 \mu\text{s}$ 和频率 $f = 23 \text{ Hz}$ 。界面陷阱的能级位置由 Arrhenius plots 给出,其俘获截面则通过改变样品上所加的脉冲宽度来获得。

三、实验结果

(1) DLTS 测量原理

InP MIS 结构样品的 DLTS 测量原理如图 2 所示。样品上所加的偏压、正向脉冲和相应的样品电容变化见图 2(a) 所示。

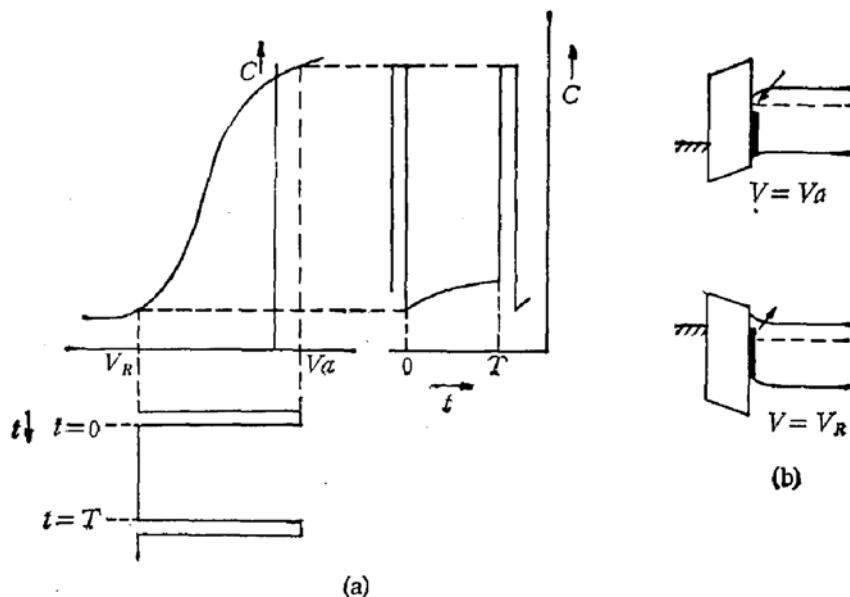


图 2 InP MIS 结构 DLTS 测量原理图

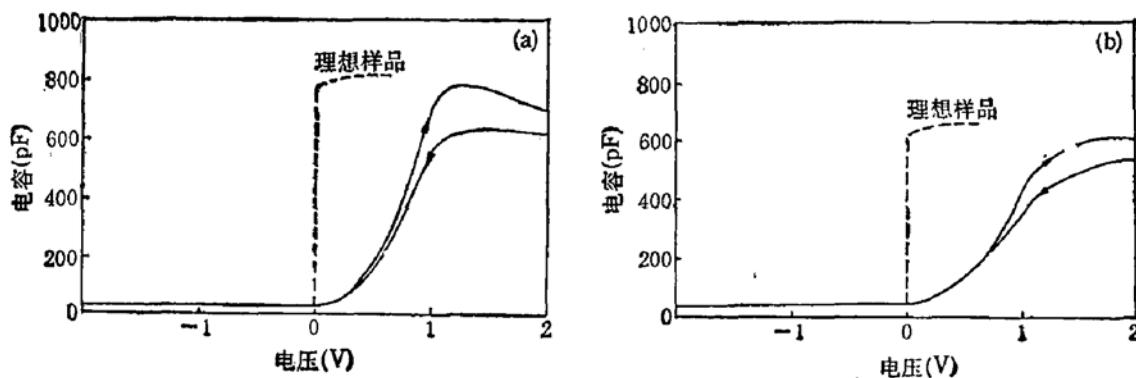
首先在样品上施加正向脉冲 V_a (注入脉冲), 样品里处于介质膜和 InP 衬底之间的界面态和界面陷阱被电子填充(图 2(b) 上半部分)。之后, 在样品上迭加反偏压 U_R , 这样处于费米能级上的界面态和界面陷阱里陷住的电子被发射到导带(图 2(b) 下半部分), 同时样品电容也相应地增加。当 U_R 被调整到使样品产生反型层时, MIS 电容也会随少数载流子产生而增加。这样 DLTS 输出讯号应由以下三部分组成: 界面态, 界面陷阱和载流子产生。通过调整 V_a 和 U_R 可以区分 DLTS 讯号的三个分量。若调整反偏压 U_R , 使样品没有反型层形成, 这时少数载流子产生被压抑, DLTS 讯号则代表界面态和界面陷阱的发射。改变正向脉冲 V_a 大小观察 DLTS 谱峰的移动, 可识别界面态和界面陷阱。若 DLTS 谱峰温度没有改变, 得到的 DLTS 讯号主要是由界面陷阱提供。反之, 则是界面态^[4]。

(2) InP MIS 电容的高频 (1MHz) C-V 特性

样品 C-V 测量是在室温下进行。C-V 扫描是从 -2 到 +2V 然后再回到 -2V。扫描速率为 100mV/s。

图3为理想和典型的 InP MIS 电容样品 1、3 的 C-V 特性曲线。其中理想样品是假定在没有界面态、界面陷阱和介质膜里电荷存在的条件下。

由图可观察到 C-V 曲线有如下的特点: (1) 样品 1、3 表现出“超前效应”。它们似乎有两个平带电压, 相应于左边上升和右边下降 C-V 曲线。这两个平带电压比理想样品的平带电压更大些和样品的半导体表面在零电压下积累空穴。这说明介质膜里或者介质膜和 InP 界面附近被陷住的固定正电荷减少。(2) 与理想样品相比, 样品 1、3 的 C-V 曲线在积累和耗尽区之间没有明显的跃变, 表明介质膜和 InP 界面有大量的表面态存在。

图 3 理想和典型的 InP MIS 电容 C - V 曲线

(a) 样品 1; (b) 样品 3.

同样样品 2, 4 也有相似的情况。

(3) InP MIS 电容的 DLTS 测量

实验中选取 $U_R = -0.1$ 或 -0.2 V, 以确保样品里没有反型层形成(见图 2 所示), 这样获得的 DLTS 讯号主要由界面态和界面陷阱组成。我们把样品分为二组。样品 1 和 2 为第一组, 样品 3 和 4 为第二组。

图 4 为样品 1 和 2 典型的 DLTS 谱。在样品 1 中可观察到四个编号为 E1, E2, E3 和 E4 的深中心缺陷。它们的能级位置分别在导带下 0.13、0.32、0.39 和 0.42 eV 处。其浓度和俘获截面分别在 5.0×10^{14} — $1.6 \times 10^{15} \text{ cm}^{-3}$ 和 2.5×10^{-17} — $9.1 \times 10^{-15} \text{ cm}^2$ 之间。而样品 2 中出现了三个编号为 E5, E6 和 E7 的深中心缺陷。它们的能级位置分别在导带下 0.15, 0.39 和 0.49 eV 处。其浓度和俘获截面分别在 2.0 — $3.0 \times 10^{15} \text{ cm}^{-3}$ 和 5.2×10^{-17} — $1.7 \times 10^{-15} \text{ cm}^2$ 之间。其中 E1 (0.13 eV) 和 E5 (0.15 eV) 与 Levinson 等^[2] 在电子辐照的 n-InP 材料中观察到的 0.14 eV 陷阱深能级参数(能级位置和俘获截面, 见表 2)相近, E2 (0.32 eV)、E3 (0.39 eV) 和 E6 (0.39 eV) 与 Yamazoe 等^[6]在 InP LEC 单晶中观察到的 0.31 eV 和 0.40 eV 陷阱深能级参数(能级位置和俘获截面)相近。E7 (0.49 eV) 虽然与 Lim 等^[7]用化学氧化方法制成 InP MIS 结构中观察到的 0.51 eV

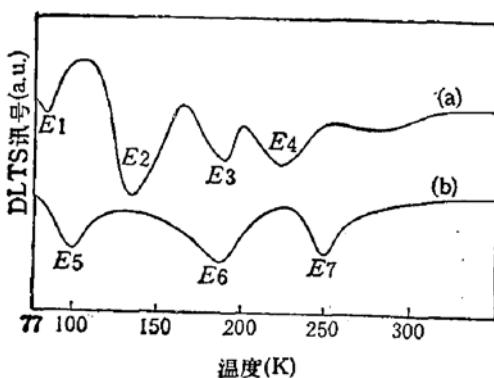


图 4 InP MIS 电容典型的 DLTS 谱
 $U_R = -0.2$ V, $\Delta V = 1.8$ V, $f = 23$ Hz
(a) 样品 1, (b) 样品 2.

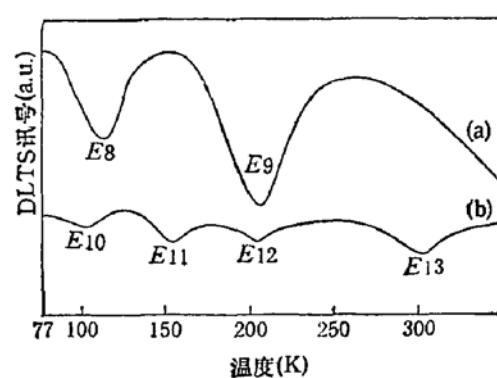


图 5 InP MIS 电容典型的 DLTS 谱
 $U_R = -0.2$ V, $\Delta V = 1.8$ V, $f = 23$ Hz
(a) 样品 3, (b) 样品 4.

表 2

样 品	界 面 陷 阱				有关报 道	
	编 号	能级位置 $E_c - E_T$ (eV)	浓 度 (cm^{-3})	俘获截面 (cm^2)	能级位置 $E_c - E_T$ (eV)	俘获截面 (cm^2)
1	E1	0.13	5×10^{14}	1.3×10^{-16}	0.14	$> 2.7 \times 10^{-16}$ [9]
	E2	0.32	1.6×10^{15}	2.5×10^{-17}	0.31	1.5×10^{-18} [6]
	E3	0.39	1.2×10^{15}	2.6×10^{-16}	0.40	3.3×10^{-17} [6]
	E4	0.42	1.2×10^{15}	9.1×10^{-17}		
2	E5	0.15	2.0×10^{15}	5.2×10^{-17}	0.14	$> 2.7 \times 10^{-16}$ [9]
	E6	0.39	3.0×10^{15}	3.8×10^{-16}	0.40	3.3×10^{-17} [6]
	E7	0.49	3.0×10^{15}	1.7×10^{-15}	0.51	4×10^{-12} [7]
3	E8	0.21	5.0×10^{14}	7.7×10^{-16}	0.22	$> 2.2 \times 10^{-16}$ [8]
	E9	0.40	8.0×10^{14}	2.4×10^{-16}	0.40	3.3×10^{-17} [6]
4	E10	0.15	8.0×10^{14}	2.8×10^{-17}	0.14	$> 2.7 \times 10^{-16}$ [9]
	E11	0.36	1.4×10^{15}	4.8×10^{-15}	0.37	$> 1.7 \times 10^{-16}$ [9]
	E12	0.40	1.4×10^{15}	1.9×10^{-16}	0.40	3.3×10^{-17} [6]
	E13	0.59	8.0×10^{14}	1.6×10^{-16}	0.60	5.0×10^{-16} [6]

陷阱在能级位置上相近,但两者的俘获截面则相差甚远,见表 2。

图 5 为样品 3 和 4 典型的 DLTS 谱。在样品 3 中可清楚见到二个编号为 E8 和 E9 的深中心缺陷。它们的能级位置分别在导带下 0.21 和 0.40 eV 处。其浓度和俘获截面分别为 $5-8 \times 10^{14} \text{ cm}^{-3}$ 和 $2.4-7.7 \times 10^{-16} \text{ cm}^2$ 之间。而样品 4 中则有四个编号为 E10, E11, E12 和 E13 的深中心存在。它们的能级位置分别在导带下 0.15, 0.36, 0.40 和 0.59 处。其浓度和俘获截面分别为 $8 \times 10^{14}-1.4 \times 10^{15} \text{ cm}^{-3}$ 和 $2.8 \times 10^{-17}-4.8 \times 10^{-15} \text{ cm}^2$ 之间。其中 E8(0.21 eV)、E10(0.15 eV) 和 E11(0.36 eV) 与 Levinson 等^[9]在电子辐照 n-InP 材料中观察到的 0.14, 0.21 和 0.37 eV 陷阱深能级参数(能级位置和俘获截面)相近。而 E9(0.40 eV), E12(0.40 eV) 和 E13(0.59 eV) 与 Yamazoe 等^[6]在 InP LEC 单晶中观察到的 0.40 和 0.60 eV 陷阱深能级参数(能级位置和俘获截面)相近。

本工作观察到的和有关文献已发表的 InP 中深能级参数列于表 2。

上述 DLTS 测量是选取 $U_R = -0.1 \text{ V}$ 或者 -0.2 V , 即确保样品没有反型层形成。改变注入脉冲 V_i 的高度(从 0.5 V 到 2.0 V), 在相同频率下获得的 DLTS 谱图中没有观察到这些深中心缺陷峰值温度的移动, 这表明它们不是界面态而是体缺陷, 即界面陷阱。

四、讨 论

(1) 由于磷具有高的蒸汽压, 即使低温热处理, InP 材料中 V_p 也是很容易形成的。因此在研究制备 InP 器件引进的深能级研究中, V_p 是较普遍和重要的。

Yamazoe 等^[6]应用 DLTS 和 PL 技术系统研究经不同温度热处理(350°C , 450°C 和 550°C) InP 材料中的深能级行为。热处理对 DLTS 和 PL 讯号影响的结果表明, DLTS 谱中发射激活能大约为 0.40 eV 的深能级与 PL 谱中 1.1 eV 的发射带密切相关。

它们均来自 P 空位与缺陷的络合物。Spicer 等^[8]提出的缺陷模型也认为 0.40eV 缺陷能级与 P 空位有关。本工作观察到的 E3(0.39eV), E6(0.39eV), E9(0.40eV) 和 E12(0.40eV) 陷阱与 Yamazoe 等的 0.40eV 陷阱的深能级参数相近, 因此 E3, E6, E9 和 E12 形成可能与 PECVD 工艺中因介质膜生长温度偏高 (340°C) P 挥发而造成的 P 空位有关。而 E4 (0.42eV) 与 Yamazoe 等观察到的 0.40eV 陷阱的能级位置虽然相近, 但其俘获截面相差较大, 所以 E4 形成的原因还不清楚。

(2) Yamazoe 等^[6]在经不同温度热处理的 InP LEC 单晶中观察到与原生缺陷有关的 0.31eV 和 0.60eV 陷阱。其中 0.60eV 陷阱在氮气氛中退火消失而热处理后在过量磷压力下又重新出现的事实表明, 0.60eV 陷阱可能与 InP 中的磷间隙或钢空位有关。我们实验中观察到的 E2 和 E13 陷阱深能级参数与 Yamazoe 等的 0.31eV 和 0.60eV 相近, 这表明 E2 和 E13 陷阱可能来自 InP 材料中的原生缺陷。

(3) Lim 等^[10]在用化学氧化制成的 InP MIS 结构和掺氧的 InP 材料中均观察到与氧有关的 0.51eV 陷阱。我们得到的 E7(0.49eV) 陷阱, 虽然能级位置与之相近, 但俘获截面相差甚远且与我们结果相比 0.51eV 陷阱在所给的发射率下出现的峰温度太低。因此, E7 陷阱是否与 SiO₂ 介质膜里的氧有关还不清楚。

(4) Levinson 等^[9]详细报道了电子辐照 InP 材料的亚稳态缺陷 M 中心。研究表明该中心存在于两个组态: A 和 B 态。这取决于它们的电荷态, 每个组态可以通过不同的 DLTS 谱来表征。当温度降到 160K 以下样品不加偏压, 获得的缺陷态为 A 态。若降温过程中施加偏压则是 B 组态。B 组态的 DLTS 谱表明有导带下的 0.09, 0.14, 0.22 和 0.37eV 的缺陷能级存在。Levinson 认为当缺陷中心完全被电子填满, 缺陷态将是 A 组态, 当缺陷中心失去三个电子时, 组态 B 才能出现。按照如下的反应: $A^0 \rightarrow A^+ + e^- \rightarrow A^{2+} + 2e^- \rightarrow A^{3+} + 3e^- \rightarrow B^{3+} + 3e^-$ 在最后的状态 B³⁺, 缺陷作为一个三阶的电子陷阱, 而每次电子的俘获和发射均对应着深能级谱的 DLTS 峰。把本工作与 Levinson 的结果相比较, E1, E5 和 E10 与 0.14eV 陷阱的深能级参数相近, E8 与 0.22eV 陷阱的深能级参数相近, E11 与 0.37eV 陷阱的深能级参数相近, 这表明介质膜淀积过程中引起的 E1, E5, E8, E10 和 E11 陷阱与 InP 材料中电子辐照引进的缺陷相似, 它们可能是 PECVD 生长过程中过高功率密度的等离子体在 InP 衬底中产生的辐照损伤。

五、结 论

应用 C-V 和 DLTS 技术系统研究了不同介质膜淀积过程中在 InP MIS 结构中引进的界面陷阱 E1—E13。实验结果表明这些陷阱的来源: (1) E3, E6, E9 和 E12 可能是介质膜淀积过程中 InP 表面部分 P 原子挥发造成的 P 空位; (2) E2 和 E13 可能与 InP 材料衬底中的原生缺陷有关; (3) E1, E5, E8, E10 和 E11 可能是 PECVD 生长过程中过高功率密度的等离子体在 InP 衬底中引进的有关辐照损伤。

参 考 文 献

[1] G. Y. Robinson, in Physics and Chemistry of III-V Compound Semiconductors Interface, edited by C. W.

- Wilmsen (Plenum, New York, 1985). P. 73.
- [2] D. Fritzsche, *Inst. Phys. Conf. Ser.*, 50, 258(1980).
 - [3] M. Okamura and T. Kobayashi, *Jpn. J. Appl. Phys.*, 19, 2143(1980).
 - [4] T. Katsume, I. Sakata, and T. Ikoma, *IEEE Transactions of Electron Devices*, ED-27, 7, 1238(1980).
 - [5] M. Levinson, J. L. Benton, H. Temkin, and L. C. Kimerling, *Appl. Phys. Lett.*, 40(11), 990(1982).
 - [6] Y. Yamazoe, Y. Sasai, T. Nishino, and Y. Hamakawa, *Jpn. J. Appl. Phys.*, 20(2), 347(1981).
 - [7] H. Lim, G. Sagnes, and G. Bastide, *J. Appl. Phys.*, 53(11), 7450(1982).
 - [8] W. E. Spicer, I. Lindau, P. Skeath, and C. Y. Su, *J. Vac. Sci. Technol.*, 17(5), 1019(1980).
 - [9] M. Levinson, M. Stavola, J. L. Benton and L. C. Kimerling, *Phys. Rev. B*, 28(10), 5848(1983).
 - [10] H. Lim, G. Sagnes, G. Bastide and M. Rouzeyre, *J. Appl. Phys.*, 53, 3317(1982).

The Study of Interfacial Traps of InP Metal-Insulator-Semiconductor Structure with Different Insulating Layers

Lu Liwu Zhou Jie

(National Laboratory for Superlattices and Microstructures, Institute of Semiconductors,
Academia Sinica, Beijing, 100083)

Qu Wei Zhang Shenglian

(Institute of Semiconductors, Academia Sinica, Beijing, 100083)

Abstract

The interfacial traps of InP MIS structure samples with different insulating layers grown by PECVD has been studied using C-V and DLTS technique. The insulating layer was grown under special conditions. Experimental results show that the interfacial traps are located in the interface between the insulator and InP, and near the interface in the InP. We obtain the deep level parameters associated with the interfacial traps. The origin of these traps might be due to (1) During the deposition of insulating layer part of P atoms evaporate and form P vacancies in InP surface, (2) Native defects in InP substrate, (3) Irradiation damage induced by plasma during insulating layer growth process.

PACC: 7360, 7340, 7360F, 7155