

# FELLOW

## CMOS 双层金属工艺的门阵列 版图设计系统

薛 华 李 峰 钱 黎 明 李 劲 松

童 家 榕 章 开 和 唐 壁 山

(复旦大学电子工程系, 上海, 200433)

1991年2月7日收到, 1991年4月2日修改定稿

本文详述了 CMOS 双层金属工艺的门阵列版图设计系统 FELLOW 及其系统结构与主要算法。该系统覆盖了门阵列设计中从逻辑网表描述 (Netlist) 到物理版图 (Layout) 生成的所有设计阶段。在系统的结构设计上, 采用了统一的数据管理和用户界面管理, 而使系统模块化、集成化。整个系统与库单元都独立于工艺设计规则, 即系统与已建立的单元库可以适用于不同的设计规则。三个芯片设计的实例比较, 结果显示其芯片面积比单层布线工艺要减小 20% 以上。

CCACC: 7410D

### 一、 概 述

以门阵列的方法来完成 ASIC 芯片设计, 因其设计周期短和小批量成本低的优势, 在 IC 芯片设计中占有十分重要的地位<sup>[1]</sup>。随着 CMOS 双层布线工艺的日趋成熟, 双层布线门阵列已成为一种基本而可行的设计方法。

门阵列设计方法的最大特点, 就是在实现要求的逻辑功能前, 已存在一个母片, 以后通过在母片上的不同连接而实现不同的功能。母片描述的传统方法通常是设计者以人工的手段来写一个数据量大且繁琐的描述文件, 这种人工的方法不仅效率低而且易出错。FELLOW 系统中采用了根据关键数据自动生成母片描述与制版数据的技术, 有效地解决了母片设计的效率与可靠性问题。

对一个门阵列设计系统, 与单元库的接口策略是决定系统整体性能的一个关键。通常与单元的接口策略是与单元版图库直接替换的方法(如 Daisy 系统), 这种方法导致的一个重要缺陷是单元库与实际的设计规则相关。当设计规则改变时, 即使单元的结构与走线完全没有变动, 整个单元库都要重建。随着模块生成技术的发展, 一般要求布图系统能与单元自动生成结果的接口能力<sup>[2]</sup>, 即与单元的逻辑化参数而不是与版图实体接口。我们提出并实现了一种新的库单元逻辑化的描述方法, 不仅解决了库单元与设计规则独

立性的问题,而且提供了系统与单元生成模块相连的可扩展性。

布局、布线是自动布图系统中的二大核心模块。门阵列设计布局的特点是在固定的区域中也即芯片面积已确定的情况下布局,因此其目标函数中还有整体模块均匀性的要求。FELLOW 系统中应用了改进的内外连接度法<sup>[3]</sup>进行初始布局,结果已证明该算法在布局时间与布局效果上都十分有效。针对门阵列设计的特点,我们提出了一种新的二维改善布局算法,该算法的基础是基于对模块的移动而引起目标函数改善的预测,而对初始布局结果进行位置交换改善。FELLOW 系统中的布线模块主要包括总体布线、通道布线和调整布线三部分。为了使布线与具体工艺规则无关,整个布线过程都在逻辑数据上完成。

FELLOW 系统采用统一的数据描述语言 DLL(Data Listing Language) 和数据管理模块 IDMI (Integrated Data Management Interface)<sup>[4]</sup> 来管理系统的标准库数据和设计库数据,同时使整个系统集成化和高度的模块化。这种环境可以使新开发的工具方便地集成到 FELLOW 系统中。另外,通过 IDMI 与工艺数据库相连,使整个软件系统独立于具体的工艺规则<sup>[5]</sup>。

## 二、系统结构与设计流程

### 1. 系统结构

图 1 为 FELLOW 系统的结构示意图。整个系统主要由功能模块、数据管理模块、窗口管理模块、事件处理模块以及一个标准数据库和一个设计数据库构成。

功能模块由六个独立工具模块组成,分别为: a 宏单元编辑器 MacEdt; b 母片生成器 BasGen; c 压脚信号分配 PadAsn; d 布局模块 Placer; e 布线模块 Router; f 物理版图生成 PhyGen。

数据管理模块 IDMI 完成对所有标准数据或设计中间数据的存取,即模块之间没有直接的数据交换。IDMI 的工作原理在<sup>[6]</sup>中已作了详细的叙述与分析。

窗口管理系统 WM (Window Manager) 主要支持各个功能模块对窗口和菜单的操作如开窗、放大、刷新和菜单的翻页等。

事件处理器 EP (Event Processor) 处理各个功能模块发生的请求命令事件。

FELLOW 的数据库包括标准数据库和设计数据库两部分。标准数据库中存储的信息包含六类: ①库单元,②工艺描述,③基本单元,④外围单元,⑤母片系列,⑥测试图形;而设计数据库中含有的另六类信息为: ①基本网表,②网表扩展,③信号分配结果,④布局结果,⑤布线结果,⑥物理版图输出数据。

### 2. 设计流程

图 2 为设计流程的示意图。

其中各模块生成的数据文件名后缀与其意义的对应关系为:

.fdl——电路的网表描述 (Netlist)

.ext——电路的网表扩展

.pad——外围信号分配的结果数据

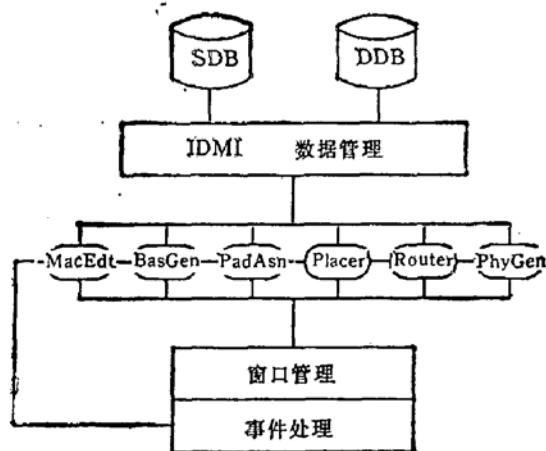


图1 FELLOW 系统的结构示意图

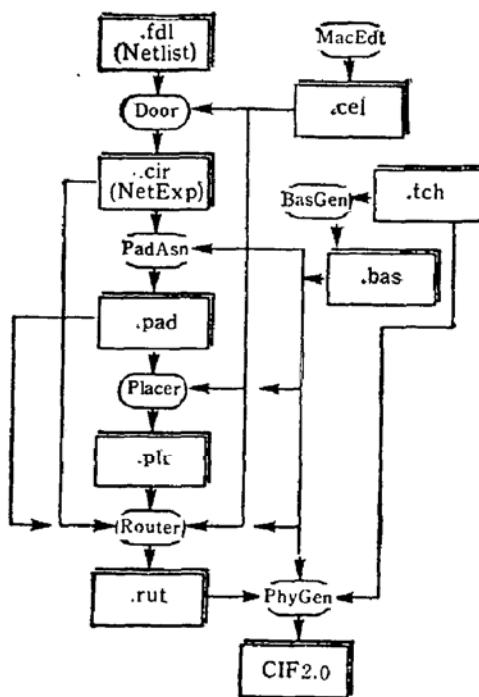


图2 设计流程示意图

- .plr——布局的结果数据
- .rut——布线的结果数据
- .cel——库单元描述
- .bas——母片的描述
- .tch——工艺描述文件
- .cif2.0——输出的版图数据

### 三、主要算法

#### 1. 初始布局算法

##### (a) 选中策略

内外联结度法是初始布局中选择单元的常用算法，它将所有单元分为两个集合：未布单元集 CA 和已布单元集 CB，而给未布单元集 CA 中的每一个单元定义一个内外联结度，算法在每一时刻总是在 CA 集中选择当前内外联结度最大者作为选中单元。但是，该算法只考虑了单元的联结度，而没有考虑线网，因此如果属于某一线网的若干单元中绝大多数已属于 CB 集，而属于 CA 集的那些单元的内外联结度又不大，则这个线网将没有优先权。为了解决这一问题，我们将所有线网也分为两个集合：未布线网集 NA 和已布线网集 NB，而每一个属于 NA 的线网同样定义一个内外联结度，不过在这里，线网  $i$  的内外联结度定义为与线网  $i$  相联的属于 CB 集的单元数和与线网  $i$  相联的属于 CA 集的单元数之差。由于考虑了单元的内外联结度和线网的内外联结度，因此有可能在单元和线网两个方面得到较为均衡的结果。

### (b) 最佳位置

由于在布局阶段无法确切知道线网的实际联结,因此以限界矩形 (bounding box)<sup>[6]</sup> 模型为依据,如果目前选中单元  $i$ ,设与  $i$  相关的线网数为  $n$ ,对每一个这样的线网可以得到与其相联的属于 CB 集的单元(除  $i$  之外)在版图上的位置。于是,以这些点就可以构成该线网的限界矩形。我们将所有限界矩形的重心定为最佳位置。

### (c) 安置策略

搜索空位的方法是以单元矩形的半短边为半径  $r = r_0$ ,以单元的最佳位置为圆心作一个圆,搜索圆内最靠近圆周的网格点,检查这些网格点是否为空位,若满足条件,则该网格点即为最终放置位;若没有一个网格点满足条件,则  $r = r + r_0$ ,重复上述过程直至搜索到一个空位为止。

## 2. 二维改善布局

首先按与初始布局相同的方法计算每一个单元的最佳位置,这时由于每一个单元都已安置,这样计算出的最佳位置对当前状态来说是真实的,优化布局总是希望把单元移动到最佳位置上,但是这种移动几乎肯定要造成迭盖和空位,因此必须给出一个消除迭盖的合理有效的方法。

假定要移动单元  $i$ ,计算该单元在当前位置时,与之相联的各线网的限界矩形半周长之和为  $C_c$ ,再计算该单元在其最佳位置时,相应限界矩形的半周长之和  $C_b$ ,则改善值  $Imp_0 = C_c - C_b$ ,然后检查每一个线网,将它们归入以下 4 个集合中:

与单元  $i$  相联的线网集  $A_1$ ,限界矩形覆盖单元  $i$  当前位置的线网集  $A_2$ ,限界矩形覆盖单元  $i$  最佳位置的线网集  $A_3$ ,其他线网集  $A_4$ 。 $A_2$  和  $A_3$  之间可能会有交迭,但可以保证:

$$A_1 \cap (A_2 \cup A_3) = \emptyset, A_4 \cap (A_2 \cup A_3) = \emptyset, A_1 \cap A_4 = \emptyset$$

假定单元  $i$  的面积为  $a_i$ ,而线网集  $A_2$  中的线网  $j$  的限界矩形面积  $S_j = X_j Y_j$ ,其中  $X_j, Y_j$  分别为限界矩形两边长,则可以认为线网  $j$  因为单元  $i$  移动后造成的空位被压缩后,其限界矩形的边长减小值  $\Delta l_j$  满足:(设矩形每边减小相同的值)

$$\begin{aligned} S_j - a_i &= (X_j - \Delta l_j)(Y_j - \Delta l_j) \\ \therefore \Delta l_j &= \left( X_j + Y_j - \sqrt{(X_j + Y_j)^2 - 4a_i} \right) / 2 \end{aligned}$$

于是,线网  $j$  的改善值  $(Imp_2)_j = 2\Delta l_j$ 。而  $A_2$  集中所有线网的总改善  $Imp_2 = \sum(Imp_2)_j$  同理,对于  $A_3$  集中  $i$  线网  $j$ ,因为单元  $i$  放到最佳位置后造成的迭盖扩张后,线网的限界矩形边长的增量  $\Delta l_j$  满足:

$$\begin{aligned} S_j + a_i &= (X_j + \Delta l_j)(Y_j + \Delta l_j) \\ \therefore \Delta l_j &= \left( (-X_j - Y_j) + \sqrt{(X_j + Y_j)^2 + 4a_i} \right) / 2 \end{aligned}$$

于是线网  $j$  的改善  $(Imp_3)_j = -2\Delta l_j$ ,而  $A_3$  集中所有线网的总改善  $Imp_3 = \sum(Imp_3)_j$  对于  $A_1$  集中的线网,与  $A_3$  集的情况相似,不过我们取  $(Imp_1)_j = -\Delta l_j$ ,而  $Imp_1 = \sum(Imp_1)_j$

对于  $A_4$  集中  $i$  线网,  $Imp_4 = 0$ ,于是得到一个是否移动单元  $i$  的判据:

$$F = Imp_0 + \rho_2 Imp_2 + \rho_3 (Imp_3 + Imp_1)$$

其中  $0 < \rho_2 < 1$ ,  $\rho_3 > 1$ , 如果  $F > 0$  则移动单元  $i$ , 否则不移动.

关于消除迭盖我们将之归结为这样一个问题: 已存在一个任意的直角多边形(它代表已处理过的消除了迭盖的单元们的外框)和一个矩形(它代表当前被选中的尚未处理过的单元, 选中的判据是该单元到多边形距离最近), 要找到矩形的一个位置, 使矩形与直角多边形相邻但不重迭, 并且矩形的移动距离尽量小, 在找到这样一个位置后, 将矩形和直角多边形合并成一个新的直角多边形.

### 3. 总体布线

总体布线的基本步骤是:

#### (a) 建立初始布线密度影像 (density image)

初始影象建立时, 采用最小生成树作为连接树<sup>④</sup>. 因此具体的构成方式对通道密度影象的作用, 只有很小的选择余地, 如图 3 所示

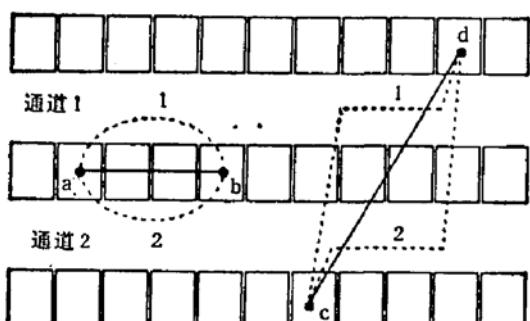


图 3

对  $a, b$  的联结, 线段对布线密度的贡献要么在通道 1, 要么在通道 2, 而不作任何外绕的连结, 对  $c, d$  的联结采用简化的模型, 即线段的水平段也在通道 1 或通道 2 的二者之一.

由于初始影象采取较简单的线网连结方式, 因而特点是: 高速度, 联结短, 但影象往往不均匀, 溢出区域多.

#### (b) 重构线网连接树, 消除溢出区域

这个过程就是线网在当前的影象密度分布下, 用单子树生长法重新构成联结树, 通道里每一处线网的穿过费用和该处的拥挤程度成正比, 对穿过溢出区域的线网进行连接树重构, 溢出区域就必然减少. 通过循环往复, 直到溢出区域全部消失, 或者说, 每一处的布线影象密度都不超出该处容量, 则总体布线成功.

#### (c) 模拟退火

继续(b)的步骤. 线网联结树反复地重构, 而线网的次序由一组随机数控制. 这样就达到退火的效果, 通道密度影象更趋于均匀化, 保证后继详细布线的高布通率.

### 4. 通道布线

用一个同时反映水平约束和垂直约束的混合图表示约束关系, 即有向和无向边混合图模型, 其中有向边表示垂直约束, 无向边表示水平约束, 节点表示线网, 优化过程实际上是依照水平约束和垂直约束的等价性, 将水平约束逐步地转化为“等价”的垂直约束过程, 其目标是实现最终有向图(标向以后)中最大有向路径的最小化. 为了解决循环约束以及布线尽量占用较少的通道宽度, 采用了“曲腿”(Dog-leg) 的走线方法, 即把循环约束中的某一线段分为二段, 分割点的位置以选在垂直线尽量少的列为优. 算法的详述见[8].

### 5. 物理版图生成

版图生成的核心任务是找到均匀网格系上的逻辑点对应的物理位置. 设  $(X, Y)$  表示逻辑点,  $(PX, PY)$  表示  $(X, Y)$  对应的物理位置,  $(X_0, Y_0)$  表示某一区域左下角的逻辑位置,  $(X_p, Y_p)$  表示  $(X_0, Y_0)$  对应的物理位置. 根据点  $(X, Y)$  的位置, 分为

下面两种情况:

(a) 点 (X, Y) 在通道区

由于通道区内为均匀的物理网格系。所以可知:

$$PX = (X - X_0)W + X_p, PY = (Y - Y_0)H + Y_p$$

其中 W, H 为单位物理网格 X, Y 方向的间距。

(b) 点 (X, Y) 在单元区

由于单元区内, 物理网格不均匀, 所以要特殊处理。设 (X, Y) 属于第 i 个基本单元 (Core),  $i = (X - X_0)/W_c$ , 其中  $W_c$  为 Core 的逻辑宽度, 然后根据工艺库中的描述, 得到  $(X - X_0 - iW_c, X - X_p)$  点的物理偏移  $(O_x, O_y)$ , 则:  $P_x = iW_p + O_x + X_p$ ,  $P_y = O_y + Y_p$ , 其中  $W_p$  为 Core 的物理宽度。

最后, 根据工艺设计规则, 将线段、点的描述展宽为对应的物理实体。

## 四、系统的特 点

FELLOW 系统的结构设计与实际测试结果都显示了下述特点:

(1) 系统的集成化与模块化, 使系统易于维护和扩展; (2) 单元库与工艺规则的独立性; (3) 系统与工艺规则的独立性; (4) 集成的数据管理; (5) 模块命令运用了事件驱动机制, 使交互命令高效率与高可靠性; (6) 高布线密度; (7) 母片自动生成; (8) 可交互地编辑逻辑库单元; (9) 使用 UNIX、C、X 窗口这一标准化的软件环境; (10) 用户友好的界面。

## 五、应用与结 果

目前 FELLOW 系统已在 HP825 工作站上运行。作为对系统的测试, 已建立了  $3\mu$  工艺的标准单元库并设计了三个规模分别 2500 门, 4500 门和 6500 门的电路。表 1 为各设计阶段所占用的 CPU 时间, 表 2 为三个电路的设计结果数据。

表 1 各设计阶段的 CPU 时间(分)

电 路 名	布 局		布 线		版图生成
	初 始	改善	总 体	详 细	
C2k	2.7	7.0	6.5	2.2	0.5
C4k	6.9	18.0	15.2	4.6	1.1
C6k	16.2	35.0	22.0	8.0	2.0

表 2 三个实例

电 路 名	门 数	单 元 数	线 网 数	管 脚 数	通 道 容 量	核 心 面 积 (mm × mm)	芯 片 面 积 (mm × mm)
C2k	2500	481	735	1324	16	4.320 × 3.869	5.231 × 4.887
C4k	4500	962	1470	2648	16	5.712 × 5.319	6.623 × 6.327
C6k	6500	1443	2205	3969	20	7.104 × 7.853	8.015 × 8.951

## 六、结 束 语

FELLOW 系统是一个集成多个实用工具的 CMOS 双层布线门阵列设计系统。对于设计规模在 2000 门—6000 门的电路，该系统有高的设计效率和较其他系统更小的芯片面积。

### 参 考 文 献

- [1] E. E. Hollis, "Design of VLSI Gate Array ICs," Prentice Hall Inc (1987).
- [2] J. Burns, et al., Proc. of VLSI'87, 165(1987).
- [3] 庄文君、李玉兴,“集成电路布图设计自动化”,上海交通大学出版社(1986),
- [4] 薛华、唐琰山等,计算机辅助设计与图形学学报,2,24(1990).
- [5] Phillip Smith, et al., Proc. of 22nd DAC, 76(1985).
- [6] B. T. Preas and P. G. Karger, Proc. of 23rd DAC, 622(1986).
- [7] H. Loberman, et al., J. ACM. 4, 428(1957).
- [8] 周电、唐琰山,半导体学报,7,292(1986).

## FELLOW CMOS Double Metal-Layer Gate Array System

Xue Hua, Li Feng, Qian Liming, Li Jinsong Tong Jiarong,  
Zhang Kaihe and Tang Pushan

(Electronics Engineering Department, Fudan University Shanghai, 200433)

### Abstract

A CMOS double metal-layer gate array design system, FELLOW, is presented. The system covers the complete layout design stages from netlist description to final physical layout. On the system framework, an integrated data management interface and an "event-driven" human interface are implemented, thus making the system integrated and highly modular. Both the FELLOW system and its logical macro cells are design-rule independent. The chip area comparison between 3 single metal layer chips and those of the FELLOW system showed up to 20% reduction by using the second metal layer.

CCACC: 7410D