

ELO/SOI 膜上短沟道 MOSFET 的研究

陈南翔 张旭光 张美云 李映雪 王阳元

(北京大学微电子学研究所, 北京, 100871)

1991 年 1 月 20 日收到, 同年 5 月 8 日修改定稿

在 ELO/SOI 膜上制备出了短沟道 MOSFET。电子及空穴场效应迁移率分别为 $360 \text{ cm}^2/\text{V} \cdot \text{s}$ 及 $200 \text{ cm}^2/\text{V} \cdot \text{s}$ 。PMOS 及 NMOS 晶体管的亚阈值斜率分别为 190 mV/dec 和 220 mV/dec , 漏泄电流为 $10^{-10} \text{ A}/\mu\text{m}$ 数量级。本文讨论了 SOI-MOSFET 的器件特性。

PACC: 6855, 7280, 7340L

一、引言

外延横向生长法 (ELO—Epitaxial Lateral Overgrowth) 是美国 RCA 公司于 1980 年提出的。作为 SOI (Silicon-On-Insulator) 技术中的一种方法, 它具有工艺简单、成本低、适于大批量生产等优点。1988 年日本 Sony 公司利用低压外延技术制备了 ELO/SOI 膜, 并制出了 CMOS-SRAM 存贮单元^[1]。1989 年, L. Jastrzebski 在 ELO/SOI 膜上制备了 MOSFET^[2], 其空穴场效应迁移率为 $160 \text{ cm}^2/\text{V} \cdot \text{s}$, 漏泄电流为 $10^{-12} \text{ A}/\mu\text{m}$ (PMOS) 及 $10^{-11} \text{ A}/\mu\text{m}$ (NMOS) 数量级。1990 年, G. W. Neudeck 在 ELO/SOI 膜上制备了空穴平均迁移率为 $283 \text{ cm}^2/\text{V} \cdot \text{s}$, 亚阈值斜率为 223 mV/dec 的 PMOS 晶体管^[3]。

本文报道了我们在 ELO/SOI 膜制备工艺研究基础^[4-5]之上所开展的短沟道 ELO/SOI-MOSFET 的研究工作。

二、ELO/SOI 膜及短沟道 MOSFET 的工艺制备

选用 N 型 (100)、电阻率为 $5-10 \Omega \cdot \text{cm}$ 的硅单晶片作为原始衬底。利用 LOCOS 工艺选择形成局部的厚氧化层。通过对厚氧化层的控制腐蚀, 便得到基本上等平面的 Si 与 SiO_2 相间的条状分布结构。在目前的实验中, SiO_2 条宽为 $20 \mu\text{m}$, 硅单晶条宽为 $5 \mu\text{m}$ 。硅单晶与 SiO_2 条的边缘取向为 (100)。

采用 $\text{SiCl}_4/\text{H}_2/\text{Br}_2$ 气体系统, 通过常压外延就可在 $20 \mu\text{m}$ 宽的 SiO_2 条上覆盖厚度为 $10 \mu\text{m}$ 的横向外延硅单晶膜。抛光后, ELO/SOI 膜表面得到平坦化, 硅膜厚度亦也减薄。用于 MOSFET 制备的 ELO 硅膜厚度小于 $1 \mu\text{m}$ 。

用反应离子刻蚀 (RIE) 刻蚀硅形成硅隔离岛, 尔后采用全离子注入硅栅自对准工

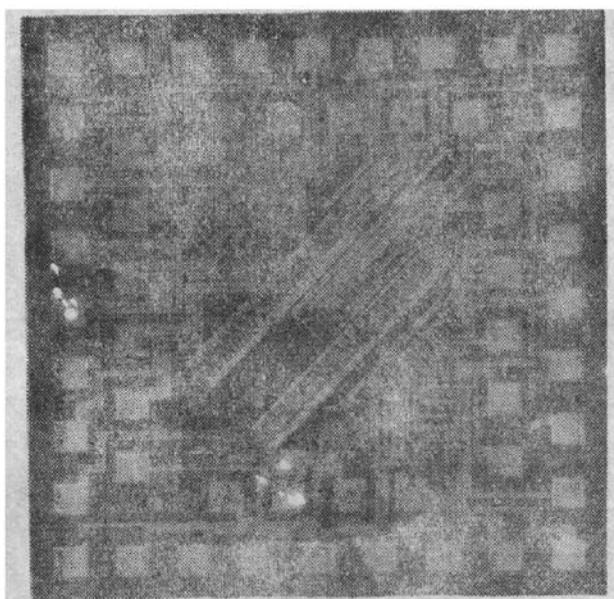


图 1 实验芯片的平面照片

艺在 ELO/SOI 膜上研制了 MOSFET。沟道长度分别为 $1\text{ }\mu\text{m}$ 、 $2\text{ }\mu\text{m}$ 及 $3\text{ }\mu\text{m}$ 。栅氧化层厚度为 800 \AA ，多晶硅栅厚度为 5000 \AA 。P 沟及 N 沟 MOSFET 沟道区最大掺杂浓度分别为 $2 \times 10^{17}/\text{cm}^3$ 及 $1 \times 10^{16}/\text{cm}^3$ 。图 1 为实验芯片的平面照片。

三、ELO/SOI-MOSFETs 的实验结果与分析

图 2 给出了沟道长度为 $1\text{ }\mu\text{m}$ 的 PMOS 和 NMOS 晶体管的输出特性。测试结果表明: PMOS 及 NMOS 的源-漏击穿电压分别为 10 V 和 8 V , 阈值电压的典型值分别为 1.8 V 及 -1.8 V 。从图 2 中的 NMOS 输出特性上可以看到: 在饱和区中存在着明显的“Kink”效应,发生“Kink”效应时的起始点(即所谓“Kink”电压)随着栅压 V_g 的增大而增大。

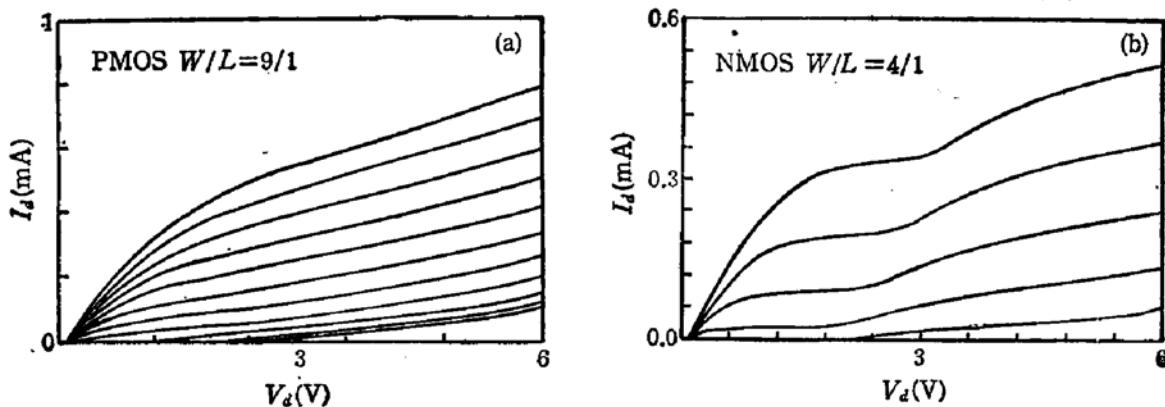
图 2 $1\text{ }\mu\text{m}$ 沟道长度 MOSFET 的输出特性

图 3 给出了在一定沟道宽度下,不同沟道长度的 PMOS 的亚阈值特性。从中可以看出: (1) 随着沟道长度的减小,亚阈值斜率增大。当沟道长度 $L = 3\text{ }\mu\text{m}$ 时,亚阈值斜

率约为 500 mV/dec , 当 $L = 1\mu\text{m}$ 时, 亚阈值斜率约为 250 mV/dec . (2) 随着沟道长度 L 的减小, 源-漏间漏泄电流降低. 当 $L = 3\mu\text{m}$ 时, 漏泄电流为 $5.4 \times 10^{-9} \text{ A}/\mu\text{m}$, 当 $L = 1\mu\text{m}$ 时, 其值为 $6.1 \times 10^{-10} \text{ A}/\mu\text{m}$. (3) 随着沟道长度的减小, 阈值电压下降. 当 L 从 $3\mu\text{m}$ 减小到 $1\mu\text{m}$ 时, 阈值电压的变化量约为 0.8 V .

图 4 为不同沟道宽长比的 NMOS 亚阈值特性. 具有较好亚阈值特性的是环形闭合栅结构的 NMOS ($W/L = 40/2$).

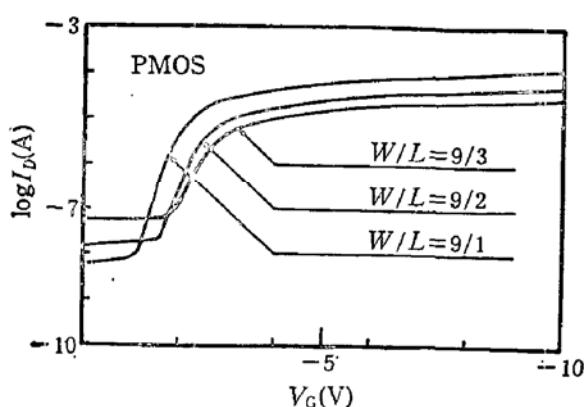


图 3 当 $W = 9\mu\text{m}$ 时, 不同沟道长度的 PMOS 的亚阈值特性

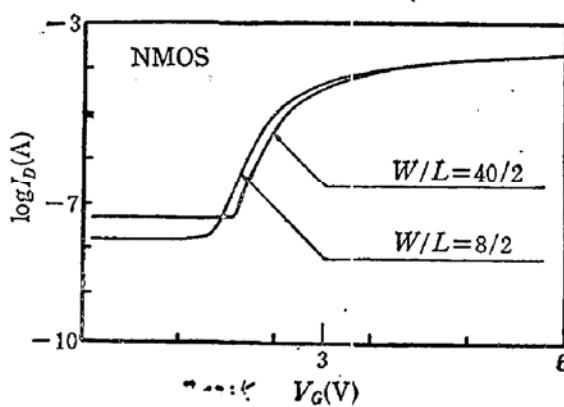


图 4 不同沟道宽长比的 NMOS 亚阈值特性

实验结果表明: 无论是 PMOS 还是 NMOS, 具有环形闭合栅结构的 MOSFET 性能要优于条形栅结构的. 其主要表现在(1)电流驱动能力强. (2)亚阈值斜率大. (3)源漏间漏泄电流小. 表 1 中列出了具有环形闭合栅结构的 NMOS 及 PMOS 的性能参数. 从中亦可看出: PMOS 的性能要优于 NMOS 的.

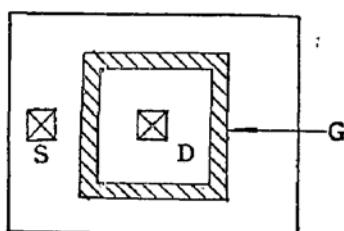


图 5 环形闭合栅结构的平面示意图

“Kink”效应是由于衬底浮空所导致的.一般抑制“Kink”效应的方法是: (1) 将衬底引出与源极相接. (2) 制备“全耗尽”薄硅膜器件^[6-7]. 在目前的实验中, 由于 ELO 硅膜较厚,

未能制成“全耗尽”器件, 故此“Kink”效应仍然是存在的. 然而, 环形栅 NMOS 实验表明: 漏结区的版图设计对于“Kink”效应的影响是很明显的. 在通常的设计中, 均将漏结区置于环形闭合栅的内部区域中(外部为源结区), 见图 5 的环形栅平面示意图. 在这种情况下, NMOS 输出特性有明显的“Kink”效应. 但将漏结区置于环形栅外部区域(内部为源极), 则观察不到明显的“Kink”效应. 这可能是由于漏结区电场强度的变化

表 1 环形栅结构的 MOSFET 的性能参数

	场迁移率 ($\text{cm}^2/\text{V} \cdot \text{s}$)	亚阈值斜率 (mV/dec)	截止漏泄电流 ($\text{A}/\mu\text{m}$)
NMOS 40/2	360	240	9.4×10^{-10}
PMOS 60/2	200	190	1.9×10^{-10}

影响了漏结碰撞电离的结果。

在目前的实验中, NMOS 的截止漏泄电流要比 PMOS 的大。这是因为(1)在 NMOS 中存在着寄生背沟道效应,(2)在器件工艺制备中, 没有采用“背沟道注入”来抑制背沟道效应的影响。

四、结 论

在 ELO/SOI 膜上制备出了短沟道 MOSFET, 电子及空穴场效应迁移率分别为 $350 \text{ cm}^2/\text{V}\cdot\text{s}$ 及 $200 \text{ cm}^2/\text{V}\cdot\text{s}$ 。截止漏泄电流为 $10^{-10} \text{ A}/\mu\text{m}$ 数量级。NMOS 及 PMOS 的亚阈值斜率分别为 220 mV/dec 及 190 mV/dec 。

实验结果表明:(1)在一定的沟道宽度下, 沟道长度愈小, 其 MOSFET 的性能愈好。(2)环形闭合栅结构的 MOSFET 性能要优于条形栅的。(3)目前制备的 ELO/SOI 膜基本上达到了器件制备的要求。

参 考 文 献

- [1] T. Ohshima, Extend Abstracts of 5th International Workshop on Future Electron Device, Japan (1988).
- [2] L. Jastrzebski, *J. Electrochem. Soc.*, 136(11), 3506 (1989).
- [3] G. W. Neudeck, *IEEE Trans. Electron Devices*, E-D37(1), 273 (1990).
- [4] 张旭光, 李映雪, 王阳元, 朱忠伶, 电子学报, 17(5), 1(1989).
- [5] 李映雪, 张旭光, 张美云, 陈南翔, 王阳元, 李树杰, 都安彦, 半导体学报, 13(4), (1992).
- [6] J. P. Colinge, IEDM'89, P 34.1.1.
- [7] P. H. Woerlee, IEDM'89, P34.2.1.

Short-Channel MOSFETs on ELO/SOI

Chen Nanxiang, Zhang Xuguang, Zhang Meiyun, Li Yingxue and Wang Yangyuan
(Institute of Microelectronics, Peking University, Beijing, 100871)

Abstract

Short-channel MOSFETs have been fabricated on ELO/SOI structure. Electron and hole field-effect mobilities of the MOSFETs are $360 \text{ cm}^2/\text{V}\cdot\text{s}$ and $200 \text{ cm}^2/\text{V}\cdot\text{s}$, respectively. The Sub-threshold slopes are 190 mV/dec (P-channel MOS) and 220 mV/dec (N-channel MOS), respectively. The leakage current is less than $10^{-10} \text{ A}/\mu\text{m}$. The characteristics of MOSFET/SOI have been discussed.

PACC: 6855, 7280, 7340L