

# GaAs MESFET 栅的取向效应

## II. 实 验

黄庆安 童勤义 吕世骥

(东南大学微电子中心,南京,210018)

1991年3月11日收到,同年5月3日定稿

研究了(100) GaAs 衬底上,离子注入自对准  $WSi_x$  栅 GaAs MESFET 的阈值电压漂移与栅长和取向的关系。当栅长小于  $2\mu m$  时,栅不同取向的阈值电压差别很大。本文同样将解析模型与已有的(111) GaAs 衬底的实验进行了比较。结果表明解析模型与实验符合较好。

EEACC: 2560B, 2560S

## 一、引言

目前,用于制造 GaAs 器件的材料主要是(100)衬底。所以国外对(100)衬底上的 GaAs MESFET 取向效应进行了广泛的研究。而(011)和(111)衬底的研究较少<sup>[1]</sup>。鉴于国内以(100)衬底的器件工艺较为成熟,我们研究了(100)衬底上离子注入自对准  $WSi_x$  栅 GaAs MESFET 的取向特性。钝化膜采用 PECVD SiN。并通过测量 GaAs 表面的 Raman 谱偏移来估计 SiN 膜的应力。将解析模型<sup>[2]</sup>与已有的(011)和(111)衬底上取向效应的实验结果及我们对(100)衬底的实验进行了比较。结果表明解析模型与实验结果吻合较好。

## 二、器件制作与测试

### 1. 器件制作

实验中采用 LEC 半绝缘(100) GaAs 抛光单晶片制作 GaAs MESFET。沟道区注入条件为  $60keV, 6.5 \times 10^{12}cm^{-2}$ 。无包封石墨快速退火,退火条件为  $850^\circ C, 15$  秒。以  $WSi_x$  栅作沟道区掩蔽膜双峰注入  $n^+$  源、漏区,注入条件为  $90keV, 2 \times 10^{13}cm^{-2} + 40keV, 1 \times 10^{13}cm^{-2}$ 。 $n^+$  区退火条件为  $850^\circ C, 15$  秒。最后采用剥离技术形成 AuGeNi/Au 欧姆接触。钝化层采用 PECVD SiN,厚度分别为  $0.2\mu m$  和  $0.4\mu m$ 。栅的长度分别为 1, 1.5, 2 和  $5\mu m$ 。取向为  $0^\circ, 22.5^\circ, 45^\circ$  及其相应的垂直方向,共六种取向。

### 2. FET 栅取向的确定

我们在实验中用  $H_2SO_4-H_2O_2-H_2O$  腐蚀系统来确定晶向。由于 GaAs 各向异性腐蚀特点。在(100)衬底上,<011>方向的窗口的深度腐蚀剖面很不相同。如图 1 所示,腐蚀

剖面一个方向呈梯形,另一个方向呈倒梯形。

### 3. 应力测量

根据边缘力集中近似知道,在 SiN 薄膜边缘附近, GaAs 衬底表面的应力接近 SiN 膜的应力。同时,由于 SiN 对光是透明的,所以,我们用 Raman 谱法测量 GaAs 表面的应力来估计 SiN 薄膜中的应力。根据背散射几何条件的 Raman 选择定则,(100) GaAs 衬底仅允许有 LO(纵光学)声子。GaAs 晶体的 LO 声子模式散射的特征 Raman 频率峰在  $292.1 \text{ cm}^{-1}$ 。由于应力的作用将使 GaAs 晶格发生变化,从而引起 Raman 特征峰位置的偏移。这种偏移与应力成正比关系<sup>[3]</sup>。

$$\sigma = 3.25 \times 10^9 (\text{dyn/cm}) \cdot \Delta\omega (\text{cm}^{-1}). \quad (1)$$

如果应力作用使特征频率向高偏移,  $\Delta\omega > 0$ , 这时应力为压应力;如果特征频率向低偏移,  $\Delta\omega < 0$ , 则为张应力。图 2 给出了无钝化膜和用  $0.2 \mu\text{m}$  PECVD SiN 钝化后的 GaAs 晶体表面的特征峰。显见特征峰向低偏移了  $0.4 \text{ cm}^{-1}$ 。由此可知, GaAs 表面处于张应力状态, 应力约为  $1.3 \times 10^9 \text{ dyn/cm}^2$ 。SiN 膜的应力处于张应力约在  $3-7 \times 10^9 \text{ dyn/cm}^2$  范围。本文的计算中所用数据  $\sigma_f = 5 \times 10^9 \text{ dyn/cm}^2$ 。

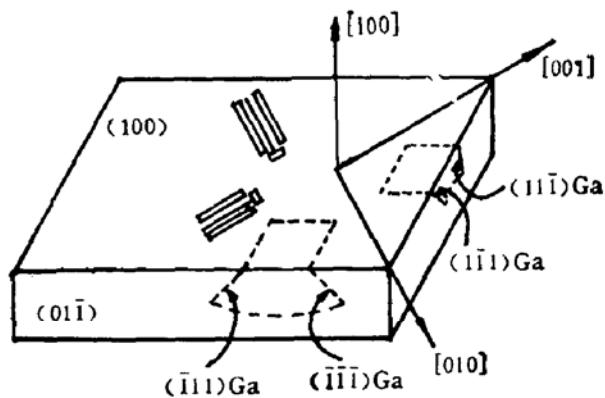


图 1 (100)GaAs 衬底, <011>窗口的深度腐蚀剖面

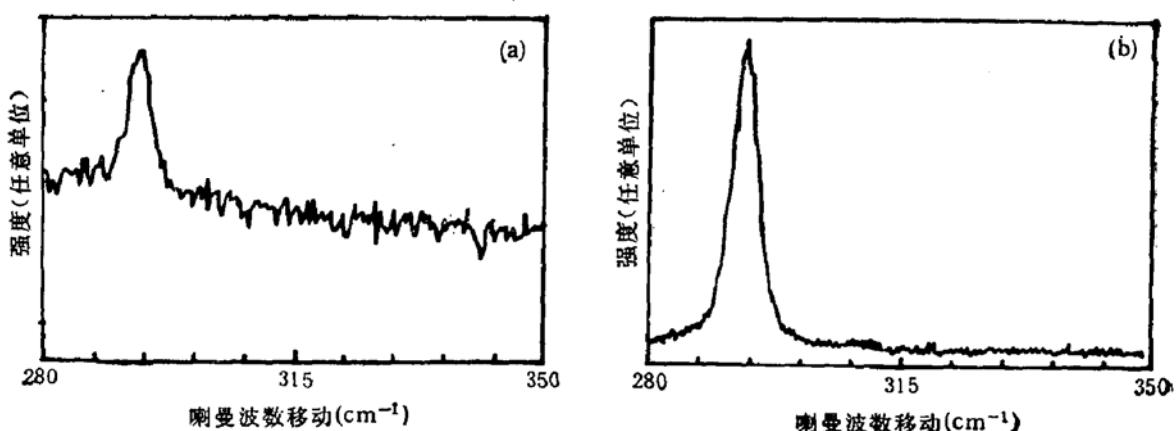


图 2 (100) GaAs 表面的特征 Raman 谱  
(a) 无氮化膜情况 (b)  $0.2 \mu\text{m}$  氮化硅的情况

### 4. 阈值电压的测量

GaAs MESFET 的饱和电流近似由平方律关系描述

$$I_{DSS} = K(V_{GS} - V_T)^2. \quad (2)$$

式中  $I_{DSS}$  是饱和源漏电流,  $K$  是增益因子,  $V_{GS}$  是栅源电压。实验中由  $\sqrt{I_{DSS}}$  和  $V_{GS}$  关系的直线段在  $V_{GS}$  坐标轴上的截距确定出阈值电压  $V_T$ 。为使器件工作在夹断模式,

实验中漏源电压取 1V。考虑到衬底材料的均匀性问题，阈值电压取 60 个 FET 的平均值。阈值电压测试在 HP 4145 A 半导体参数分析仪上进行。

### 三、实验结果与比较

压电效应对 GaAs MESFET 阈值电压的影响与栅的取向、长度、钝化膜厚度及衬底取向均有关系。我们的实验是对(100)衬底,(111)衬底的结果取自文献[1]。

#### 1. 栅取向的影响

图 3 是  $1\mu\text{m}$  栅长的 GaAs MESFET 栅的取向与阈值电压漂移的实验及理论计算

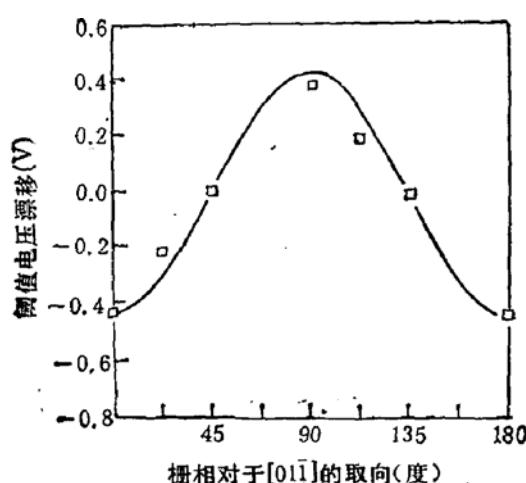


图 3 (100) GaAs 衬底上 FET 阈值电压漂移与取向的关系

$L = 1\mu\text{m}$ ,  $d_f = 0.2\mu\text{m}$   
■ 实验结果, —— 计算的结果

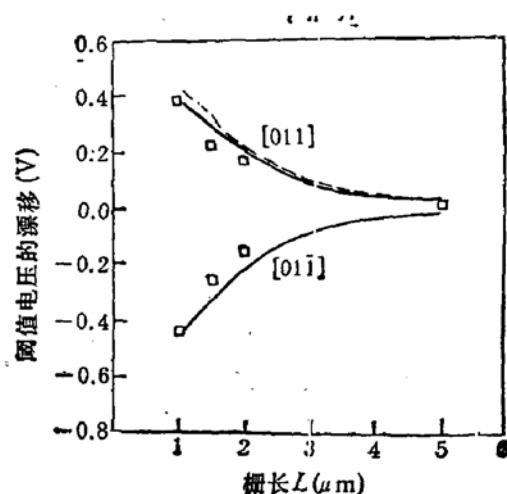


图 4 (100) GaAs 衬底上,[011]和[01-1]取向的 FET 阈值电压漂移与栅长的关系

■ 实验结果, —— 计算结果,  
--- 与[011]对称的情况

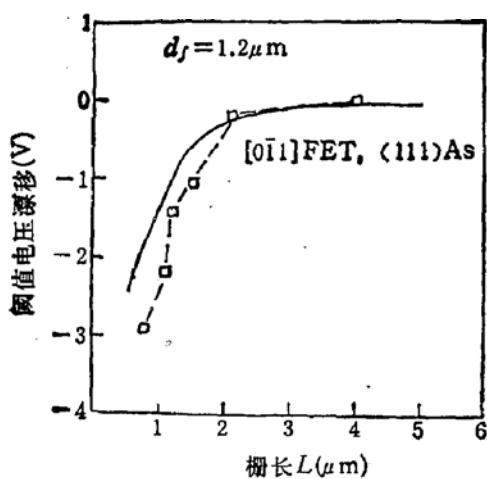


图 5 (111) GaAs 衬底上[011]栅取向的 FET 阈值电压漂移与栅长的关系

■ 实验结果<sup>[1]</sup>, —— 计算的结果

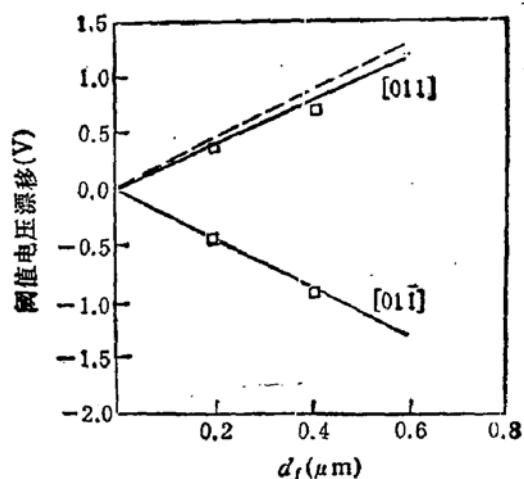


图 6 (100) 衬底上[011]和[01-1]取向的 FET 阈值电压漂移与钝化膜厚度的关系

■ 实验结果, —— 计算结果,  
--- 与[011]对称的情况

的结果。槽的取向是相对于 $[01\bar{1}]$ 方向。 $90^\circ$  相应于 $[011]$ 方向。从图中可以看出,  $[011]$ 和 $[01\bar{1}]$ 取向的 FET 阈值电压向相反方向漂移;  $[010]$ 和 $[001]$ 取向的 FET 阈值电压无漂移; 随槽取向的变化, 阈值电压漂移具有 $\pi$ 的周期。

## 2. 槽长的影响

图 4 给出了 $[011]$  和 $[01\bar{1}]$  槽取向的 GaAs MESFET 阈值电压漂移与槽长度的实验及理论计算的结果。可见, 随槽长度的缩短, 阈值电压漂移增大, 且 $[011]$  和 $[01\bar{1}]$  取向 FET 的阈值电压向相反方向漂移。对于 $\text{SiO}_2$  钝化膜(压应力状态)<sup>④</sup>, 则 $[011]$  和 $[01\bar{1}]$  取向的 FET 阈值电压与上述结果相反。图 5 给出了(111) GaAs 衬底上 $[0\bar{1}1]$  槽取向的阈值电压漂移与槽长关系的实验结果<sup>⑤</sup>。同时也给出了解析模型计算的结果。

## 3. 钝化膜厚度的影响

图 6 给出了 $1\mu\text{m}$  槽长 $[011]$  和 $[01\bar{1}]$  取向的 GaAs MESFET 阈值电压漂移与钝化膜厚度关系的实验及计算结果。从图中可以看出, 随着钝化膜厚度增大, 阈值电压的漂移几乎线性增大。这是因为钝化膜越厚, 对衬底施加的应力越大的缘故。图 7 给出了(111) GaAs 衬底和(111) GaAs 衬底上 $\langle 211 \rangle$  和 $\langle 011 \rangle$  取向的 FET 阈值电压漂移随钝化膜厚度变化的实验结果<sup>⑥</sup>及解析模型计算的结果。

## 四、讨论与结论

理论分析和实验结果表明, 压电效应对 GaAs MESFET 的阈值电压有重要影响。压电电荷的产生和钝化膜的应力及 GaAs 晶体取向有关。因此, 为减小压电效应对 FET 的影响, 应从两方面着手。一方面是优化钝化膜工艺, 使之应力减小; 另一方面就是改变槽的取向和 GaAs 衬底的取向。对(100) GaAs 衬底, 虽然在 $[010]$ 和 $[001]$ 取向的 FET 不受压电影响, 但 $[011]$ 和 $[01\bar{1}]$ 取向的 FET 则受到较大影响。因此, (100) GaAs 衬底上的 FET 需在特定方向排列, 这样将会使设计灵活性变差。而(011)和(111)衬底则随槽的取向变化, FET 阈值电压漂移不大, 是数字 GaAs 集成电路较为合适的衬底材料。

从实验结果与解析模型的比较可以看出, 解析模型较好地描述了压电效应对 GaAs MESFET 阈值电压漂移的影响。对于亚微米的槽长, 即使在较低的漏源电压(如 $1\text{V}$ )下, GaAs MESFET 由于速度过冲和漏势垒降低引起阈值电压向负方向漂移<sup>④</sup>。对于这种情况, 随着沟道长度的缩短, 阈值电压负方向漂移加剧。如果同时考虑压电效应和短沟道效应, 阈值电压随槽长度的变化将会很复杂。最近的二维数值模拟给出了这种情况的结果<sup>⑦</sup>。要描述亚微米情况下 GaAs MESFET 的取向效应, 解析模型有待进一步的工作。

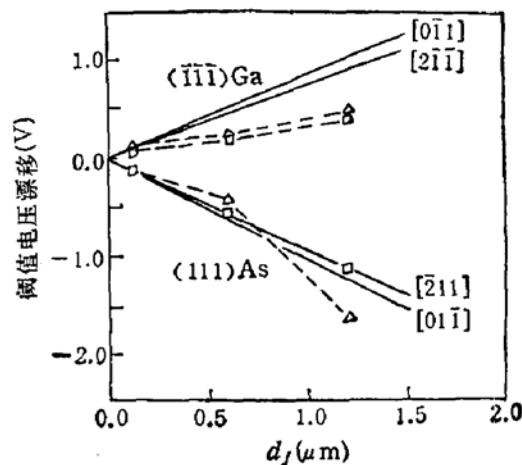


图 7 (111) GaAs 和(111) GaAs 衬底上 $\langle 011 \rangle$  和 $\langle 211 \rangle$  取向的 FET 阈值电压漂移与厚度的关系<sup>⑥</sup>  
△ $\langle 011 \rangle$ 取向, □ $\langle 211 \rangle$ 取向, —— 计算的结果

**致谢:** 自对准  $WSi_x$  栅 GaAs MESFET 工艺在上海冶金所完成。光刻版由南京电子器件研究所制作, 喇曼谱测试在南京大学现代分析中心进行。作者对此表示感谢。

### 参 考 文 献

- [1] T. Onodera, H. Kawata, H. Nishi, T. Futatsugi and N. Yokoyama, *IEEE Trans. Electron Devices*, ED-36, 1586(1989).
- [2] 黄庆安, 吕世骥, 童勤义, 半导体学报, 13(4), 195(1992).
- [3] D. J. Evans and S. Vshioda, *Phys. Rev.*, E9, 1638(1974).
- [4] S. N. Mohammad, M. B. Patil, J. I. Chui, G. B. Gao and H. Morkoc, *IEEE Trans. Electron Devices*, ED-37, 11(1990).
- [5] S. H. Lo and C. P. Lee, *IEEE Trans. Electron Devices*, ED-37, 2130(1990).

## Orientation Effect in GaAs MESFET'S

### II. Experiments

Huang Qing'an, Tong Qinyi and Lu Shiji

(Microelectronics Center, Southeast University, Nanjing, 210018)

### Abstract

The dependence of threshold voltage shifts in  $WSi_x$ -gate self-aligned GaAs MESFET's on gate length and orientation has been investigated. A remarkable difference in the gate-length dependence of FET threshold voltage when the gate length is less than  $2\mu m$ . The analytical model is compared with the available experiments in (III) GaAs substrate. The model is in good agreement with the experiments.

**EEACC:** 2560B, 2560S