

GaAs IC 逻辑单元与或非 DCFL 特性 计算机示波器方式模拟及电路设计 *

王庆康 史常忻

(上海交通大学微电子技术研究所, 上海, 200030)

1991年5月19日收到, 同年7月30日修改定稿

从精确的包含源、漏电阻的器件 Shockley 模型出发用计算机示波器方式模拟了 GaAs IC 逻辑单元三输入端 DCFL 电路。模拟结果给出了三输入端 DCFL 的设计参数及三输入端信号相位对于 DCFL 逻辑输出特性的影响。模拟结果对于电路设计很有价值。

EEACC: 2570, 2570H, 1265, 1265B

一、引言

GaAs 数字电路具有高速数据处理能力, 在高速、低耗 VLSI 中占有重要地位^[1]。由于单级逻辑门为其基本单元, 故研究它的特性有重要意义。国外已报道的设计方法中, 采用等效电路模拟其电路参数^[2]。国内报道了 BFL 门电路及 ECL 电路的模拟及设计结果^[3,4]。本文进一步对三输入端 GaAs IC 中的 DCFL 进行了设计并用示波器方式模拟了电路特性。DCFL 逻辑单元器件具有器件数少, 功耗低、集成度高之优点, 是高速、大规模 GaAs IC 中的优选电路单元。而用示波器方式进行电路模拟, 是国际上电路 CAD 的新趋势。文章[5]在电路设计中就采用了这种示波器方式电路特性模拟。对三输入端 GaAs IC DCFL 进行设计和特性模拟国内外还未见类似报道。

二、器件模型

图 1(a) 是三输入端 GaAs IC DCFL 逻辑单元, 其中 GaAs MESFET 的特性可以用下式给出图 1(b)

$$I_d = I_p \left[\frac{V_{DS} - I_d(R_t + R_d)}{U_p} - \frac{2}{3} \left(\frac{V_{DS} + V_B - I_d R_d - V_{GS}}{U_p} \right)^{3/2} \right. \\ \left. + \frac{2}{3} \left(\frac{V_B + I_d R_t - V_{GS}}{U_p} \right)^{3/2} \right], \quad V_{DS} - V_{GS} \leq U_p - V_B \quad (1a)$$

* 国家自然科学基金资助课题。

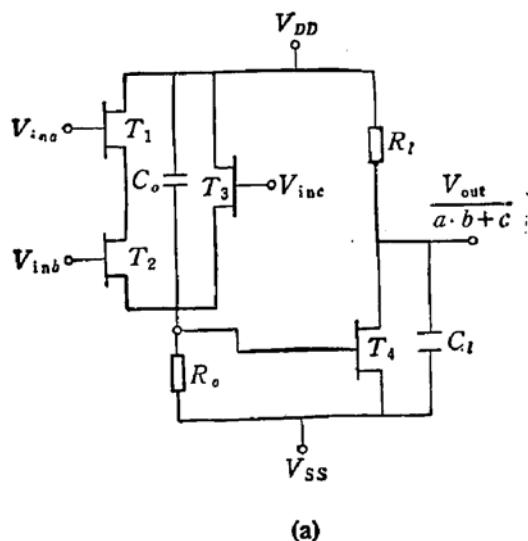
$$I_{ds} = I_p \left[\frac{1}{3} + \frac{V_{GS} - V_B - I_{ds}R_s}{U_p} + \frac{2}{3} \left(\frac{V_B - V_{GS} + I_{ds}R_s}{U_p} \right)^{3/2} \right].$$

$$V_{DS} - V_{GS} > U_p - V_B \quad (1b)$$

其中,

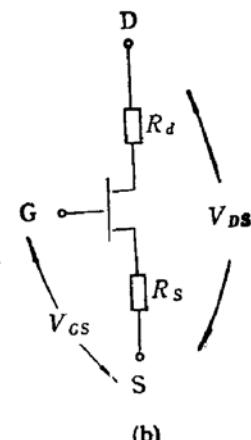
$$U_p = \frac{qa^2N}{2\epsilon_0\epsilon_s}, \quad I_p = Nq\mu a U_p W/L,$$

a 为有源层厚度, N 为平均载流子浓度, μ 为迁移率, W 和 L 为沟道的宽和长, V_B 为栅的自建势, q 为电子电荷, ϵ_0 为真空电容率, ϵ_s 为 GaAs 的相对介电常数。



(a)

图 1(a) DCFL 电路图



(b)

图 1(b) MESFET 单元器件

三、直流参数设计

GaAs IC 要求 DCFL 的 V_{out} 小于下级 MESFET 的栅自建势 V_b , 如要求 $V_{out} = 0.65$ 伏。下面对理想 GaAs MESFET 器件 DCFL 进行设计,由电路图可得

$$R_L = \left(\frac{V_{DD}}{V_{out}} - 1 \right) R_{T_e}. \quad (2)$$

R_{T_e} 是 T_e 管的等效电阻。从上式可知, T_e 是不能完全夹断。

现取 $V_{DD} = 3.0$ 伏, $V_b = 0.6$ 伏, $V_p = 0.7$ 伏, $I_{p4} = 0.46 \times 10^{-1}$ 安培。

从电路图可知, V_b 的最低点是零。求解 (1a)、(1b) 可得到 $V_b = 0$ 时, $R_{T_e} = 0.89 \times 10^3 \Omega$, 由(2)得到 $R_L = 0.32 \times 10^4 \Omega$

现在取 $V_{out} = 0.58$ 伏, 从电路图可知:

$$R_0 = \frac{R_{T_e} V_{out}}{V_{DD} - V_{out}}. \quad (3)$$

R_{T_e} 是 T_1, T_2, T_3 管总的等效电阻

$$R_{T_e} = \frac{(R_{T_1} + R_{T_2}) R_{T_3}}{R_{T_1} + R_{T_2} + R_{T_3}}, \quad (4)$$

R_{T_1} , R_{T_2} , R_{T_3} 分别是 T_1 , T_2 , T_3 管的等效电阻。

$$V_0 = \frac{R_0 V_{DD}}{R_0 + R_{T_e}}. \quad (5)$$

从(5)式可知, 在不同的逻辑状态下, V_0 有变化。取导通时

$$R_{T_1} = R_{T_2} = R_{T_3}, \quad R_{T_e} = \frac{1}{2} R_{T_3}.$$

假设 T_1 , T_2 , T_3 管相同。取 $V_b = 0.7$ 伏, $U_p = 0.62$ 伏。取输入信号电平最大值为 $V_{in} = 0.68$ 伏。这样通过求解(1a), (1b)可得到 $R_{T_3} = 57.44\Omega$, 取 $R_{T_e} = \frac{1}{2} R_{T_3}$, $I_p = 0.46 \times 10^{-1}$ 安培。

由(3)式可得

$$R_0 = 6.88\Omega.$$

在 V_{in_a} 端输入一线性电压, 使 $V_{in_b} = 0$, $V_{in_c} = 0$, 用本文作者自己研制的 GaAs IC 逻辑门示波器方式模拟工作站, 可以得到 V_{out} 的特性曲线图 2 中曲线(1)。

在 V_{in_a} , V_{in_b} , V_{in_c} 端同时输入一线性电压, 得到 V_{out} 的传输特性曲线图 2 中曲线(2)。

在 V_{in_a} , V_{in_b} 端同时输入一线性电压, 使 $V_{in_c} = 0$, 得到 V_{out} 的传输特性曲线图 2 中曲线(3)。而曲线(1)是 $I_{p_1} = 4I_p$, $I_{p_2} = 2I_p$ 时的传输特性。

从图 2 可以看出, T_1 , T_2 与 T_3 分别导通时, 逻辑电平输出 V_{out} 几乎完全相同。 T_1 , T_2 , T_3 同时导通时, 逻辑电平输出 V_{out} 的最高电平也几乎完全相同。这样就保证 DCFL 在 $A \cdot B + C$ 逻辑各种不同逻辑状态下, 逻辑电平输出保持很小偏差, 这正是这种 DCFL 电路的明显优点。

另外从图 2 可知, 要提高 V_{out} 的逻辑宽容度, 就需降低 T_1 , T_2 , T_3 管的跨导, 而这将使高频特性变劣。

从上面分析, 对于所设定器件参数, 可得出 $R_0 = 6.88\Omega$, $R_L = 0.32 \times 10^4\Omega$ 的设计结果。

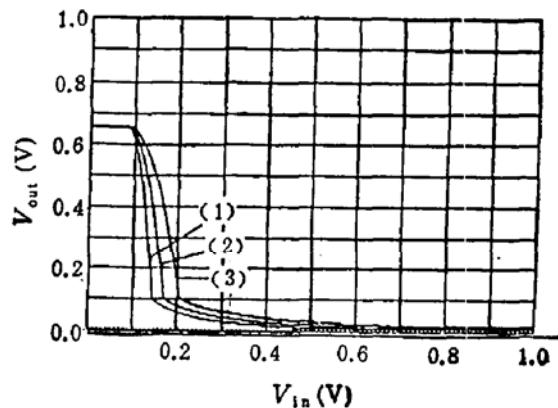


图 2 V_{out} 传输特性曲线

四、交流参数分析及模拟

在上面直流分析设计的参数下, 分析对于估算得到的等效电容 C_0 , C_L (这二参数对于目前采用的模型只能估计, 方法见文献 [5]), 该 DCFL 电路可达到的最高频率以及 V_{in_a} , V_{in_b} , V_{in_c} 三者之间的相位差对输出波形的影响。

1. 取 $C_0 = 0.1 \times 10^{-10}$ 法, $C_L = 0.1 \times 10^{-12}$ 法, 输入矩形波的上升及下降沿时间为周期的百分之一, 得到圆频率 $\omega_1 = 0.1 \times 10^8$ Hz, $\omega_2 = 0.5 \times 10^8$ Hz, $\omega_3 = 0.1 \times 10^9$

Hz , $\omega_4 = 0.5 \times 10^9 \text{ Hz}$, $\omega_5 = 0.1 \times 10^{10} \text{ Hz}$ 时, V_{out} 的输出波形分别是图 3 中曲线(1)、(2)、(3)、(4)、(5)。

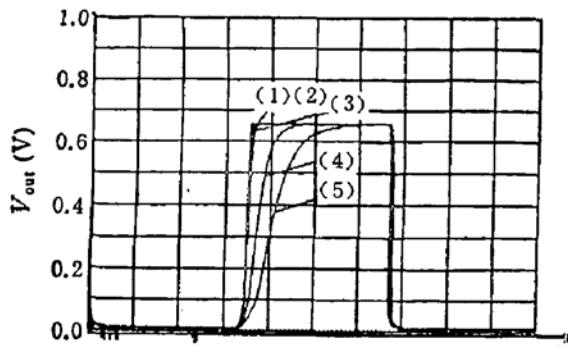


图 3 不同频率下 V_{out} 输出波形

时间一样,其它电路参数也相同的条件下,使 $V_{\text{in}a}, V_{\text{in}b}$ 的相位同时落后 $V_{\text{in}c} \pi/10, 2\pi/10, 3\pi/10$ 。模拟得到的 V_{out} 的输出波形分别是图 4 中的曲线(2)、(3)、(4)。曲线(1)是 $V_{\text{in}a}, V_{\text{in}b}, V_{\text{in}c}$ 三者没有相位差时的波形。

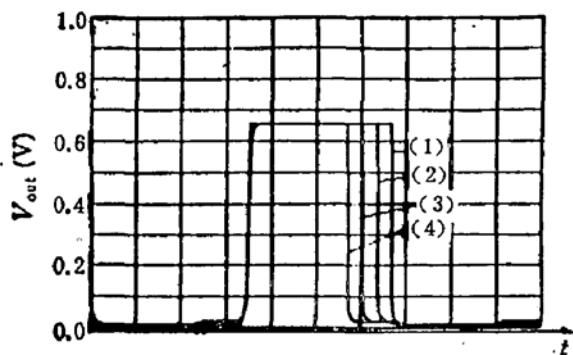


图 4 $V_{\text{in}a}, V_{\text{in}b}$ 同相位时 V_{out} 输出波形

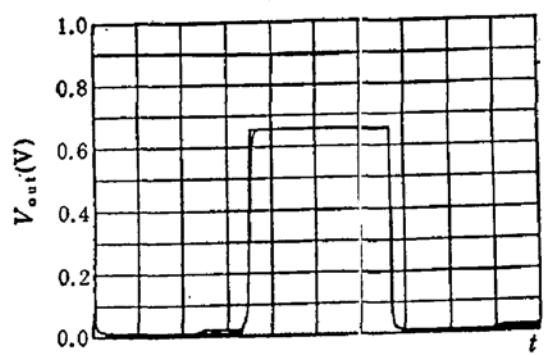


图 5 $V_{\text{in}a}, V_{\text{in}b}$ 同相位时 V_{out} 输出波形

4. 在输入波形幅度及上升、下降时间一样,其它电路参数也相同的条件下,使 $V_{\text{in}b}, V_{\text{in}c}$ 的相位同时落后 $V_{\text{in}a} \pi/10, 2\pi/10, 3\pi/10$ 。模拟得到的 V_{out} 的输出波形与图 5 中的曲线完全重合。

从图 5 可以得到这样的结论, $V_{\text{in}a}, V_{\text{in}b}$ 中, 只要有一个与 $V_{\text{in}c}$ 同相位, 则 DCFL 逻辑输出特性基本不变。这在设计上有重要意义。

本文模拟了 DCFL 逻辑单元的交流特性, 设计了直流参数, 这对于设计 DCFL 有重要价值, 本文所采用的示波器方式模拟技术对于开发我国电路 CAD 软件也有一定的价值。

参 考 文 献

- [1] L. C. Upadhyayula et al., *IEEE Trans. Electron Devices*, ED-30, 27(1983).
- [2] A. Madj ar and F. J. Rasenbaum, *IEEE Trans. Microw. Theory Tech.*, MTT-29, 781 (1981).
- [3] 史常忻, 余兴, 半导体学报, 8(4), 443(1987).
- [4] 王庆康, 史常忻, 上海半导体(2), 30(1989).
- [5] 史常忻, 王庆康等, 半导体学报, 11(10), 799(1990).

Simulation of Characteristics for GaAs IC DCFL Gate and Circuit Design

Wang Qingkang and Shi Changxin

(Institute of Microelectronics Technology, Shanghai Jiao Tong University, Shanghai, 200030)

Abstract

The static and transient characteristics of GaAs IC three-input DCFL Gate have been simulated using the shockley's model of GaAs MESFET's with the resistances of source and drain. The results are shown in the form of oscillograph. The relation of output waveform to different input wave phases has been given. The results given in this paper are useful in the design of GaAs IC.

EEACC: 2570, 2570H, 1265, 1265B