

集成电路塑封应力的压阻测试

陈 健* 鲍敏杭 胡澄宇

(复旦大学电子工程系, 上海, 200433)

李善君 谢静薇

(复旦大学材料科学研究所, 上海, 200433)

郑 国 荣

(上海无线电七厂电路车间)

1990年9月10日收到, 1991年10月16日修改定稿

本文提出了一种用于测量集成电路塑封附加应力的十字型压阻测试图形设计, 用它可同时测量芯片平面内的两个正应力及剪切应力, 比现有的几种方法更加合理可靠。用这种测试器件对国产塑封料和进口塑封料进行了对比应力测试, 所得结果为国产塑封料配方及塑封工艺的改进提供了性能参数。

EEACC: 0170J, 0170L, 7230, 0170N

一、引言

塑封是大规模集成电路以及许多半导体器件的一种主要封装形式。由于塑封料和硅芯片的热膨胀系数不一致, 因而塑封往往会在芯片上引起附加应力。这种附加应力会通过压阻等效应影响集成电路中器件的性能, 严重的情况下会引起金属布线的位移, 甚至引起硅片的断裂, 成为器件失效的一个重要原因^[1-3]。因此, 塑封引起的硅片上的附加应力是表征塑封材料和塑封工艺质量的一个重要参数。随着大规模集成电路的发展, 集成电路芯片尺寸越来越大, 应力作用也愈加明显, 因而近年来塑封应力的测试方法及实现低应力封装的技术已引起人们的更大注意。

塑封应力的测试方法, 从历史上看主要经历了两个阶段, 首先是采用间接测试法, 比如说测量塑封料和硅片的热膨胀系数, 从而计算出附加应力的大小, 但是这种方法不能真实地反映由塑封引起的附加应力。自从发现了半导体的压阻效应, 就为直接测量塑封附加应力提供了可能性, 用压阻法测塑封附加应力首先因为它与集成电路工艺相容, 其次因为压阻测试芯片可模拟实际的芯片进行塑封, 因而被认为是一种十分方便而又准确的测量方法。目前国外常用的塑封附加应力测试方法基本上都采用压阻法。但由于硅晶体结构的对称性及压阻系数的特殊规律, 要想同时得到附加应力的各个分量是很困难的^[4]。在实际情况下, 塑封附加应力只需考虑二维情况, 即一般只考虑硅芯片平面内的两个正应力和一个剪切应力, 这样塑封应力测试工作得以简化。下面简单介绍两种目前国外常用的

* 现在上海半导体研究所。

塑封应力压阻测试法。

一种是美国 Micro Components Organization 的方法^[1]。它利用 n 型(110)硅片上的四个 p 型扩散电阻构成一个桥路, 其中两个电阻只对(011)方向的应力敏感, 而对(001)方向的应力不敏感, 另两个电阻则不随应力变化。这种方法一次只能测试一个方向上的正应力, 且测试灵敏度较低, 对剪切应力更无法测量, 另外, (110)硅片在集成电路工艺中不常用, 因而其工艺相容性也不太好。

另一种是美国 Texas Instrument Inc. 的方法^[2]。它采用 p 型(100)硅片上的两个垂直的浓磷 ($N_d = 1 \times 10^{20} \text{ cm}^{-3}$) 扩散电阻, 分别测量芯片平面内两个方向上电阻的变化率, 再通过求解联立方程得到两个方向上的正应力。该方法考虑了应力间的相互作用, 但由于采用低阻材料, 其压阻系数须修正^[3], 测试灵敏度低, 而且由于压阻系数依赖于扩散浓度, 这也会引进一定的偏差, 另外它也无法测剪切应力。由此可见, 以上两种方法都有一定的局限性。其它方法, 如日本 NITTO 公司采用的方法也与它们大体相似^[4]。

本文在横向压阻器件研制的基础上^[5, 6], 在 p 型(100)硅片上制作了一种高阻的四端十字型压阻测试器件, 用它分别测量塑封前、塑封后及后固化以后的两个方向上的电阻值和横向电压输出值, 通过求解联立方程同时求得两个方向上的正应力和芯片平面内的剪切应力。该方法由于考虑了应力间的相互作用以及剪切应力的影响, 且采用高阻材料, 具有较高的测试灵敏度, 因而比现有的几种方法更全面, 可靠。

二、理论分析及器件设计

附加应力使半导体的能带结构发生变化, 从而引起半导体材料中载流子迁移率和电阻率的变化。这就是压阻效应的物理机制^[10]。

欧姆定律的微分形式可表示为:

$$\begin{bmatrix} E_x \\ E_y \\ E_z \end{bmatrix} = \begin{bmatrix} \rho_{11} & \rho_{12} & \rho_{13} \\ \rho_{21} & \rho_{22} & \rho_{23} \\ \rho_{31} & \rho_{32} & \rho_{33} \end{bmatrix} \begin{bmatrix} J_x \\ J_y \\ J_z \end{bmatrix}, \quad (1)$$

其中电阻率张量是对称张量, 只有六个独立的分量, 分别用 $\rho_1 \sim \rho_6$ 来表示, 则:

$$\begin{bmatrix} E_x \\ E_y \\ E_z \end{bmatrix} = \begin{bmatrix} \rho_1 & \rho_6 & \rho_5 \\ \rho_6 & \rho_2 & \rho_4 \\ \rho_5 & \rho_4 & \rho_3 \end{bmatrix} \begin{bmatrix} J_x \\ J_y \\ J_z \end{bmatrix}. \quad (2)$$

如果用 $\Delta_1 \sim \Delta_6$ 表示六个电阻率分量在附加应力 $T_1 \sim T_6$ 作用下的变化率, 则在主轴坐标系中有:

$$\begin{bmatrix} \Delta_1 \\ \Delta_2 \\ \Delta_3 \\ \Delta_4 \\ \Delta_5 \\ \Delta_6 \end{bmatrix} = \begin{bmatrix} \pi_{11} & \pi_{12} & \cdots & \pi_{16} \\ \pi_{21} & \pi_{22} & \cdots & \pi_{26} \\ \vdots & \vdots & \ddots & \vdots \\ \vdots & \vdots & \ddots & \vdots \\ \vdots & \vdots & \ddots & \vdots \\ \pi_{61} & \pi_{62} & \cdots & \pi_{66} \end{bmatrix} \begin{bmatrix} T_1 \\ T_2 \\ T_3 \\ T_4 \\ T_5 \\ T_6 \end{bmatrix}, \quad (3)$$

其中 $\{\pi_{ij}\}$ 是压阻系数矩阵, 由于晶格的对称性, 它只有三个独立的分量, 其它分量或

者可用这三个分量来表示，或者为零^[14]，即：

$$\{\pi_{ij}\} = \begin{bmatrix} \pi_{11} & \pi_{12} & \pi_{12} & 0 \\ \pi_{12} & \pi_{11} & \pi_{12} & 0 \\ \pi_{12} & \pi_{12} & \pi_{11} & \pi_{44} \\ 0 & 0 & \pi_{44} & \pi_{44} \end{bmatrix},$$

其中 π_{11} 、 π_{12} 和 π_{44} 在高阻情况下的实验值见表 1^[6]。

表 1 高阻硅材料压阻系数值(单位： 10^{-11}Pa^{-1})

压阻系数 导电类型	π_{11}	π_{12}	π_{44}
n型	-102.2	53.4	-13.6
p型	6.6	-1.1	138.1

这样，若我们已知 $T_1 \sim T_6$ ，通过(3)式马上就可求得 $\Delta_1 \sim \Delta_6$ 。反过来，当我们知道 $\Delta_1 \sim \Delta_6$ 的值去求 $T_1 \sim T_6$ 时，由于线性方程组(3)的系数矩阵(即压阻系数矩阵)的特殊性，可以证明，无论是 n 型还是 p 型硅，都有^[4]：

$$\det\{\pi_{ij}\} = 0.$$

在这样的情况下，由(3)式同时求解 $T_1 \sim T_6$ 将引进很大的误差。在实际测试中，一般只需考虑二维情况，即只考虑正应力 T_1 、 T_2 和剪切应力 T_6 ，此时(3)式简化为：

$$\begin{bmatrix} \Delta_1 \\ \Delta_2 \\ \Delta_6 \end{bmatrix} = \begin{bmatrix} \pi_{11} & \pi_{12} & 0 \\ \pi_{12} & \pi_{11} & 0 \\ 0 & 0 & \pi_{44} \end{bmatrix} \begin{bmatrix} T_1 \\ T_2 \\ T_6 \end{bmatrix}. \quad (4)$$

通过(4)式即可由 Δ_1 、 Δ_2 和 Δ_6 求出 T_1 、 T_2 和 T_6 的值，这就是利用压阻效应测塑封附加应力的基本思想。式中 Δ_1 和 Δ_2 就是芯片平面内两个方向上的电阻率的变化率，它们可以通过测量这两个方向上的电阻变化求得，而 Δ_6 的得到则需利用横向压阻效应。

(2) 式在二维情况下可简化为：

$$\begin{cases} E_x = \rho_1 J_x + \rho_6 J_y, \\ E_y = \rho_6 J_x + \rho_2 J_y. \end{cases} \quad (5)$$

当一个四端力敏器件在 x 方向上加上电源，而 y 方向没有电流输出，即 $J_x \neq 0$ ， $J_y = 0$ 时，通过(5)式可得：

$$E_y = \frac{\rho_6}{\rho_1} E_x. \quad (6)$$

这表明当存在附加应力时，四端力敏器件 x 方向的电场或电流会引起 y 方向的电场或电荷积累。这就是所谓横向压阻效应。从物理机制上来说，这是由于在有附加应力的半导体晶格中载流子的各向异性散射造成的。

假设一个四端力敏器件的输入端宽长比为 W/L ，考虑到 $\rho_1 = \rho_0(1 + \Delta_1) \neq \rho_0$ ，当

$L \gg W$ 时, 横向输出电压 V_y 为:

$$V_y = \frac{\rho_6}{\rho_0} \cdot \frac{W}{L} \cdot V_s, \quad (7)$$

V_s 为电源电压。这样我们通过(7)式可得:

$$\Delta_6 = \frac{\rho_6}{\rho_0} = \frac{V_y}{V_s} \cdot \frac{L}{W}, \quad (8)$$

即 Δ_6 可通过测量横向输出电压 V_y 的变化而求得。

塑封应力的压阻测试图形有多种设计, 但为了全面准确地测量 T_1 、 T_2 和 T_6 , 经过分析比较, 我们决定采用 n 型高阻器件, 它是做在 p 型(100)衬底上的 n 型外延电阻, 外延层厚度约为 $4 \mu\text{m}$, 电阻率约为 $0.3 \Omega \cdot \text{cm}$, 这种测试图形的示意图和剖面图如下图所示:

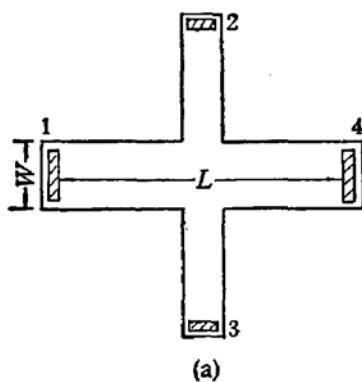


图 1(a) 应力测试芯片示意图

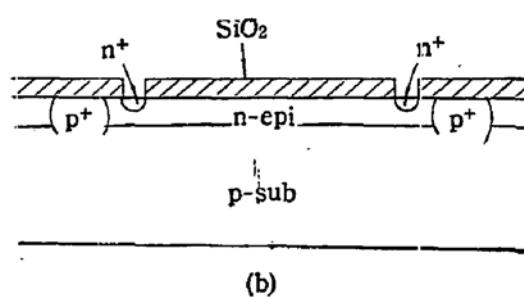


图 1(b) 应力测试芯片剖面图

器件的 x 方向沿(110)晶向, 在这样的情况下, 通过坐标变换, 我们可以算得:

$$\left\{ \begin{array}{l} \pi'_{11} = \frac{1}{2} (\pi_{11} + \pi_{12} + \pi_{44}) \\ \pi'_{12} = \frac{1}{2} (\pi_{11} + \pi_{12} - \pi_{44}), \\ \pi'_{66} = \pi_{11} - \pi_{12} \end{array} \right.$$

将表 1 中 n 型硅的压阻系数值代入可得:

$$\left\{ \begin{array}{l} \pi'_{11} = -31.2 \times 10^{-11} \text{ Pa}^{-1}, \\ \pi'_{12} = -17.6 \times 10^{-11} \text{ Pa}^{-1}, \\ \pi'_{66} = -155.6 \times 10^{-11} \text{ Pa}^{-1}. \end{array} \right.$$

由此可见, 这样的测试器件对 T_1 、 T_2 , 特别是 T_6 都有较高的灵敏度。由(4)式我们可以得到 T_1 、 T_2 和 T_6 的表达式如下:

$$\left\{ \begin{array}{l} T_1 = \frac{\pi'_{11}\Delta_1 - \pi'_{12}\Delta_2}{\pi'^2_{11} - \pi'^2_{12}}, \\ T_2 = \frac{\pi'_{11}\Delta_2 - \pi'_{12}\Delta_1}{\pi'^2_{11} - \pi'^2_{12}}, \\ T_6 = \frac{\Delta_6}{\pi'_{66}} \end{array} \right.$$

三、测试方法、结果及讨论

我们需要测量的是塑封前后平面内两个方向上的电阻值及横向电压输出值的变化率 Δ_1 、 Δ_2 和 Δ_6 。测试示意图如下:

我们采取的方法是先按常规工艺以压阻测试芯片代替一般的集成电路芯片进行上架,热压、塑封等工序,并进行第一次测试;再在175°C下对塑封好的器件后固化6小时。进行第二次测试;最后再用特殊工艺去除芯片周围的塑封料,在塑封附加应力释放的情况下进行第三次测试,以最后一次,也就是无应力情况为基准,我们可以分别得到塑封后(后固化以前)以及后固化以后的附加应力值。为了保证测试精度,我们采用Fluke 8840A数字式多用表(精度0.05%)测试在28°±0.5°C的环境中进行。

我们以复旦大学材料科学研究所国家七·五攻关项目中研制的国产塑封料和日本NITTO公司的进口塑封料HC-10作为样品进行对比应力测试,共进行了四次,这里给出最后一次的测试结果(表2),表中1#、2#、3#为三种国产料,4#为进口料。

表2 塑封应力测试结果(应力单位为 10^{-4} Pa)

项目 样本数	编号	1#	2#	3#	4#
		6	4	10	12
后 固 化 前	T_1	$-(3.21 \pm 0.81) \times 10^7$	$-(2.93 \pm 1.13) \times 10^7$	$-(2.51 \pm 1.20) \times 10^7$	$-(2.63 \pm 1.32) \times 10^7$
	T_2	$-(1.21 \pm 0.24) \times 10^8$	$-(1.24 \pm 0.39) \times 10^8$	$-(1.15 \pm 0.22) \times 10^8$	$-(1.08 \pm 0.43) \times 10^8$
	T_4	约 10^6	约 10^6	约 10^6	约 10^6
后 固 化 后	T_1	$-(3.5 \pm 0.8) \times 10^7$	$-(2.69 \pm 1.39) \times 10^7$	$-(2.90 \pm 0.88) \times 10^7$	$-(3.91 \pm 1.28) \times 10^7$
	T_2	$-(1.23 \pm 0.26) \times 10^8$	$-(1.22 \pm 0.34) \times 10^8$	$-(1.16 \pm 0.21) \times 10^8$	$-(1.20 \pm 0.51) \times 10^8$
	T_4	约 10^6	约 10^6	约 10^6	约 10^6

另外,我们给出日本NITTO公司提供的HC-10(即表2中4#)的参考附加应力值^[12]:

$$\begin{cases} T_1 = -1.10 \times 10^8 \text{ Pa}, \\ T_2 = -1.53 \times 10^8 \text{ Pa}. \end{cases}$$

从以上数据我们可以得出以下几点结论:

1. 在相同的测试方法下,国产塑封料的应力参数与进口塑封料基本一致。
2. 与进口料的参考应力值相比,我们的测量结果偏小。这是由于测量方法不同而引进的。我们采用先塑封再去除塑封料的次序消除了粘片、热压等工序引进的附加应力,真实地反映了仅由塑封引起的附加应力。

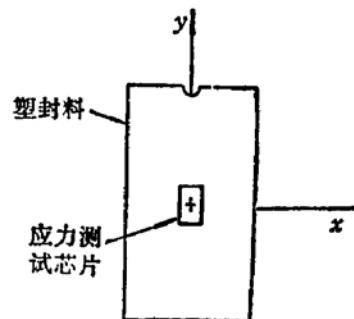


图2 塑封应力测试示意图

3. T_1, T_2 均为负值, 表明它们都是压应力, 而且有关系 $|T_1| < |T_2|$ 存在。这是因为附加应力的引入是由于塑封料的热膨胀系数大于硅片的热膨胀系数, 因而在塑封后冷却固化的过程中, 塑封料收缩得比硅片厉害, 从而在硅片上产生了压缩应力, 且在线度较大的一个方向上引进的附加应力也大。

4. T_6 的离散性较大, 表中仅给出了它的数量级, 实际测出的 T_6 值有正有负, 这是因为当芯片完全平行于底座正放时, T_6 应当为 0, 但在工艺过程中总存在一定的偏差, 实际测出的 T_6 是由于工艺过程中的偶然因素造成的, 因而离散性大, 且比 T_1, T_2 小一至二个数量级。

5. 后固化以后, 塑封附加应力一般都增大, 但增加的幅度不大。

致谢 作者感谢复旦大学电子工程系的沈加英、窦凤春等同志及上海无线电七厂的孙玲芳师傅的大力协助。

参 考 文 献

- [1] R. J. Usell, Jr. and S. A. Smiley, Experimental and Mathematical Determination of Mechanical Strain Within Plastic IC Packages and Their Effect on Devices During Environmental Tests, IEEE/PROC. IRPS (1981), 65—73.
- [2] Asao Nishimura, Soco Kawai, G. Murakami, Effect of Lead Frame Material on Plastic Encapsulated IC Package Cracking Under Temperature Cycling, Proceeding of 39th Electronic Components Conference, Houston, U.S.A., May 22—24, 1989
- [3] K. Kuwata, K. Iko and H. Tabata, IEEE Trans. on CHMT, CHMT-8(4), 486(1985).
- [4] 陈健, 复旦大学硕士学位论文,(1991).
- [5] James L. Spencer, Walter H. Schroen and George A. Bednarz, New Quantitative Measurements of IC Stress Introduced by Plastic Package, IEEE/PROC., IRPS(1981), 74—80.
- [6] Y. Kanda, IEEE Electron Device, ED-29, 64(1982).
- [7] NITTO Product Information.
- [8] M. H. Bao and Y. Wang, Sensing and Actuators, 12, 49(1987).
- [9] W. G. Pfann and R. N. Thurston, J. Appl. Phys., 32, 2008(1961).
- [10] C. S. Smith, Phys. Rev., 94, 42(1954).
- [11] D. R. Kerr and A. B. Milnes, J. Appl. Phys., 34, (4), 727(1963).

Study on Piezoresistive Test Pattern for IC Stress Introduced by Plastic Encapsulation

Chen Jian, Bao Minhang, Hu Chengyu

(Department of Electronic Engineering, Fudan University)

Li Shanjun, Xie Jingwei

(Institute of Material Science, Fudan University, Shanghai, 200433)

Zheng Guorong

(Circuit Department of Shanghai No. 7 Radio Factory)

Abstract

A four-terminal piezoresistive test pattern for the measurement of attached stress introduced by IC plastic encapsulation is reported. The normal stresses T_1 and T_2 as well as the shear stress T_6 can be obtained simultaneously. The test results are important for improving the formula of plastic material and the moulding process in VLSI encapsulation.

EEACC: 0170J, 0170L, 7230, 0170N.