

# CMOS 倒相链瞬态对延迟模型分析

郝 跃

(西安电子科技大学微电子所, 西安, 710071)

1991年5月13日收到, 同年7月20日修改定稿

本文提出利用单极点响应波形逼近方法, 构造 CMOS 倒相链瞬态对延迟时间模型; 考虑了不同负载电容和载流子迁移率对响应函数的影响。该模型的解析性决定了瞬态分析时间短, 参数分析灵活。它尤为适合对 CMOS 电路的最优化设计。精度分析表明该模型适合集成电路的性能分析和设计。

EEACC: 2560B; 2570C; 1130B

## 一、引言

一个大规模 CMOS 集成电路无论存在多少输入和输出端, 如果研究信号从某输入端到某输出端有 M 条支路可达, 则这 M 条支路中总有一条是关键通道 (Critical Path)。如果这条关键通道设计不合要求, 则整个电路就不能满足要求。由于电路由门组成, 则对 CMOS 电路而言, 这条关键通道可抽象为一个由 N 阶 CMOS 首尾相连的链。如果从某输入端到输出端每一条通道的延迟时间为  $T^i$ ,  $i \in I = \{1, 2, \dots, M\}$ , 则关键通道  $i_0$  定义为:  $i_0 = \arg \max_{i \in I} \{T^i\}$ 。因此, 对 CMOS 链的分析和设计有十分重要的意义。目前, 尽管可以用含有较精确器件模型的电路分析程序(如 SPICE) 模拟倒相链的性能, 但存在以下问题: 电路模拟需要时间太长, 尤其在瞬态(时域)分析情况下, 需要求解微分方程。当倒相链级数较多时, 这种求解过程很缓慢; 其次, 由于 CMOS 链结构的特殊性(级与级之间可按锥度系数的比例缩放), 电路模拟难于将某些参数作为自变量进行分析和优化设计(如 N 和 PMOSFET 的宽长比因子; 锥度系数以及跨导系数等等)。基于以上原因, 至今有很多研究者仍研究瞬态 CMOS 链模型的建立。

自 1981 年来, 相继有不少 CMOS 模型出现<sup>[1-3]</sup>。这些模型主要解决 CMOS 延迟时间和功耗模型, 而最困难的是平均延迟时间模型的建立。到目前为止, 所建模型的共同问题是: 模型只适用于输入为理想的阶跃脉冲方波或斜波信号的平均对延迟时间求解, 这对于第二级门以后的门很难适合(因第一级门存在信号延迟情况下, 第二级门的输入信号不再是理想波形)。另外, 这些模型难于处理 CMOS 初始延迟时间, 故门的总延迟时间会受到一定的影响, 尤其在上升和下降过程出现“过冲”情况下, 模型计算误差就更大。

基于上述原因, 本文提出了一种利用波形逼近求 CMOS 瞬态响应函数和延迟时间的方法。它可以克服现有模型的缺点, 且在计算时间上比用微分方程解瞬态响应要少得多。本文以具体算例证明该模型分析精度能适于 CMOS 门电路的分析和设计。

## 二、CMOS 瞬态模型构造

图 1 给出了一个 N 阶 CMOS 链的结构, 图 1(a) 中的  $C_i$  为第  $i$  阶链负载电容, 图 1(b) 为第  $i$  阶链的基本结构。本文将构成以下模型。

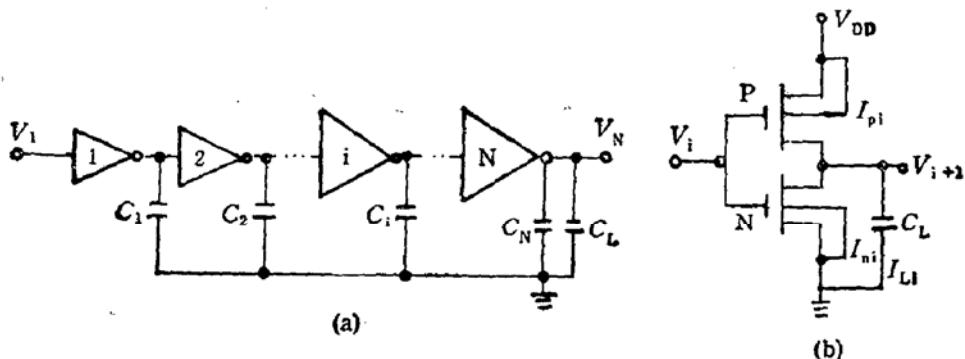


图 1 (a) N 阶 CMOS 链; (b) 第  $i$  阶链结构

### 1. CMOS 瞬态对延迟时间模型

定义第  $i$  阶链上升、下降和平均对延迟时间  $t_u^i$ 、 $t_d^i$  和  $t_a^i$  为

$$\left. \begin{aligned} t_u^i &= \text{Arg}[V_{i+1}(t) = 0.5V_{DD}] - \text{Arg}[V_i(t) = 0.5V_{DD}], \text{ 当 } \dot{V}_i(t) > 0 \\ t_d^i &= \text{Arg}[V_{i+1}(t) = 0.5V_{DD}] - \text{Arg}[V_i(t) = 0.5V_{DD}], \text{ 当 } \dot{V}_i(t) < 0 \\ t_a^i &= [t_u^i + t_d^i]/2, \end{aligned} \right\} \quad (1)$$

式中  $V_{DD}$  为电源电压,  $\dot{V}_i$  为第  $i$  阶输入信号的斜率。 $V_{i+1}(t)$  为第  $i$  阶链输出电压(第  $i+1$  阶链输入电压);  $t$  为时间。整个 CMOS 链的总平均对延迟时间  $T_D$  为

$$T_D = \sum_{i=1}^N t_a^i = \frac{1}{2} \sum_{i=1}^N \{t_u^i + t_d^i\}. \quad (2)$$

由半导体器件理论, 第  $i$  阶链的瞬态响应方程为

$$I_{ni} + I_{pi} + I_{Li} = 0, \quad (3)$$

$$I_{Li} = C_i \frac{dV_{i+1}(t)}{dt}, \quad (4)$$

下标 n 和 p 分别表示 N 和 P 沟 MOSFET, 令

$$\left. \begin{aligned} V_{B1n} &= V_{thn} - \gamma_{sn} \sqrt{2\varphi_{Fn}} + (\eta_n - 1)(2\varphi_{Fn} - V_{BSn}), \\ V_{B1p} &= V_{thp} - \gamma_{sp} \sqrt{2\varphi_{Fp}} + (\eta_p - 1)(2\varphi_{Fp} - V_{BSp}), \\ V_{ian} &= \frac{1}{\eta_n} \{V_i(t) - V_{B1n} - \gamma_{sn} [V_i(t) + 2\varphi_{Fn} - V_{BSn}]^{1/2}\}, \\ V_{iop} &= \frac{1}{\eta_p} \{V_{DD} - V_i(t) - V_{B1p} - \gamma_{sp} [V_{DD} - V_i(t) + 2\varphi_{Fp} - V_{BSp}]^{1/2}\}. \end{aligned} \right\} \quad (5)$$

则  $I_n$  和  $I_p$  分别表示为

$$I_{ni} = \mu_{sn} C_{ox} \left(\frac{W}{L}\right)_n \left\{ \left( V_i(t) - V_{B1n} - \eta_n \frac{V_{i+1}(t)}{2} \right) V_{i+1}(t) \right.$$

$$-\frac{2}{3} \gamma_{s_n} [(V_{i+1}(t) + 2\varphi_{F_n} - V_{BS_n})^{3/2} - (2\varphi_{F_n} - V_{BS_n})^{3/2}] \}, V_{i+1}(t) < V_{in_n}$$
(6a)

$$I_{ni} = \mu_{s_n} C_{ox} \left(\frac{W}{L}\right)_n \left\{ \left( V_i(t) - V_{B1n} - \eta_n \frac{V_{in_n}}{2} \right) V_{in_n} \right.$$

$$\left. - \frac{2}{3} \gamma_{s_n} [(V_{in_n} + 2\varphi_{F_n} - V_{BS_n})^{3/2} - (2\varphi_{F_n} - V_{BS_n})^{3/2}] \right\}, V_{i+1}(t) \geq V_{in_n}$$
(6b)

$$I_{pi} = \mu_{s_p} C_{ox} \left(\frac{W}{L}\right)_p \left\{ \left( V_{DD} - V_i(t) - V_{B1p} - \eta_p \frac{V_{DD} - V_{i+1}(t)}{2} \right) (V_{DD} - V_{i+1}(t)) \right.$$

$$\left. - \frac{2}{3} \gamma_{s_p} [(V_{DD} - V_{i+1}(t) + 2\varphi_{F_p} - V_{BS_p})^{3/2} - (2\varphi_{F_p} - V_{BS_p})^{3/2}] \right\},$$

$$V_{i+1}(t) > V_{DD} - V_{in_p}$$
(6c)

$$I_{pi} = \mu_{s_p} C_{ox} \left(\frac{W}{L}\right)_p \left\{ \left( V_{DD} - V_i(t) - V_{B1p} - \eta_p \frac{V_{DD} - V_{in_p}}{2} \right) (V_{DD} - V_{in_p}) \right.$$

$$\left. - \frac{2}{3} \gamma_{s_p} [(V_{DD} - V_{in_p} + 2\varphi_{F_p} - V_{BS_p})^{3/2} - (2\varphi_{F_p} - V_{BS_p})^{3/2}] \right\},$$

$$V_{i+1}(t) \leq V_{DD} - V_{in_p}$$
(6d)

式中  $V_{BS}$  为 MOSFET 的衬偏电压;  $V_{th}$  为零偏阈值电压;  $L, W$  分别为 MOSFET 的沟道长度和宽度;  $\gamma_s$  为考虑阈值电压随  $L$  变化后的体效应系数;  $\eta$  反映  $V_{th}$  随  $W$  的变化;  $\mu_s$  为表面沟道有效迁移率;  $C_{ox}$  为单位面积氧化层电容;  $\varphi_F$  为费米电势。式(6)中的模型与 SPICE 中的 MOS-Level II 相同。由式(1)和(6), 第 i 阶链的瞬态模型可以建立。

### 1. 上升时间过程

考查  $V_{i+1}(t) = 0.5V_{DD}$  时的工作状态, 可假设  $V_{DD} - V_i(t) \geq |V_{th_p}|$ 。因此, 可认为 PMOS 管处于线性区工作状态。对于 NMOS 管, 根据不同工艺有以下三种状态。

状态一:  $V_{i+1}(t) < V_{in_n}$ ,  $V_i(t) \geq V_{B1n}$

状态二:  $V_{i+1}(t) \geq V_{in_n}$ ,  $V_i(t) \geq V_{B1n}$

状态三:  $V_i(t) < V_{B1n}$

根据  $V_{B1n}$  和其它参数取值不同, 这三种状态都可能出现。作为 CMOS 瞬态建模方法讨论, 本文仅以第三种状态为例。考虑其它两种状态后开关模型建立方法与该研究方法完全相同。

波形逼近建立瞬态模型是基于现代控制理论的思想, 采用一个具有主极点的传递函数逼近 CMOS 瞬态传输过程。该方法对 CMOS 这类单极传输门尤为适合, 其优点在于不需要对 CMOS 完整瞬态过程进行分析和表示, 只需在一定区域采用波形逼近方法确定传输函数中的几个特征值, 以达到求解瞬态响应时常数的目的。下面给出具体分析过程。

由于 P 管工作于线性区, 故将  $(V_{DD} - V_{i+1}(t) + 2\varphi_{F_p})^{3/2}$  的一部份在  $V_{i+1}(t) = 0.5V_{DD}$  附近线性化, 若  $V_{BS} = 0$ , 则线性化的结果为

$$\left( \frac{1}{2} V_{DD} + 2\varphi_{F_p} \right)^{1/2} (V_{DD} - V_{i+1}(t) + 2\varphi_{F_p}).$$
(7)

式(6c)变为

$$I_{pi} = \beta_{pi} \left[ V_{Mpi} - V_{DD}V_i(t) + V_i(t)V_{i+1}(t) - V_{Npi}V_{i+1}(t) - \frac{\eta_p}{2} V_{i+1}^2(t) \right], \quad (8)$$

式中:  $\beta_{pi} = \mu_{sp} C_{ox} \left( \frac{W}{L} \right)_{pi}$ ,

$$V_{Mpi} = V_{DD}^2 - \frac{\eta_p}{2} V_{DD}^2 - V_{Bip} V_{DD} - \frac{2}{3} \gamma_{sp} \left( \frac{1}{2} V_{DD} + 2\varphi_{Fp} \right)^{1/2} (V_{DD} + 2\varphi_{Fp}),$$

$$V_{Npi} = V_{DD} + V_{Bip} - \eta_p V_{DD} - \frac{2}{3} V_{DD} - \frac{2}{3} \gamma_{sp} \left( \frac{1}{2} V_{DD} + 2\varphi_{Fp} \right)^{1/2}.$$

引入具有主极点的逼近函数表示输入和输出传输特性。对于上升过程

$$V_i(t) = V_{DD} \exp(-P_f t) u(t), \quad (9)$$

$$V_{i+1}(t) = V_{DD} \{1 - \exp[-P_r(t - t_{dr})]\} u(t - t_{dr}), \quad (10)$$

式中  $u(t)$  为阶跃函数。  $P_f$  和  $P_r$  分别为下降和上升时间常数。 $t_{dr}$  为初始延迟时间, 其定义为: 当  $t = t_{dr}$  时,  $V_{i+1}(t) = 0$ 。令特征时间  $t_{er}$  为, 当  $t = t_{er}$  时,  $V_{i+1}(t) = 0.5V_{DD}$ , 即

$$t_{er} = t_{dr} + \ln 2 / P_r. \quad (11)$$

由式(9)和(10), 有

$$V_i(t)V_{i+1}(t) = [V_{DD}^2 \exp(-P_f t) - V_{DD}^2 \exp(-P_r t) \exp(-P_f t)] u(t - t_{dr}), \quad (12)$$

$$\begin{aligned} V_{i+1}^2(t) &= \{V_{DD}^2 - 2V_{DD}^2 \exp[-P_r(t - t_{dr})] \\ &\quad + V_{DD}^2 \exp[-P_r(t - t_{dr})] \exp[-P_r(t - t_{dr})]\} u(t - t_{dr}). \end{aligned} \quad (13)$$

将式(12)两指数相乘的  $\exp(-P_f t)$  和式(13)中的  $\exp[-P_r(t - t_{dr})]$  其中一个在  $t = t_{er}$  处线性化, 得到

$$V_{i+1}^2(t) = \left[ \frac{3}{2} V_{DD} V_{i+1}(t) - \frac{1}{2} V_{DD}^2 \right] u(t - t_{dr}),$$

$$\begin{aligned} V_i(t)V_{i+1}(t) &= [V_{DD} V_i(t) + V_{DD} 2^{-P_f/P_r} \exp(-P_f t_{dr}) V_{i+1}(t) \\ &\quad - V_{DD}^2 2^{-P_f/P_r} \exp(-P_f t_{dr})] u(t - t_{dr}). \end{aligned}$$

$$\text{令: } A_{rp} = \beta_{pi} \left[ V_{pMi} + \frac{\eta_p}{2} V_{DD}^2 - V_{DD} 2^{-P_f/P_r} \exp(-P_f t_{dr}) \right],$$

$$B_{rp} = \beta_{pi} \left[ V_{DD} 2^{-P_f/P_r} \exp(-P_f t_{dr}) - \frac{3}{4} \eta_p V_{DD} - V_{Npi} \right].$$

将上面关系代入式(8), 且根据图(2)所示的上

升过程 CMOS 大信号瞬态等效电路图<sup>[4]</sup>, 可建立 Laplace 变换方程

$$(V_i + V_{i+1})C_{2i}s = B_{rp}V_{i+1} + C_{3i}V_{i+1}s + A_{rp},$$

即:

$$\begin{aligned} V_{i+1} &= \frac{C_{2i}s}{(C_{2i} + C_{3i})s + B_{rp}} V_i \\ &\quad - \frac{A_{rp}}{(C_{2i} + C_{3i})s + B_{rp}}. \end{aligned} \quad (14)$$

当  $t > 0$  时,  $V_i = V_{DD} \exp(-P_f t)$ , 故  $V_i(s) = \frac{V_{DD}}{s + P_f}$ , 则全响应输出函数为

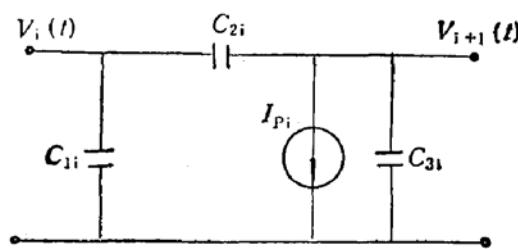


图 2 CMOS 上升过程瞬态等效电路图

$$V_{i+1}(t) = \frac{K_{1p}}{C_{2i} + C_{3i}} \exp\left(-\frac{B_{rp}}{C_{2i} + C_{3i}} t\right) + K_{2p} \exp(-P_f t) \\ - \frac{A_{rn}}{C_{2i} + C_{3i}} \exp\left(-\frac{B_{rn}}{C_{2i} + C_{3i}} t\right), \quad (15)$$

式中  $K_{1p} = \frac{V_{DD} C_{2i} B_{rp}}{(C_{2i} + C_{3i}) P_f - B_{rp}}$ ,  $K_{2p} = \frac{V_{DD} C_{2i} P_f}{B_{rp} (C_{2i} + C_{3i}) P_f}$ .

## 2. 下降时间过程

与上升过程类似, 可得下降时间过程的输出响应为

$$V_{i+1}(t) = \frac{K_{1n}}{C'_{2i} + C'_{3i}} \exp\left(-\frac{B_{rn}}{C'_{2i} + C'_{3i}} t\right) + K_{2n} \exp(-P_f t) \\ - \frac{A_{rn}}{C'_{2i} + C'_{3i}} \exp\left(-\frac{B_{rn}}{C'_{2i} + C'_{3i}} t\right). \quad (16)$$

方程对应的初始下降时间  $t_{df}$  为: 当  $t = t_{df}$  时,  $V_{i+1}(t) = V_{DD}$ ; 特征延迟时间  $t_{ef}$  为: 当  $t = t_{ef}$  时,  $V_{i+1}(t) = 0.5 V_{DD}$ . 将  $t$  等于  $t_{dr}$ ,  $t_{er}$ ,  $t_{dt}$  和  $t_{et}$  分别代入式(15)和(16), 可得变量  $x = (P_f, P_r, t_{df}, t_{dr})^T$  的非线性方程组  $F(x) = 0$ , 方程组为

$$\begin{aligned} & \frac{K_{1p}}{C_{2i} + C_{3i}} \exp\left(-\frac{B_{rp}}{C_{2i} + C_{3i}} t_{dr}\right) + K_{2p} \exp(-P_f t_{dr}) \\ & - \frac{A_{rp}}{C_{2i} + C_{3i}} \exp\left(-\frac{B_{rp}}{C_{2i} + C_{3i}} t_{dr}\right) = 0, \\ & \frac{K_{1p}}{C_{2i} + C_{3i}} \exp\left(-\frac{B_{rp}}{C_{2i} + C_{3i}} t_{dr}\right) 2^{-B_{rp}/(C_{2i} + C_{3i}) P_r} + K_{2p} \exp(-P_f / P_r) \\ & - \frac{A_{rp}}{C_{2i} + C_{3i}} 2^{B_{rp}/(C_{2i} + C_{3i}) P_r} \cdot \exp\left(-\frac{B_{rp}}{C_{2i} + C_{3i}} t_{dr}\right) - \frac{V_{DD}}{2} = 0, \\ & \frac{K_{1n}}{C'_{2i} + C'_{3i}} \exp\left(-\frac{B_{rn}}{C'_{2i} + C'_{3i}} t_{df}\right) + K_{2n} \exp(-P_f t_{df}) \\ & - \frac{A_{rn}}{C'_{2i} + C'_{3i}} \exp\left(-\frac{B_{rn}}{C'_{2i} + C'_{3i}} t_{df}\right) = 0, \\ & \frac{K_{1n}}{C'_{2i} + C'_{3i}} \exp\left(-\frac{B_{rn}}{C'_{2i} + C'_{3i}} t_{df}\right) 2^{-B_{rn}/(C'_{2i} + C'_{3i}) P_f} + K_{2n} \exp(-P_f / P_r) \\ & - \frac{A_{rn}}{C'_{2i} + C'_{3i}} 2^{B_{rn}/(C'_{2i} + C'_{3i}) P_f} \cdot \exp\left(-\frac{B_{rn}}{C'_{2i} + C'_{3i}} t_{df}\right) - \frac{V_{DD}}{2} = 0. \end{aligned}$$

求以上非线性方程组的解, 可得参数  $P_f$ ,  $P_r$ ,  $t_{df}$  和  $t_{dr}$ . 根据式(1), (9)和(10), 上升和下降时间为

$$\left. \begin{aligned} t_r^i &= t_{dr} + \frac{P_f - P_r \ln 2}{P_f P_r} \\ t_t^i &= t_{df} + \frac{P_r - P_f \ln 2}{P_f P_r} \end{aligned} \right\}. \quad (17)$$

这样, 可以得到第  $i$  阶链的平均对延迟时间和整个链的总延迟时间.

## 2. CMOS 链的功耗模型

CMOS 功耗分为两类: 动态功耗和静路功耗。

### 1. 动态功耗

动态功耗为瞬态过程中, 负载电容  $C_{3i}$  和  $C'_{3i}$  充电所需功耗。Weste 和 Eshraian 给出了在一个时钟周期内 CMOS 平均动态功耗的结果<sup>[5]</sup>。对于 CMOS 链, 总的动态功耗  $P_T$  为

$$P_T = \frac{1}{2} \sum_{i=1}^N (C_{3i} + C'_{3i}) f V_{DD}^2, \quad (18)$$

式中  $f$  为信号频率。

### 2. 静路功耗

静路功耗的产生如图 3 所示。对于上升过程, P 管导通, N 管瞬时经过两个过程。

当  $V_i(t) \geq V_{DD} - |V_{thp}|$ ,  $V_{i+1}(t) < V_{inn}$ , N 管处于线性区, 电流方程为式 (6a), 记为  $I_{nl}$ ;

当  $V_i(t) \geq V_{thn}$ ,  $V_{i+1}(t) \geq V_{inn}$ , N 管处于饱和区, 电流方程为式 (6b), 记为  $I_{ns}$ 。三个特征时间  $t_1$ ,  $t_2$  和  $t_3$  为

$$\begin{aligned} t_1 &= \text{Arg}(V_i(t) = V_{DD} - |V_{thp}|) = \frac{1}{P_f} \ln \frac{V_{DD}}{V_{DD} - |V_{thp}|}, \\ t_3 &= \text{Arg}(V_i(t) = V_{thn}) = \frac{1}{P_f} \ln \frac{V_{DD}}{V_{thn}}, \\ t_2 &= \text{Arg}(V_{i+1}(t) = V_{inn}). \end{aligned}$$

$t_2$  可用非线性方程求解得到, 在一个周期内平均上升时间静路功耗为

$$P_{sc1}^t = \frac{1}{T} \int_{t_1}^{t_2} I_{nl} V_{DD} dt + \frac{1}{T} \int_{t_2}^{t_3} I_{ns} V_{DD} dt.$$

上式的积分可解析表示, 故将  $t_1$ ,  $t_2$ ,  $t_3$  代入式中可解得  $P_{sc1}^t$ 。同理可求得下降过程静路功耗  $P_{sc2}^t$ , 则整个链的总功耗  $P$  为

$$P = \sum_{i=1}^N [P_{sc1}^t + P_{sc2}^t] + \frac{1}{2} \sum_{i=1}^N [C_{3i} + C'_{3i}] f V_{DD}^2. \quad (19)$$

可证明, 当工作频率  $f = \frac{1}{T}$  较高时, 静路功耗远小于动态功耗。下面将讨论建模具体问题和参数的修正。

## 三、CMOS 瞬态模型分析

对 CMOS 瞬态模型需进一步讨论以下问题。

### 1. 不同电容值的考虑

图 4 给出一个 CMOS 单元版图结构。图中电容  $C_{3i}$  为

$$C_{3i} = C_{bdn} + C_{bdp} + C_{i+1,i},$$

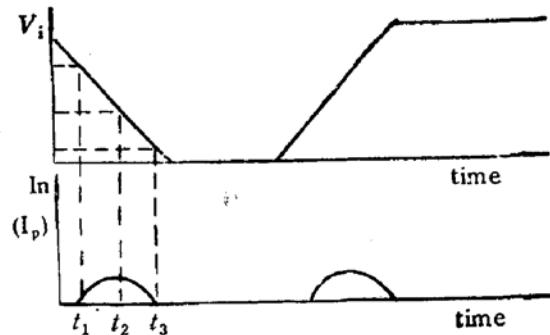


图 3 静路功耗产生示意图

$$C_{i+1,i} = \begin{cases} f^{i+1} L W_n \left(1 + \frac{1}{B}\right) C_{ox}, & i \neq N \\ C_L, & i = N \end{cases}$$

式中  $f$  和锥度系数,  $B = \left(\frac{W}{L}\right)_n / \left(\frac{W}{L}\right)_p$ ,  $C_{bdn}$  和  $C_{bdp}$  为衬底与漏极之间的 PN 结电容。当  $V_{i+1}(t) = 0.5V_{DD}$  时, 可认为所加 PN 结电压为  $0.5V_{DD}$ 。若令  $L_L = L_D = \lambda L$ , 则

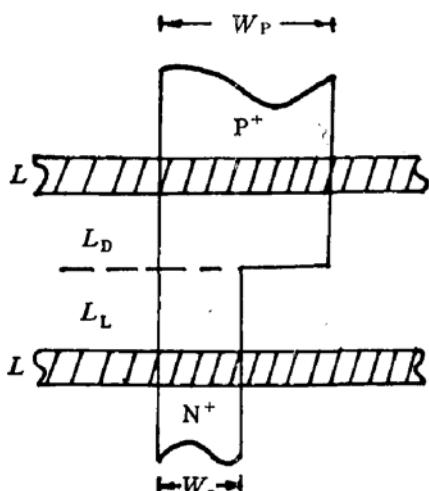


图 4 CMOS 门的版图结构

$$\begin{aligned} C_{bdn} + C_{bdp} = & \{W_{ni} L_D f^i C_{ni} + W_{pi} L_i f^i C_{pi} + \\ & + 2f^i (W_{ni} C_{np} + W_{pi} C_{pp}) \\ & + 2(L_D C_{np} + L_L C_{pp})\} \\ = & \lambda L f^i W_{ni} \left( \frac{1}{B} C_{pi} + C_{ni} \right) \\ & + 2f^i W_{ni} \left( \frac{1}{B} C_{pp} + C_{np} \right) \\ & + 2\lambda L (C_{np} + C_{pp}). \end{aligned}$$

式中  $C_{ni}$  和  $C_{pi}$  分别为单位面积  $n^+$  和  $p^+$  区的 PN 结电容;  $C_{np}$  和  $C_{pp}$  为  $n$  和  $p$  型单位长度的 PN 结侧壁电容。由图 4, 显然  $C_{3i} = C'_{3i}$ ,  $C_{1i}$  和  $C_{2i}$  主要为覆盖电容的影响,

$$C_{1i} = C_{gsovn} W_{ni} + C_{gsovpi} W_{pi} + \frac{1}{2} C_{ox} W_{pi} L_{pi},$$

$$C_{2i} = C_{gdovn} W_{ni} + C_{gsovpi} W_{pi} + \frac{1}{2} C_{ox} W_{pi} L_{pi},$$

$$C'_{3i} = C_{gsovn} W_{ni} + C_{gsovpi} W_{pi} + \frac{1}{2} C_{ox} W_{ni} L_{ni},$$

$$C_{3i} = C_{gdovp} W_{pi} + C_{gsovn} W_{ni} + \frac{1}{2} C_{ox} W_{ni} L_{ni},$$

式中  $C_{ovn}$  和  $C_{ovp}$  为  $N$  和  $P$  管单位宽度的氧化层覆盖电容。上式最后一项为沟道电容。由于沟道电容与  $V_i(t)$  和  $V_{i+1}(t)$  有关, 故式中给出结果作了一定近似。根据 Kanuma<sup>[1]</sup> 给出的结果, 这种近似误差很小。

## 2. 载流子迁移率的表征

式(6)中的载流子迁移率  $\mu_s$  与 MOSFET 所加横向和纵向电场有关, 其电子和空穴迁移率可表示为

$$\mu_s = \mu_0 / \left(1 + \frac{\mu_0 V_{DD}}{v_s L}\right), \quad \mu_0 = \mu_{00} / (1 + \theta |V_{GS} - V_{th}|). \quad (20)$$

表 1 给出了  $\mu_{00}$ ,  $\theta$  和  $v_s$  的具体数值。

对 CMOS 而言,

$$\mu_n = \mu_{0n} / \left(1 + \frac{\mu_{0n} V_{DD}}{v_{sn} L_n}\right), \quad \mu_{0n} = \mu_{00n} / (1 + \theta_n |V_i(t) - V_{thn}|),$$

表 1 表面迁移率有关常数

	$\mu_{00}(\text{cm}^2/\text{V}\cdot\text{s})$	$\theta(V^{-1})$	$v_s(\text{cm/s})$
n	980	0.038	$1.0 \times 10^7$
p	260	0.034	$7.6 \times 10^6$

$$\mu_p = \mu_{0p} / \left( 1 + \frac{\mu_{0p} V_{DD}}{v_{sp} L_p} \right), \quad \mu_{0p} = \mu_{00p} / (1 + \theta_p |V_{DD} - V_i(t) - V_{thp}|).$$

由于平均对延迟时间仅考虑  $V_i(t) = 0.5V_{DD}$ , 故

$$V_i(t) = V_{DD} 2^{-P_f/P_r} \exp(-P_f t_{df}), \quad (\text{上升时间过程})$$

$$V_i(t) = V_{DD} 2^{-P_r/P_f} \exp(-P_r t_{df}). \quad (\text{下降时间过程})$$

将上式代入迁移率模型中, 用平均迁移率代替式(20), 这种假设在 CMOS 门的解析模型中是可接受的。为了验证本文模型的精确性和计算时间, 下面给出实例分析结果。

### 3. 四阶 CMOS 链结果分析和比较

为了考查本文所得解析模型精度, 以一个  $N = 4$  的 CMOS 链为例对其瞬态特性进行分析和比较。该四阶链的基本参数为

$L_n = L_p = 1\mu\text{m}$ ,  $W_n = 6\mu\text{m}$ ,  $\lambda = 3$ ,  $L_m = 0.07\text{V}^{-1}$ ,  $C_{ox} = 1.85 \times 10^{-3}\text{pF}/\mu\text{m}^2$ ,  $C_{n+} = 3.3 \times 10^{-4}\text{pF}/\mu\text{m}^2$ ,  $C_{p+} = 2.8 \times 10^{-4}\text{pF}/\mu\text{m}^2$ ,  $C_{nn} = 5.45 \times 10^{-4}\text{pF}/\mu\text{m}$ ,  $C_{pp} = 1.72 \times 10^{-4}\text{pF}/\mu\text{m}$ ,  $C_{gsovn} = 1.23 \times 10^{-4}\text{pF}/\mu\text{m}$ ,  $C_{gsov_p} = 1.33 \times 10^{-4}\text{pF}/\mu\text{m}$ ,  $C_{gdown} = C_{gdown_p}$ ,  $C_{gdown_p} = C_{gsov_p}$ 。图 5 给出了  $V_{thn} = 1.42\text{V}$ ,  $f = 1\text{MHz}$  时不同芯片面积与功耗延迟时间乘积的结果比较。可以得到: 本文提出的模型与 SPICE 模拟结果相吻合。

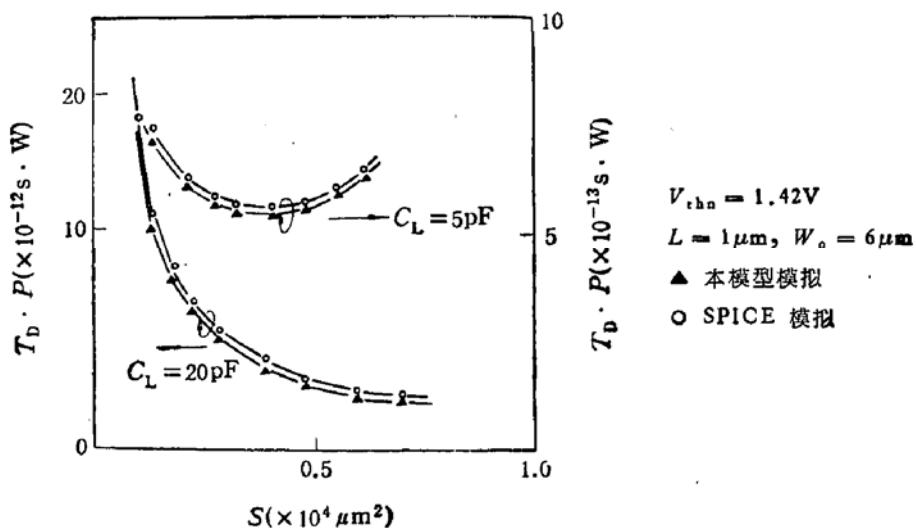


图 5 不同面积与功耗延迟时间积的关系

合, 其数据的最大相对误差为 10.8%, 分析时间仅为 SPICE 模拟的 20.4%。图 6 为利用 Soin 成品率优化的重心游动法<sup>[6]</sup>给出不同迭代步中利用本模型和 SPICE 模拟优化设计结果。图中选择了延迟时间  $T_D$  和成品率 Y 模拟结果比较(图中每一点为不同迭代次数下求解成品率 Y 和设计中心值相对应的延迟时间  $T_D$ )。结果比较可以看出, 其变化趋势基本一致, 两者误差最大为 8.4%。为了进一步检验运行时间, 用一个  $N = 29$  的链进行

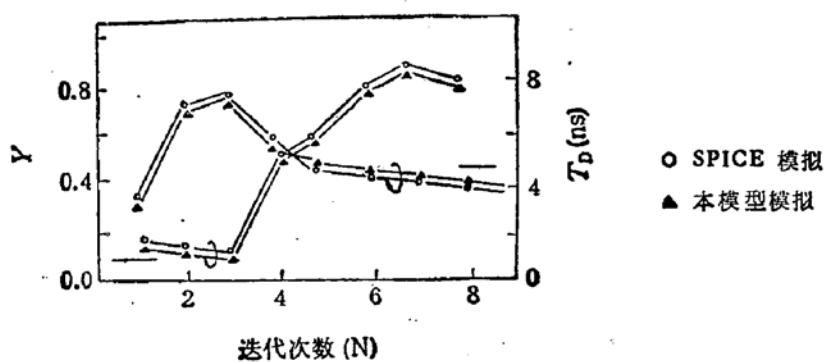


图 6 模拟和设计结果比较

了芯片面积与功耗延迟时间乘积结果比较。本模型模拟与 SPICE 模拟的最小时间比为 25.3%；最大模拟误差 13.2%。这些表明本文给出的 CMOS 瞬态模型能满足电路设计和分析要求。

#### 四、结 论

本文基于现代控制理论，提出了用单极点波形逼近方法构造 CMOS 链的瞬态对延迟时间和功耗模型。模型考虑不同负载电容和载流子迁移率变化对响应函数的影响。根据数值分析结果的比较得到了该模型和方法能适用于 CMOS 链的分析和设计。这一方法可推广到类似电路的瞬态过程分析和模拟。

#### 参 考 文 献

- [1] A. Kanuma, *Solid State Electronics*, 26(1), 47(1983).
- [2] N. Hedenstierna and K. O. Jappson, *IEEE Trans. CAD/IC*, 6(3), 270(1987).
- [3] C. Y. Wu, et al., *Solid State Electronics*, 32(6), 449(1989).
- [4] A. Sangiovanni-Vincentelli, *Computer-aided design of VLSI Circuits and Systems*, Jai Press Inc., England, 1985.
- [5] D. A. Hodges and H. G. Jackson, *Analysis and design of digital integrated circuits*, New York, McGraw-Hill, 1983.
- [6] R. S. Soin and R. Spence, *Proc. Inst. Ele. Eng.* 127(6), Part G, 260(1980).

## Transient Pair Delay Model Analysis for CMOS Inverter Chain

Hao Yue

(*Microelectronics Institute, Xi'an University of Electronic Science and Technology, Xi'an 710071*)

### Abstract

A transient pair delay time model of CMOS inverter chain is constructed by the wave approximation method with single-pole respond function. The effects of different load capacitances and carrier mobility on respond functions are considered. Because of the analytical character of the model, the calculating time is short and the parameter analysis is flexible. Especially, the model is very suitable for CMOS circuit optimization. The results from accuracy analysis show that the model can be used to characteristics simulation and design of IC's.

**EEACC:** 2560B, 2570C, 1130B