

BiCMOS 比较器宏单元*

杨肇敏 乌力吉 徐葭生

(清华大学微电子学研究所,北京,100084)

1991年9月23日收到,1991年12月6日定稿

本文描述了两种结构的 BiCMOS 比较器宏单元的设计和制造。制成的五种比较器均达到了设计要求: 静态功耗小于 5mW , 灵敏度优于 5mV , 模拟得到最高采样时钟频率为 60MHz ($C_L = 5\text{pF}$)。在与同类全 CMOS 比较器比较中充分显示了 BiCMOS 结构的优越性。

EEACC: 2570, 2550, 1265H

一、引言

随着数字处理技术的发展,高速全平行模拟-数字转换器(ADC)的应用日益广泛,像视频信号处理,高分辨率TV,数字示波器和测试系统等^[1]中都少不了高速ADC。对于N位精度的全平行ADC,其比较器阵列由 2^{N-1} 个比较器组成,所以比较器是高速全平行ADC的基本单元,它的性能好坏直接影响ADC的性能。这种用于ADC中的比较器宏单元不同于普通比较器产品,主要差别在于宏单元所需负载是几pF,甚至零点几pF的小电容。对这种比较器的要求是高的采样时钟频率和低的功耗。在一个电路中这两个要求是矛盾的。为解决这一对矛盾可有多种方法,采用BiCMOS结构及工艺是较理想的方案。

BiCMOS工艺是将NMOS、PMOS和Bipolar器件集成在同一芯片上,这样既获得了CMOS器件集成度高,功耗低的优点,又取得了Bipolar器件跨导大、速度快,失调电压小、噪声低的优点。用它可达到高集成度,高速度及低功耗的目标。特别是用它来实现高性能的集成系统是个发展方向,因为CMOS和Bipolar器件分别具有突出的数字和模拟性能。它已是现在世界上公认的比较有前途的先进工艺方案。

本论文推出两种能用于全平行八位ADC中的BiCMOS结构的比较器。经过模拟计算、设计制造得到良好的比较器性能,与同类CMOS比较器比较显示了BiCMOS高速低功耗等高性能优点。

二、比较器宏单元设计

1. 电路结构

比较器的结构形式多种多样。它们的共同特点是均以差分放大器为基本单元,以

* 国家自然科学基金重大资助项目。

Latch 锁存器为输出部分。要构成一个 BiCMOS 比较器也必须包括这两部分。输入差分放大级采用双极型,锁存器采用 CMOS 可扬其长、避其短,得到输入失调电压小、速度快、功耗低的高性能比较器。

可通过两个途径来构成 BiCMOS 比较器: (1) 将双极单元电路与 CMOS 单元电路直接相连^[2]。一般为提高输入阻抗,减小噪声,第一级采用双极射极跟随器;第二级采用响应速度快,稳定性好,失调电压小的双极差分放大器;第三级采用 CMOS 或双极差分放大器进一步放大信号;最后采用 CMOS 锁存器来锁存信号。(2) 双极与 CMOS 的混合结构,如差分对负载管用 PMOS 管,工作管用双极管,恒流源用 NMOS 管组成^[3]。在这种结构中,一般第一级为混合结构的差分放大器,因它的工作管是双极管,又带有恒流源,所以它的输入阻抗和失调电压能满足 ADC 的要求。第二级既是一个 CMOS 放大器,又有类似触发器的作用,这样一方面利用正反馈加大电压放大倍数,另一方面对信号进行锁存。

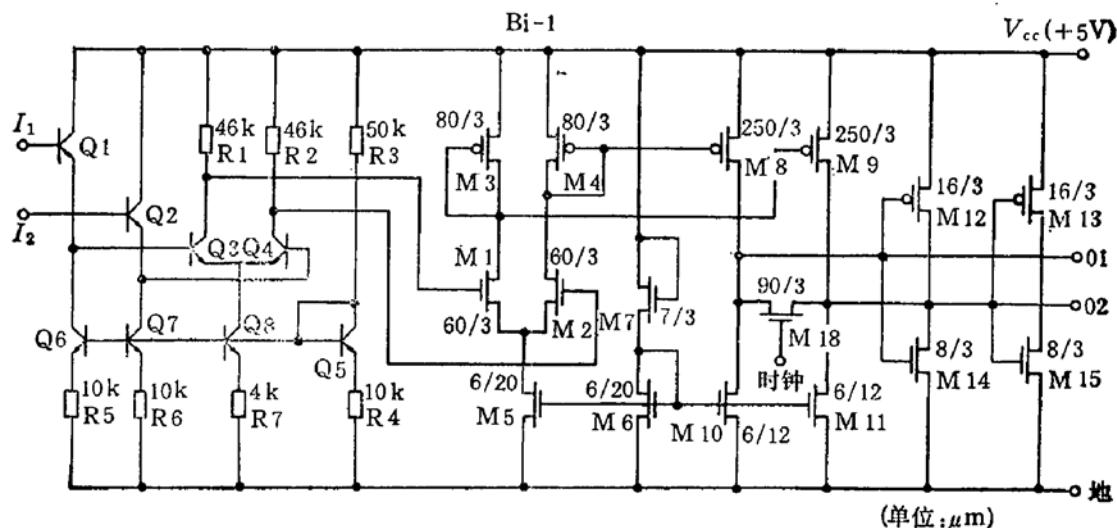


图 1 Bi-1 型比较器电路

由这两途径构成的 BiCMOS 比较器各有其优缺点。第一种结构输入阻抗大。至少两个差分放大级,放大倍数大,但元件数较多。第二种结构元件数少,但其输入阻抗较小。为对它们进行深入的分析比较,我们设计了这两种结构的 BiCMOS 比较器,分别命名为 Bi-1 型和 Bi-2 型,典型的电路结构如图 1,图 2 所示。

在 BiCMOS 电路中由于 MOS 管是电压控制器件,双极管是电流控制器件,所以二者在连接时要满足一定的兼容条件:

(1) 从双极差分放大器输出的两个电平中至少有一个在 CMOS 放大电路的共模输入范

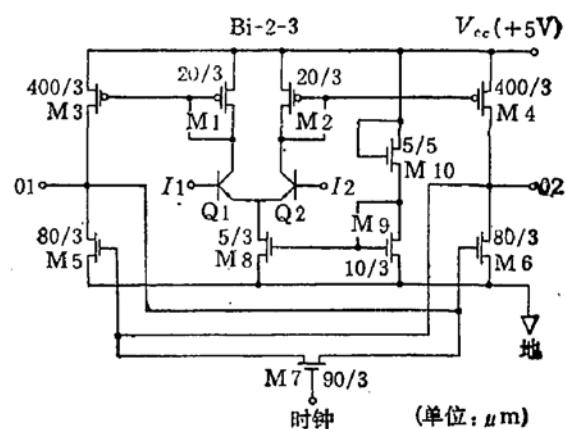


图 2 Bi-2-3 型比较器电路

围内。(2)从双极差分放大器输出的电平差值的绝对值必须大于 CMOS 放大电路的灵敏度。

2. 模拟计算

对一个优质的电压比较器其关键要求是：高的开环电压增益；小的输入失调电压；快的频率响应；低的功耗。前两点决定了比较器的灵敏度和 ADC 的分辨率。根据一般八位高速全平行 ADC 对比较器的要求定出我们设计的 BiCMOS 比较器要求是：(1) 使用 +5V 单电源。(2) 灵敏度优于 5mV。当输出高低电平差为 5V 时，其开环电压增益 A_d 应大于 1000。(3) 当负载电容 C_L 为 5pF 时，比较器的最高采样时钟频率 f_{cmax} 在 10MHz 以上。(4) 功耗在 5mW 以下。

对于一个比较器，其总电压增益越高，比较器灵敏度越高，但总电压增益越高，总带宽越窄，致使比较器的响应速度变慢，即延迟时间变长。因此，在设计中要折衷考虑灵敏度和响应速度之间的优化。

由于采用 3μm 设计规则，所以采用 SPICE 2G5 电路模拟程序中的 MOS II 模型和双极管 GP 模型进行模拟计算。在电路模拟中，模型参数的准确程度直接影响模拟结果的好坏，为使模拟结果更为理想，我们针对自行设计的 BiCMOS 工艺提取了一套适用于 3μm 电路设计的 SPICE MOS II 模型的模型参数和双极型模型参数。

模型参数的提取是采用整体参数优化提取方法，在 MODPEX 系统上完成。该系统是一个通用型整体模型参数提取系统，可提取 MOS 器件和双极器件的模型参数。提取双极型 NPN 管的直流参数是对 I_C-V_{BE} , $\beta-I_C$, $V_{CE(sat)}-I_C$, $V_{BE(sat)}-I_C$ 四条曲线同时拟合得到。提取交流参数是通过 f_T-I_C , $C_{ib}-V_{cb}$, $C_{ob}-V_{cb}$ 三条曲线得到。对 MOS 器件，这系统仅能提取直流模型参数，它是通过 NMOS 和 PMOS 管的输出特性曲线来提取。下面得到的模拟结果均采用这种合理方法提取的模型参数。

我们对图 1, 图 2 所示的两种结构的电压比较器进行了模拟计算。图中标出了各元件的尺寸。模拟结果如表 1 所示。由表 1 看到这两种结构性能均能满足要求，唯 Bi-2-3 型比较器功耗偏大些。分析原因是其第二级管子(即 M3, M4, M5, M6) 尺寸太大，本是想增大驱动能力而设计的。在正式版图中我们设计了四个 Bi-2 型比较器，它们的管子尺寸如表 2 所示。

表 1 模拟的比较器性能

型号 \ 性能	输出高电平 $V_{OH}(V)$	输出低电平 $V_{OL}(V)$	输入阻抗 $R_{in}(M\Omega)$	输出阻抗 $R_O(K\Omega)$	静态功耗 $W_s(mW)$	采样时钟频率 $f_{cmax}(MHz)$
Bi-1	5.0	0.04	2.247	2.766	2.52	60
Bi-2-3	5.0	0.18	0.256	0.528	7.05	60

不同负载电容 C_L 与最高采样时钟频率关系即 $f_{cmax} \sim C_L$ 关系的模拟结果如图 7 所示。为了能与实测相对比，模拟时 C_L 值取得比较大。

模拟结果发现当 NMOS 和 PMOS 管的开启电压不对称：当 $V_{TN} = 0.7V$, V_{TP} 从 -0.4V ~ -1.2V 变化(工艺控制中有可能出现此偏离)时，对比较器性能影响不大。

表 2 Bi-2 型比较器结构

类型 结构		Bi-2-1	Bi-2-2	Bi-2-3	Bi-2-4	C-2-3
M1, M2		20/3	20/3	20/3	20/3	20/3
Q1, Q2 的 S_e		$10 \times 10 \mu\text{m}^2$	$10 \times 10 \mu\text{m}^2$	$10 \times 10 \mu\text{m}^2$	$20 \times 20 \mu\text{m}^2$	Q_1, Q_2 变成 NMOS $W/L = 40/3$
管子尺寸差别	M3, M4	300/3	24/3	400/3	24/3	400/3
	M5, M6	50/3	8/3	80/3	8/3	80/3
	M8	5/3	9/3	5/3	9/3	5/3
	M9	5/3	9/3	10/3	9/3	10/3
	M10	5/15	5/5	5/5	5/5	5/5

三、工 艺

在原有 $2\mu\text{m}$ CMOS 工艺基础上, 参考文献 [4] 自行设计了双埋层、双阱、外延 BiCMOS 工艺, 结构剖面图如图 3 所示。在电阻率为 $30-50\Omega\cdot\text{cm}$ 的 P 型衬底上制作 n^+ 、 p^+ 埋层。然后生长 $2\mu\text{m}$ 厚的本征外延层。外延生长后, 在 n^+ 埋层和 p^+ 埋层上分

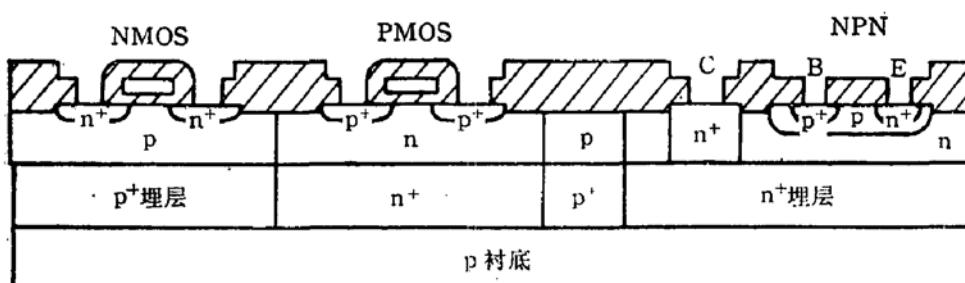


图 3 BiCMOS 的剖面图

别形成 n 阵和 P 阵, NMOS 管形成在 P 阵/ p^+ 埋层区中, n 阵/ n^+ 埋层区中形成 PMOS 和 NPN 管。图 4 列出主要的工艺流程。 n^+ 埋层可大大降低 NPN 管的收集极串联电阻 R_{ce} 。采用注锑和高温(1200°C)退火形成 n^+ 埋层。 p^+ 埋层可提高隔离电压, 减小隔离区宽度, 有利于集成度提高, 一般采用注硼来形成 p^+ 埋层。

在 BiCMOS 工艺中, 外延是关键工艺之一。外延层质量的好坏直接影响器件的性能, 乃至电路的性能。对外延工艺的要求不仅要做出高质量的外延层, 而且还要求外延层厚为 $2-2.5\mu\text{m}$ 的薄外延, 外延层内杂质分布要达到一定要求, 尤其对于衬底共存有 n^+ 型、 p^+ 型埋层杂质时, 在高温外延时要考虑它们的自掺杂效应。外延后 n^+ 埋层和 p^+ 埋层区杂质分布分别如图 5、图 6 所示。

减小 NPN 管的 R_{ce} , 除采用 n^+ 埋层外, 还在收集极接触中采用了深 n^+ 注入, 即纵 C 极注入, 使表面与 n^+ 埋层通过这 n^+ 区相连(见图 3)。一般将这次注入放在场氧后^[5], 这需要高能离子注入, 价钱昂贵。我们把它放在场氧前, 选磷注入源, 经场氧的高温退火结深达 $\sim 1.6\mu\text{m}$, 使表面与 n^+ 埋层连通。

通过工艺模拟和工艺实验得到最佳的基区注入和发射区注入条件，使在保证满足穿透电压的前提下，NPN 管基区尽可能薄。由电镜测试块测得基区宽度约 $0.3\mu\text{m}$ 。电流放大倍数 β 大于 100。

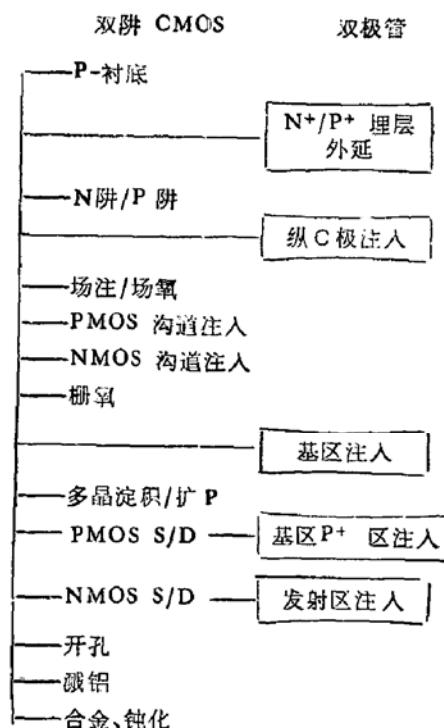


图 4 BiCMOS 工艺流程示意图

采用 $3\mu\text{m}$ 设计规则，MOS 器件的多晶硅栅最小栅长为 $3\mu\text{m}$ 。接触孔最小面积为 $5 \times 5\mu\text{m}^2$ ，铝条最小宽度为 $6\mu\text{m}$ ，铝条最小间距为 $6\mu\text{m}$ 。NPN 管的发射区面积为 $10 \times 10\mu\text{m}^2$ 。共 15 块掩膜。在试验版上除设计了 Bi-1, Bi-2 型比较器及为对比用的全 CMOS 比较器外，还设计了一些测试块图。如一组沟道宽相同而沟道长不同的 NMOS 管和 PMOS 管；一组不同发射极面积的 NPN 管；扫描电镜、薄层电阻、Latch-up 效应等测试图形。

四、结果与分析

1. 单管性能

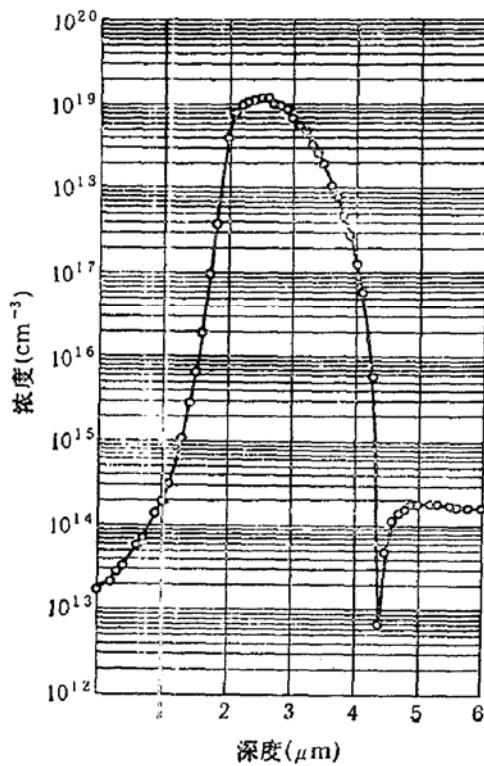


图 5 n⁺ 埋层外延后杂质分布图

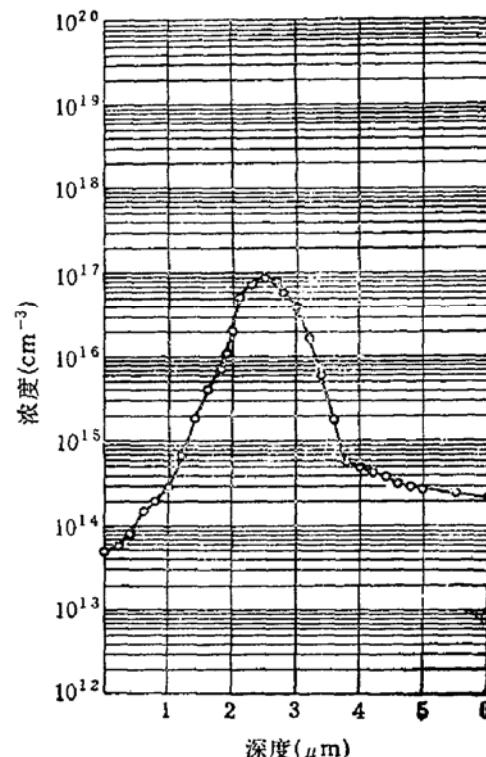


图 6 p⁺ 埋层外延后杂质分布图

MOS 器件的开启电压 $V_{TN} = 0.6 \sim 1.2\text{V}$, $V_{TP} = -0.6 \sim -1.2\text{V}$ 。Latch-up 触发电压 $\sim 40\text{V}$ ，维持电压 $> 30\text{V}$ 。NPN 器件 $\beta > 100$ ，击穿电压 BV_{ce0} 和 BV_{ee0} 分别为

20—24V 和 8—10V, 收集极串联电阻 $R_{ce} \sim 100\Omega$, 特征频率最大值 $f_{Tmax} > 1GHz$, 达到了相当好的性能指标。

2. 比较器宏单元测试结果

由于设计的是比较器宏单元, 难以进行动态测试, 所以着重进行了静态测试分析。表 3 列出了两种结构各种型号比较器的主要性能, 表中也列出了全 CMOS 比较器 C-2-3 性能作对比。

表 3 各类比较器静态性能

参数 \ 类型	Bi-1	Bi-2-1	Bi-2-2	Bi-2-3	Bi-2-4	C-2-3
输出高电平 $V_{OH}(V)$	4.93	5.00	5.00	4.98	5.00	4.99
输出低电平 $V_{OL}(V)$	0.01	0.04	0.07	0.05	0.07	0.05
静态功耗 $W_s(mW)$	1.70	1.26	0.91	2.81	0.99	2.51
灵敏度 $V_s(mV)$	4.00	2.00	2.00	1.50	0.50	12
失调电压 $ V_{IO} (mV)$	3.00	1.00	1.00	0.70	0.00	8.5
共模输入范围 $V_{CR}(V)$	2.2—3.1	0.8—4.4	0.7—4.2	0.6—4.4	0.7—4.2	/
备 注	测试条件: $V_{CC} = 5V \pm 2\%$, $V_R = 2.5V \pm 2\%$, $V_{in1} - V_{in2} = \pm 5mV$					

从 Bi-2-3 与 C-2-3 比较中看到, 全 CMOS 型功耗较低, 这是 CMOS 电路的优点, 但它的失调电压和灵敏度比 BiCMOS 型差得多。而 Bi-2-3 的功耗比 C-2-3 大得不多。这比较, 充分显示了 BiCMOS 的优越性。

Bi-1 和 Bi-2 两种结构的测量结果表明这两类比较器均能达到预期的设计要求。

Bi-2 型中四种比较器性能比较结果表明 Bi-2-4 的各项静态指标最好。由表 2 得

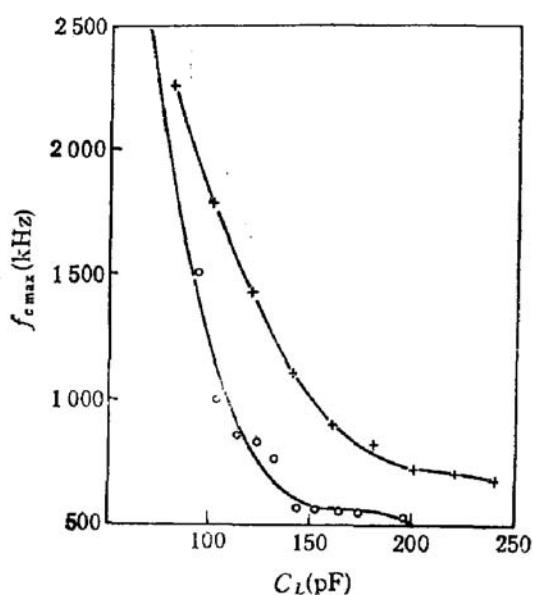


图 7 最高采样时钟频率 f_{cmax} 与负载电容 C_L 关系曲线
○ 实测数据 + 模拟数据

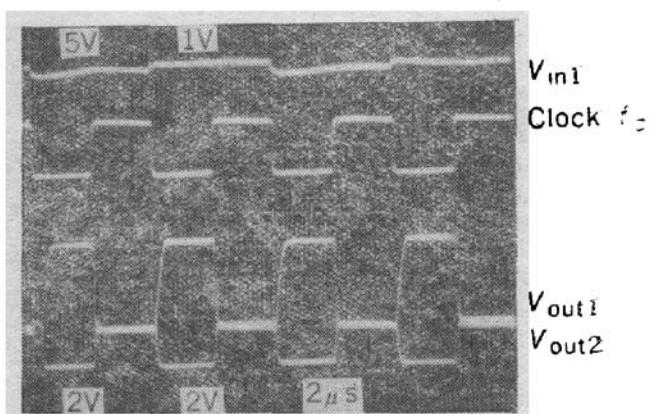


图 8 Bi-2-3 型波形图
 $f_c = 200kHz$, 5V/Div, 2μs/Div;
 $V_{in1} = 2.475 - 2.525V$, 100kHz, 1V/Div,
 $V_{in2} = 2.5V$; V_{out1} : 2V/Div

知其原因是 Bi-2-4 比较器的 Q1, Q2 双极管的发射极面积 $S_e = 20 \times 20 \mu\text{m}^2$, 而其它型号双极管面积 $S_e = 10 \times 10 \mu\text{m}^2$. 但根据理论分析发射极面积大将降低管子的截止频率, 从而影响电路的频率响应特性.

表 3 结果表明当把 M3, M4, M5, M6 的尺寸减小时, 静态功耗明显减小, Bi-2-2 $W_s < \text{Bi-2-1 } W_s < \text{Bi-2-3 } W_s$. 这与上述模拟分析相一致.

测量了 Bi-2-3 型比较器的采样时钟最高频率 f_{cmax} 与负载电容 C_L 的关系, 如图 7 所示. 图中“.”为实测数据, “+”为模拟计算数据. 模拟和实测结果趋势是一致的, 值也相近. 模拟值比实测值略好, 这符合一般规律, 说明模拟结果与实测结果有较好的一致性.

利用 9200/48-1 LSI TEST SYSTEM 及 TEKTRONIX 7904 型四踪示波器测得封装后的 Bi-2-3 型比较器的输出波形图, 如图 8 所示. 测试所带负载为 $63 \mu\text{F}$.

五、结 论

采用双埋层、双阱、外延 BiCMOS 工艺制造成功两种结构的 BiCMOS 比较器宏单元. 它们的性能指标均达到设计要求. 静态功耗小于 5mW , 灵敏度优于 5mV . 模拟得到当负载电容 $C_L = 5 \mu\text{F}$ 时其最高采样时钟频率可达 60MHz , 满足 10MHz 的设计要求. 在大电容负载下实测的 f_{cmax} 与 C_L 关系与模拟结果趋势一致, 数值相近.

结果说明两种结构的 BiCMOS 比较器设计都是可行的. 其性能很大程度上还取决于工艺制造的好坏.

同结构, 同型号的 BiCMOS 比较器和全 CMOS 比较器比较, 前者性能优于后者, 充分显示了 BiCMOS 高性能的优越性.

参 考 文 献

- [1] Akihiko Morino, "High-Speed A/D Converters", IEEE International Solid-State Circuits Conference, Session IX, p. 93, 1987.
- [2] Yasuhiro Sugimoto and Satoshi Mizoguchi, "An experimental Bi-CMOS Video 10 bit ADC", Symposium of VLSI Circuits XI-7, p. 129, 1989.
- [3] CSEM, "User's Guide IDAC", 1989.
- [4] Takahide Ikeda et al., "High-Speed BiCMOS Technology with a Buried Twin Well Structure", IEEE Tran. on Electron Devices, Vol. ED-34, p. 1304, June 1987.

BiCMOS Comparator Macrocell

Yang Zhaomin, Wu Liji and Xu Jiasheng

(Institute of Microelectronics, Tsinghua University, Beijing, 100084)

Abstract

Design and manufacture of two types of structure of BiCMOS comparator macrocell have been described. All five kinds of comparators have met the design goal: static power is less than 5 mW, sensitivity is better than 5mV, maximum simulated sample clock frequency is 60 MHz (with load capacitance $C_L=5\text{pF}$). Compared with similar type of CMOS comparator, BiCMOS structure has fully demonstrated its advantage.

EEACC: 2570, 2550, I265H