

# 短沟道薄硅膜 CMOS/SIMOX 电路的研究

陈南翔 石涌泉\* 王忠烈 黄 敝\*

(北京师范大学低能核物理研究所,“陕西微电子学研究所”)

1989 年 3 月 24 日收到

通过大剂量氧离子注入 ( $150\text{keV}$ ,  $2 \times 10^{18}\text{O}^+/\text{cm}^2$ ) 及高温退火 ( $1100^\circ\text{C}$ , 8h) 便可形成质量较好的 SIMOX 结构。本文报道了制备在硅膜厚度为  $160\text{ nm}$  的 SIMOX 结构上的短沟道 CMOS/SIMOX 电路特性。实验结果表明：薄硅膜器件有抑制短沟道效应(如阈值电压下降)、改善电路的速度性能等优点，因而薄硅膜 SIMOX 技术更适合亚微米 CMOS IC 的发展。

**主题词** 薄硅膜, 亚阈区特性, 短沟道效应, 氧注入隔离

## 一、前言

SOI (Silicon-on-Insulator) 技术具有发展高密度、低功耗、高速 VLSI 以及三维 IC 的潜在优势，尤其是在抑制 CMOS 电路的闩锁效应以及抑制亚微米 VLSI 的小尺寸效应方面更具有独到之处。在 80 年代初期，国际上就开展了对 SOI 技术的广泛研究，并已发展了数据 SOI 技术<sup>[1-3]</sup>。

SIMOX (Separation by Implanted Oxygen) 是最具有发展前途的 SOI 技术之一<sup>[4]</sup>。它具有硅单晶质量高、与体硅 CMOS 器件工艺相兼容等优点。利用 SIMOX 技术已研制出了  $16\text{k SRAM}$ <sup>[5]</sup> 及微处理器<sup>[6]</sup>。

在 SIMOX-MOSFET 的器件及电路的制备方面，目前广为采用的是将 MOSFET 制作在带有附加硅外延层的 SIMOX 结构上<sup>[7-8]</sup>。在本文的工作中，省去了 SIMOX 结构上的硅外延生长，将 CMOS 器件及电路直接制作在退火后形成的 SIMOX 结构的顶部剩余硅单晶层上。本文报道了薄硅膜 ( $\leq 160\text{ nm}$ )、短沟道 CMOS 电路的制备工艺及特性，并对薄硅膜 CMOS 电路的优点及发展前景进行了讨论。

## 二、工艺方法

选用 P 型  $\langle 100 \rangle$ 、电阻率为  $20-30\text{ }\Omega\cdot\text{cm}$  的 CZ 硅单晶作为基质材料。氧注入能量为  $150\text{ keV}$ ，注入剂量为  $2 \times 10^{18}\text{ O}^+/\text{cm}^2$ 。注入期间的基片温度为  $500^\circ\text{C}$ 。在退火之前，采用 CVD 方法在硅表面上低温淀积  $500\text{ nm}$  厚的  $\text{SiO}_2$  层作为退火期间的硅表面保护。此后在温度为  $1100^\circ\text{C}$  的氮气氛中退火 8 小时。

在器件及电路制备中，用反应离子刻蚀方法刻出硅单晶岛，随后的工艺流程为标准的

全离子注入硅栅自对准 CMOS 工艺<sup>[9]</sup>。栅氧化层厚度为 40 nm。版图上设计了不同沟道宽长比的两种沟道 MOSFETs、CMOS 反相器、CMOS<sub>19</sub> 级环形振荡器。沟道长度的设计值分别为 1 μm、2 μm、3 μm。为了研究边缘漏电对 CMOS/SIMOX 电路性能的影响,设计了普通条形栅、环形栅等两种栅结构。为了考察“Kink”效应的影响,还设计了硅膜浮空及硅膜与源极相接两种 MOSFET 结构。

### 三、实验结果与分析

#### 1. SIMOX 结构特性

图 1 为氧注入及退火后的 SIMOX 结构的剖面透射电镜照片\*。从图中可见:顶部硅膜厚度为 160 nm, SiO<sub>2</sub> 埋层厚度为 160 nm。在 SiO<sub>2</sub> 埋层与硅体之间存在着一个高密度缺陷(主要是氧沉淀)过渡区,其宽度约为 240 nm。此外,根据自动扩展电阻仪(ASR)的测量结果可知:顶部硅膜由于氧杂质的电施主作用而呈 N 型导电类型,并且反型后的载流子浓度  $\leq 10^{15}/\text{cm}^3$ 。

#### 2. N 沟及 P 沟 MOSFET 特性

图 2(a) (b) 给出了 1 μm 沟道长度的 N 沟及 P 沟晶体管的直流输出特性\*。经测试,源-漏间的击穿电压均达 10 伏以上, N 管及 P 管的阈值电压分别为 1.1 V 及 -1.0 V。从图 2 中可以看到:在  $I_D \sim V_{DS}$  曲线上的饱和区中出现了“Kink”效应。在 MOSFETs 的制备工艺中,由于沟道区掺杂浓度较高(N 沟 MOS 为  $1 \times 10^{16}/\text{cm}^3$ , P 沟 MOS 为  $2 \times 10^{18}/\text{cm}^3$ ),沟道区最大耗尽层厚度  $X_{dmax}$  小于硅膜厚度,因此在目前的薄硅膜器件中,“Kink”效应仍然是明显的。值得说明的是:在硅膜与源极相接的 MOSFET 中,

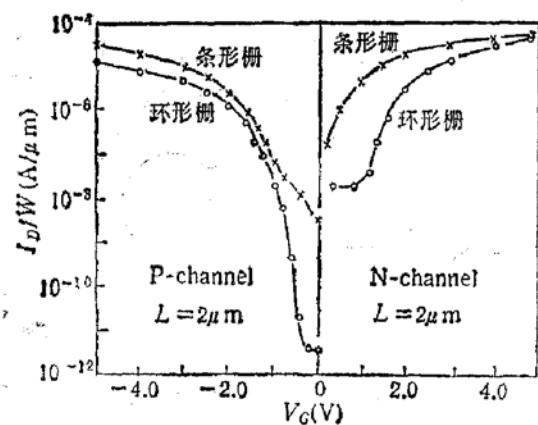


图 3 SIMOX-MOSFET 的亚阈区特性,  $I_D$  用  
沟道宽度归一化, 测量时的  $V_{DS}$  为 5V

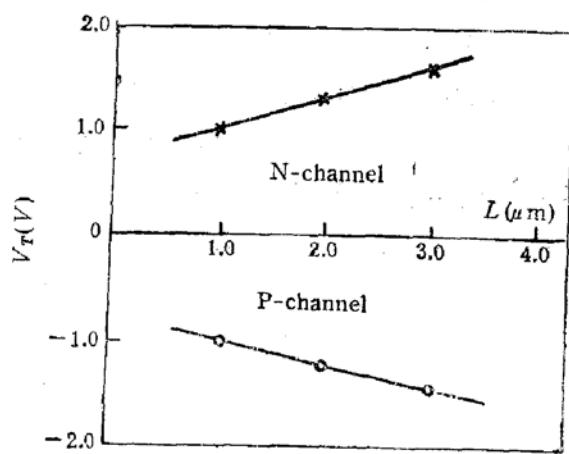


图 4 SIMOX-MOSFET 的阈值电压  
 $V_T$  与栅长  $L$  的关系曲线

\* 图 1, 图 2(a) (b) 见图版 I.

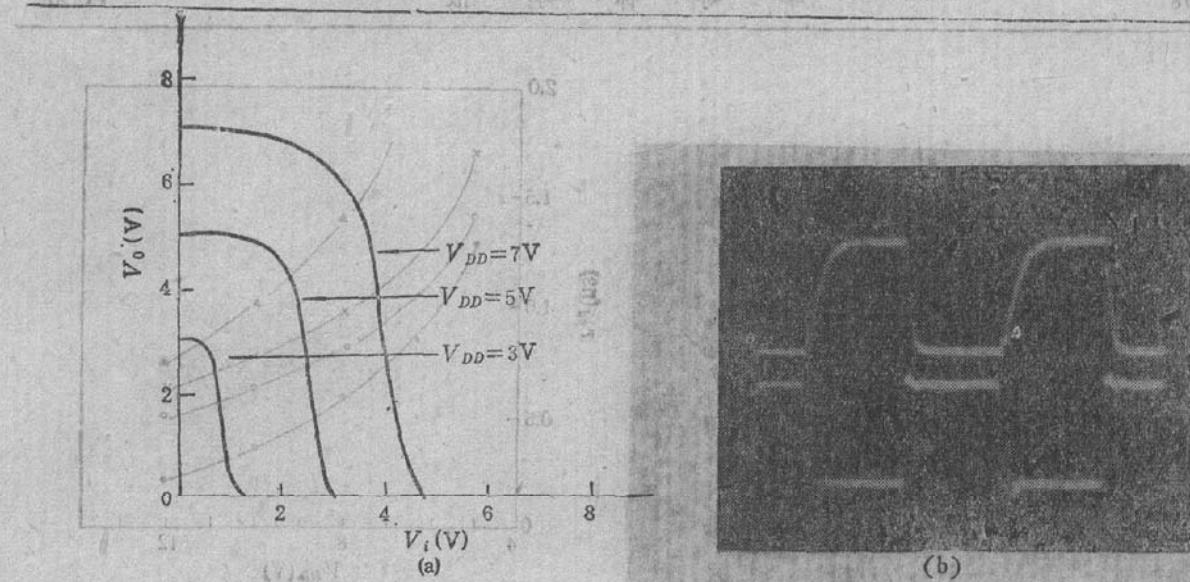


图5 CMOS/SIMOX 反相器的特性 ( $L = 2\mu m$ ). (a) 转移特性, (b) 瞬态特性(上: 输出波形, 下: 输入波形,  $X:10\text{ns/div}$ ,  $Y:2\text{v/div}$ )  $W/L = 10/2$  (N 沟) 及  $15/2$  (P 沟)  
“Kink” 效应已基本消除。

图3为 $2\mu m$  沟道长度、具有浮空硅膜的N沟及P沟 MOS管的亚阈区特性(测量时的 $V_{DS} = 5\text{V}$ , 并且 $I_D$ 用沟道宽度归一化). 从中可以看出: 与条形栅相比, 环形栅结构能明显改善MOS管的亚阈区斜率并减少MOS管的源-漏间的漏电流, 这充分地反映出 SIMOX-MOSFET 中, 沟道边缘寄生漏电机构对亚阈区特性以及漏泄特性的影响. 在 $5\text{V}$ 的漏结电压下, N沟及P沟 MOS管的截止漏电流分别为 $1 \times 10^{-7}\text{A}$ 及 $5 \times 10^{-10}\text{A}$ . N沟 MOS管的漏电流较大可能与背沟道漏电机构有关. 值得说明的是: 对于硅膜与源极相接的N沟 MOSFET, 其截止漏电流为 $1 \times 10^{-8}\text{A}$ , 这说明硅膜接地时可以降低N沟 MOSFET 的漏电流. 但是, 硅膜是否与源极相接, 对于P沟 MOSFET 特性无明显的影响.

图4为沟道长度与阈值电压的关系. 当栅长从 $3\mu m$  减小到 $1\mu m$  时, N管及P管阈值电压分别下降了 $0.6\text{V}$ 与 $0.4\text{V}$ , 与厚硅膜( $T_{Si} = 0.4\mu m$ ) SOI-MOSFET 的 $1.2\text{V}$ 及 $1.0\text{V}$ 相比<sup>[10]</sup>, 说明降低硅膜厚度有利于减小短沟道下阈值电压的漂移.

### 3. 反相器特性

图5(a)(b) 分别为 $2\mu m$  沟道长度 CMOS 反相器的转移特性及瞬态特性(N沟及P沟管均为条形栅结构). 在 $5\text{V}$ 的工作电压下, 反相器的高电平最大噪声容限 $V_{NHM}$ 与低电平最大噪声容限 $V_{NLH}$ 均为 $2.5\text{V}$ . 同时, 反相器的上升及下降延迟时间分别为 $6\text{ns}$ 及 $2\text{ns}$ .

### 4. 19 级 CMOS 环形振荡器特性

CMOS 19 级环形振荡器的平面结构如图6所示. 图中所示环形振荡器中 N 管及 P



图6 19级 CMOS/SIMOX 环形振荡器的平面结构

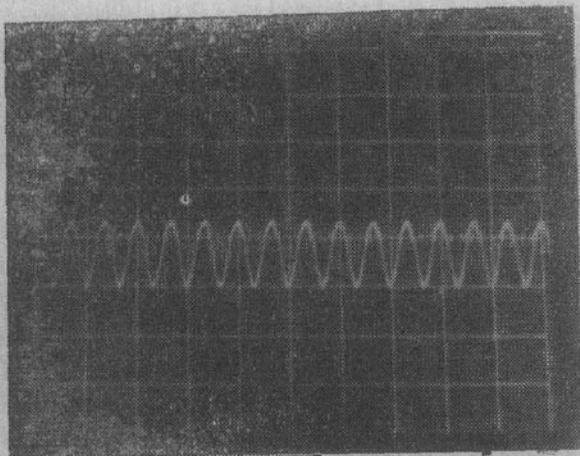


图7 沟道长度为 $1\mu\text{m}$ 、具有环形栅及硅膜浮空结构的19级环形振荡器的输出波形。 $(V_{DD}=10\text{V}, X:20\text{ns}/\text{div}$   
 $Y:1\text{v}/\text{div})$

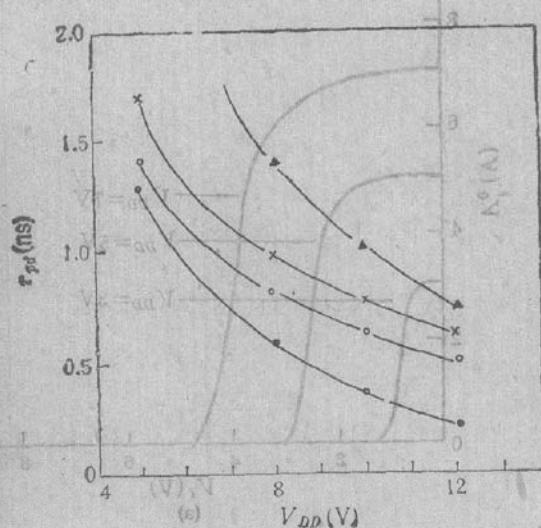


图8 不同器件结构、不同沟道宽长比的环形振荡器的平均门延迟时间  $\tau_{PD}$  与电源电压  $V_{DD}$  的关系：  
▲ 10/1, 15/1, 条形栅, SIMOX, (G) ○ 10/1, 15/1,  
条形栅 SIMOX, (F) ● 50/1, 75/1, 环形栅, SIMOX,  
× 75/1, 75/1, 环形栅 SOS, (F) F 代表硅膜浮  
空, G 代表硅膜接源极

管的宽长比分别为 50/1 及 75/1, 并采用了环形栅、硅膜浮空等结构。该振荡器的输出驱动级中的 N 管及 P 管具有 100/4 及 120/4 的沟道宽长比。在 10 伏的工作电压下, 其平均门延迟时间  $\tau_{PD}$  为 320 ps (环形振荡器的输出波形如图 7 所示)。不同宽长比、不同栅结构的 CMOS 19 级环形振荡器的平均门延迟时间  $\tau_{PD}$  与电源电压  $V_{DD}$  的关系如图 8 中所示, 为了便于比较, 也将同批次制做、具有相同结构尺寸的 SOS-CMOS 环形振荡器的测试结果绘于图 8 之中。从图中可见: (1) 在相同的条件下, SIMOX-CMOS 环形振荡器具有优于 SOS-CMOS 环形振荡器的速度性能。以 10 伏电源电压下的平均门延迟时间为例: CMOS/SIMOX 环形振荡器的速度比 CMOS/SOS 的提高了约 50%。(2) 在相同的栅结构及沟道宽长比的条件下, 硅膜浮空的 CMOS/SIMOX 环形振荡器具有优于硅膜与源极相接 CMOS/SIMOX 环形振荡器的速度性能。这是由于硅膜的引出增大了栅源之间的寄生电容所致。(3) 环形栅结构的环形振荡器具有最短的门传输延迟时间。这一方面是由于宽长比增加使得驱动电流增大的缘故, 另一方面也是由于环形栅结构降低了边缘寄生漏电的缘故。表 1 中列出了在 10 伏电源电压下, 各种 SOI-MOSFET 结构的平均门延迟时间  $\tau_{PD}$ , 从中可以清楚地反映出上述关系。

表1 不同器件结构的  $\tau_{PD}$  值 ( $V_{DD}=10\text{V}$ )

	SIMOX-CMOS 环形振荡器	SOS-CMOS 环形振荡器
环形栅 (50/1, 75/1, F)	条形栅 (10/1, 15/1, F)	条形栅 (10/1, 15/1, G)
$\tau_{PD}$	0.32ns	0.66 ns
		1.05ns
		0.79ns

注: F 代表硅膜浮空, G 代表硅膜与源极相接。

#### 四、讨论及结论

当硅膜较薄时,由于源与漏结电容的减小,有利于提高电路的速度。同时,由于硅膜减薄,使源、漏势垒区空间电荷  $Q_s$ 、 $Q_d$  减少,因此,在 SOI-MOSFET 中,由于硅膜减薄使得  $Q_s$  和  $Q_d$  对栅控电荷的分享能力下降,导致了  $v_T$  漂移的短沟道效应随着硅膜减薄而减弱。

在 SOI 结构上制备出的器件,其漏电流一般均大于体硅器件。这一方面是由于硅单晶的质量问题,但主要的是由于 SOI-CMOS 器件中的沟道边缘寄生漏电机构及背沟道漏电机构所造成的。在实验中,环形栅结构及条形栅结构之间 MOS 管的截止漏电流的变化就充分地表明了沟道边缘寄生漏电的影响。同时,硅膜是否与源极相接对 N 沟 MOS 管的影响反映出了背沟道漏电的影响。分析表明:带正电的背沟道界面荷使 N 管背沟道漏电导增大,N 管中漏结区碰撞电离产生的空穴与背界面电荷同电性,有增强背沟道漏电导的作用。当硅膜接地(与源极相接)时,抑制了空穴对背沟道漏电导的作用。故此当硅膜接地时可降低 N 管的截止流电流。

在目前制备的器件中,由于沟道区最大耗尽层厚度小于硅膜厚度,因此器件的沟道区仍属部分耗尽状态。那种全耗尽器件所具有的无“Kink”效应、电导增强效应以及对小尺寸效应的抑制等优点在目前的薄层器件中并没有得到充分的体现。

目前的器件中还存在着 N 沟管漏电流较大的问题,这可能是由于背沟道漏电机构所造成的。背沟道漏电的形成与硅膜/ $\text{SiO}_2$  埋层间的缺陷过渡区有很大关系,而该缺陷过渡区的存在与氧注入条件及退火条件有关。值得说明的是:在我们目前所选用的 SIMOX 结构中,还存在着顶部硅膜结晶质量不十分理想、 $\text{Si}/\text{SiO}_2$  界面缺陷过渡区严重等问题<sup>[11]</sup>。这些不足均与退火条件有关,只所以选择目前的退火条件,是出于退火条件与实际器件工艺相兼容的考虑。随着退火条件的改进<sup>[12]</sup>,可以消除  $\text{Si}/\text{SiO}_2$  界面缺陷过渡区并提高顶部硅膜的单晶质量,使得制备在 SIMOX 结构上的器件性能得到进一步地改善。

我们省去了常规的外延生长工序,成功地在薄硅膜( $\leq 160\text{nm}$ ) SIMOX 结构上直接制备出了短沟道 CMOS 器件及电路,并且得到了较为满意的器件及电路特性。实验结果表明:薄硅膜器件具有提高器件的工作速度、提高源漏间的击穿电压、减少小尺寸效应等优点。对于器件中存在的边缘寄生漏电、背沟道漏电,可以通过采用环形栅结构、采用背沟道注入以及改进 SIMOX 结构的制备条件等措施来加以抑制或消除。我们认为:随着 SIMOX 结构质量的提高,在无外延生长层的 SIMOX 结构上直接制备高性能器件是可行的。同时,由于 SIMOX 结构顶部硅膜厚度的可控性(通过改变氧注入能量及剂量等),与其它的 SOI 技术相比,在薄硅膜 CMOS/SOI 器件及电路的研究中, SIMOX 技术具有更大的潜在发展优势。

作者衷心地感谢北师大低能所陈如意高级工程师、陕西微电子学研究所六室工艺线上的同志们对本项工作所给予的支持及帮助。

## 参 考 文 献

- [1] H. W. Lam, IEDM Tech. Digest., 348, 1983.
- [2] K. Izumi, *J. Appl. Phys.*, 51, Suppl 19—1, 151 (1980).
- [3] M. Nakano, IEDM Tech. Digest., 792, 1984.
- [4] K. Izumi, IEDM Tech. Digest., 672, 1985.
- [5] C. E. Chen, Mat. Res. Soc. Symp. Proc., 107, 1988.
- [6] A. J. Auberton-Hervé, Proc. European SOI Workshop, France, 1988.
- [7] J. P. Colinge, *IEEE Elect. Dev. Lett.*, EDL-7(5), 279(1986).
- [8] B. Y. Mao, *IEEE Trans. Nucl. Sci.*, NS-33(6), 1702 (1986).
- [9] 石涌泉, 孙纪云, 张秀珍, 第五届三束会议论文集, 4—7, 1988.
- [10] 路泉, 陕西微电子学研究所 85 博士研究生论文, 1989.
- [11] 陈南翔, 王忠烈, 黄敞, “SIMOX 结构中 Si-SiO<sub>2</sub> 缺陷过渡区的研究”, 待发表.
- [12] 陈南翔, 王忠烈, 黄敞, 退火温度对 SIMOX 结构的影响, 待发表.

## Study on Short-channel Thin Film CMOS/SIMOX

Chen Nanxiang, Shi Yongquan\*, Wang Zhonglie and Huang Chang\*

*(Inst. of Low Energy Nuclear Physics, Beijing Normal Univ., \*Shaanxi Micro Electronics Institute)*

### Abstract

SIMOX structures were formed by implanting large dose of O<sup>+</sup> ions (150keV,  $2 \times 10^{16}$ O<sup>+</sup>/cm<sup>2</sup>) followed by a post-implantation annealing at 1100°C for 8hrs. The characteristics of the circuits fabricated in thin film of silicon (160nm) is reported. Experimental results show that the thin film devices have the advantage of reducing short-channel effects (e. g. decreased V<sub>T</sub>) and improving the performance of speed. Therefore, thin film SIMOX technology could be suitable to developing sub-micrometer CMOSIC.

**Key words** Thin film si, characteristics of sub-threshold, short-channel effect, SIMOX