

# CEXTOR——一个适合 MOS 集成 电路工艺的电路提取程序

宋 华 唐 瑞 山 章 开 和 凌 燕 亭

(复旦大学电子工程系, 上海)

1987年8月26日收到

本文描述了一个用于 MOS 集成电路工艺的电路提取程序 CEXTOR。CEXTOR 将集成电路的版图自动地转换为适合作精确电路模拟的电路描述。该程序能进行内部连接电阻, 内部节点电容和晶体管尺寸的计算。本文提出的由矩形局部替代任意多边形的技术和连接与电阻同时提取的方法都改善了电路提取的速度。目前, CEXTOR 已由 FORTRAN-77 编制程序, 并在 PCS, QU-68000 计算机上实现。

**主题词:** 集成电路版图分析, 电路提取, 器件识别, 拓扑掩模检查

## 一、引言

集成电路的版图设计是连接电路设计和工艺设计的中间环节, 版图设计的正确与否直接影响到集成电路芯片制造的成败。因此, 在昂贵而费时的集成电路制造前, 保证电路与版图设计的正确无疑是必要的。随着集成电路规模和密度的上升, 计算机除用来检查极易违反的几何设计规则之外<sup>[1,2]</sup>, 还必须对器件或单元之间的电连接, 器件结构设计以及寄生效应等方面作出验证。

众所周知, 计算机辅助电路分析技术可使电路在实际制造前通过模拟而预知其行为, 从而可即时调整电路结构, 器件参数等以使电路符合设计的要求。然而, 计算机电路分析结果的精确性除了与分析技术本身密切相关之外, 它与所给出的电路版图信息等有很大的关系。为了使电路分析的结果代表存在于版图中实际电路的行为, 这些信息必须直接从版图中提取。CEXTOR(Circuit EX tracTOR) 就是一个为分析实际电路中的器件结

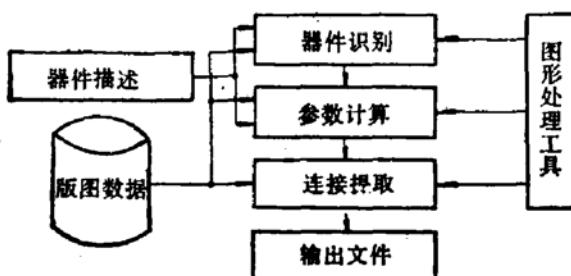


图 1 CEXTOR 的模块组成

构,器件连接情况和主要的寄生效应而开发的一个电路提取程序。

CEXTOR 主要由四个部分组成,即图形操作工具,器件识别,连接提取和版图参数计算。CEXTOR 接受的输入文件是一系列分层存放在硬盘上的版图数据文件和一个指示芯片管脚的坐标文件。它的输出是一个 SPICE 输入文件格式的电路描述文件。CEXTOR 的模块组成及其关系描述如图 1 所示。以下各节将分别详细地介绍各模块的功能。

## 二、图形操作

版图是由若干层叠在一起的掩膜板组成的。在每一层中,包含了大量的图形。这些图形主要是直角多边形(包括矩形)以及少量的任意多边形,圆等其它图形。图形与图形之间的拓扑关系有交叠、包含、分离、外部接触和内部接触五种情况,分别如图 2 所示。

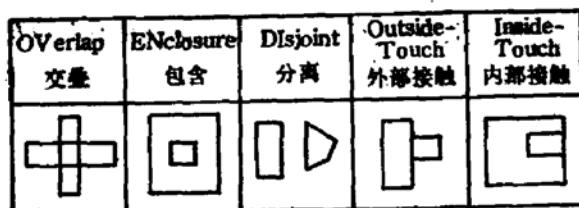


图 2 图形的五种拓扑关系

对于非直角多边形,本文采用边界矩形来替代。只有当其它图形与边界矩形的最短距离小于一定范围时,由边界矩形替代的当前图形与周围图形的拓扑关系才被仔细地检查。此时,沿当前图形的边界与周围图形两两比较来确定拓扑关系的方法是最有效的。为了减少由于引入边界矩形而产生的虚设空间以及不要过多地增加图形的数据量,本文提出了由矩形局部地替代任意多边形的技术。如图 3(b) 所示,这种方法把任意多边形拆成相邻的直角多边形和局部的边界矩形来表示,因此,它较图 3(c), (d) 所示的方法有较小的待仔细处理的实体空间;较(d)来说,它的虚设空间小得多。

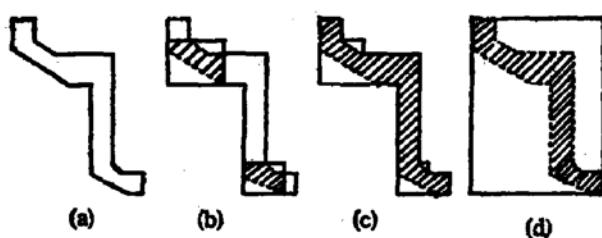


图 3 非直角多边形的转换

从图形角度讲,利用计算机技术分析版图,就是要快速地区分图形的五种拓扑关系。也就是要快速地解决图形的相交。由于图形在版图中是局部的,检查它与其它图形的关系只需要在其邻域中进行。由此提出了分区(Bin)搜索,光栅扫描(Raster-scan)<sup>[3,4]</sup>,角勾链(Corner stitching)数据结构<sup>[5]</sup>等等许多方法。而被公认为目前最好的方法乃是线扫描(Line-scan)算法<sup>[6,7,8]</sup>。

CEXTOR 采用改进的线扫描算法<sup>[14]</sup>去检查平面上直角多边形之间的拓扑关系。所

有图形均定义在边界走向的左边,直角多边形的向下边对应矩形的左边,向上边对应矩形的右边。当扫描线从左到右通过版图平面时,比较只在与扫描线相交的图形集合 WORK 中进行。当扫描线遇到直角多边形的向下边时,把它插入集合 WORK 中,并与已在 WORK 中的相邻的向下边合并。而扫描线遇到图形的向上边时,删除集合 WORK 中它在对应的向下边上的投影区间。在集合 WORK 中,如果相交的图形对涉及到边界矩形,应该进一步仔细地检查边界矩形所代表的实体图形与其它图形的拓扑关系。对于相交的图形,我们建立一个对应的交点矩阵,由交点追踪方法<sup>[9]</sup>完成图形的布尔‘交’、‘或’和‘差’等等,如图 4 所示。

		布尔操 作	交	或	差	差
		A-AND-B	A-OR-B	A-NOT-B	B-NOT-A	
A	■					
	■					

图 4 图形的布尔操作

### 三、器件识别

器件识别是整个提取程序的关键。由于 MOS 集成电路的器件可以由各种各样的方式来构成和各种各样的工艺来实现,因此识别器件并不是想象的那样简单。针对这种情况,我们采用了图形拓扑关系来描述器件的版图结构,并由器件描述文件来指导器件的识别。即先根据器件的版图构成,把各种各样的器件按其不同的拓扑关系区别开来,再进行器件的区域提取。这种方法在处理版图中同时含有多种器件时是极其方便的,比通常进行多次布尔操作的方法<sup>[10][11]</sup>要省去许多操作。下面以硅栅 CMOS 标准工艺为例来说明器件结构的图形描述方式。

硅栅 CMOS 标准工艺:

**M1:** P 阵区图形集合

**M2:** 场区图形集合

**M3:** P<sup>+</sup> 扩散区图形集合

**M4:** 多晶硅图形集合

**M5:** 引线孔图形集合

**M6:** 金属线图形集合

还有另外一些掩模层存在,但它们不影响电路的拓扑连接及器件构成。图 5 所示为 CMOS 集成电路中的器件及其图形拓扑关系描述。电路中电阻器件的识别在下一节讨论。

定义 **A**、**B** 为图形集合,操作 **A ov. B** 的结果为 **A<sub>ov</sub>** 和 **B<sub>ov</sub>** 以及一个建立在 **A<sub>ov</sub>** 和 **B<sub>ov</sub>** 之间的图形交叠关系。其中 **A<sub>ov</sub>** 和 **B<sub>ov</sub>** 分别是 **A** 和 **B** 的子集。对于操作 EN, DI, OT 和 IT 的定义完全类似。

图 5 中 **MP** 和 **MN** 分别为如下的布尔交:

**MP = M2 AND. M3, M2 即有源区图形集合,**

名称	版图	剖面图	拓扑表示	符号
P沟 MOS管			MP-OV-M4	
N沟 MOS管			MN-OV-M4	
二极管 (A)			M1-EN-MN	
二极管 (B)			MP*	

图 5 器件的拓扑表示

**MN = M2 AND M3, M3** 即  $N^+$  扩散区图形集合。

如果考虑 MOS 晶体管漏、源区对衬底的寄生二极管，则：

$MP^* = MP \cup NOT(M4)$ ,  $MN^* = MN \cup NOT(M4)$ . 而如果只考虑一般二极管，则：  
 $MP^* = (MP - MP_{area})$ ,  $MN^* = (MN - MN_{area})$ , 如图 5 所示。

#### 四、器件连接提取

连接提取是把器件识别得到的各个节点进行合并，得到一个完整的器件连接表以形成电路模拟程序所需要的网络连接描述。这步工作直接关系到检查版图中实际电路的连接是否正确。

在 CEXTOR 中，本文提出的连接提取方法将版图中电阻的识别合并在一起。认为金属连线是方块电阻等于零的电阻条，这种合并使电阻的识别和节点合并都极为方便，并且节省了提取时间。

版图中任何一个区域(图形)包含两个或两个以上的引线孔，这些引线孔之间就有电阻存在，且电阻值为  $R = \rho \frac{L}{W}$ ，其中  $\rho$  为方块电阻， $L$  为引线孔之间沿外包图形方向上的距离， $W$  为引线孔之间外包图形的宽度。当然，对于这个图形代表的是方块电阻可以忽略的掩模板(如金属线，多晶硅等)，其间电阻就为零。此时，将这些引线孔合并成相同名称的引线孔。

版图中任何两个区域是否连通，只要视其所含引线孔是否同名来决定。对于电阻来说，它包含了两个不同名的引线孔。以下说明连接提取的过程。

设  $M = M6 \cup M4 \cup M_{area}$  其中  $M_{area}$  为提取器件的漏、源区，衬底区，电容和二极管的两个极区等等。

步骤 1:  $M, EN, M5$

凡图形  $m (m \in M)$ ，包含了两个以上的引线孔时，在这些引线孔之间就形成了电阻

$R = \rho \frac{L}{W}$  (这步也可认为是电阻的识别)。如果  $\rho = 0$ , 将这些引线孔作同名处理。

步骤 2: 对集合 **M** 进行检查, 凡图形  $m_i$  和  $m_j$  所含的引线孔是同名的,  $m_i$  和  $m_j$  亦作同名处理。

经过如此处理之后, 我们已经得到了一个完整的电路节点描述。

## 五、参数计算

在 SPICE 2G 中, MOS 晶体管模型的等效电路如图 6 所示, 其中有与漏、源面积和周长有关的 pn 结势垒电容  $C_{bs}$  和  $C_{bd}$ , 与栅区长、宽有关的栅极电容  $C_{gb}$ , 栅源交叠电容  $C_{gs}$  和栅漏交叠电容  $C_{gd}$  以及电阻  $R_s$  和  $R_d$  等<sup>[2]</sup>。

在器件识别之后, 为了计算器件的版图参数, 必须提取器件的各个区域。对于 MOS 晶体管来说, 必须提取栅、漏和源区。

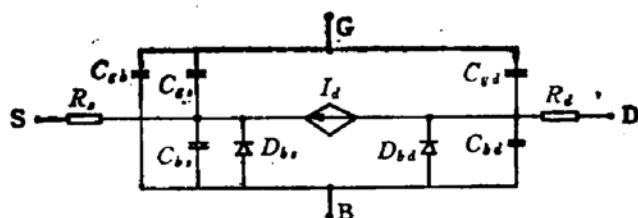


图 6 MOS 晶体管等效电路

$$(GATE)_p = MP_{ovm4} \text{ AND } M4_{ovmp},$$

$$(GATE)_n = MN_{ovm4} \text{ AND } M4_{ovmn},$$

$$(DRAIN/SOURCE)_p = MP_{ovm4} \text{ NOT } M4_{ovmp},$$

$$(DRAIN/SOURCE)_n = MN_{ovm4} \text{ NOT } M4_{ovmn}.$$

对于任意的  $N$  边形  $\{x_1, y_1, \dots, x_n, y_n\}$ , 它的面积和周长的计算公式分别为:

$$\text{面积: } A = \frac{1}{2} \sum_{i=1}^n \begin{vmatrix} x_i & y_i \\ x_{i+1} & y_{i+1} \end{vmatrix}, \text{ 其中, } x_{n+1} = x_1, y_{n+1} = y_1,$$

$$\text{周长: } P = \sum_{i=1}^{n-1} (|y_{i+1} - y_{i-1}| + |x_i - x_{i-1}|), \text{ 其中, } y_0 = y_n.$$

条状多边形的长  $L$  和宽  $W$  满足:

$$A = W \cdot L,$$

$$P = 2(L + W).$$

在集成系统中, 电路的节点电容不仅包括连到节点的栅区电容, 而且还包括连到节点的信号路径对地电容和其它寄生电容。一般来说, 单位面积的栅电容要比信号路径电容大一个数量级, 但信号路径的面积却比栅区面积大得多。所以, 电路时间延迟的计算必须计入信号路径的对地电容<sup>[23]</sup>。在最简单的情况下, 我们可以把信号路径对地电容视为一个平板电容器, 节点电容随节点信号路径面积的增加而增加。

在提取得到的 CMOS 数字电路中, 晶体管可以分为上拉管 (pull-up), 下拉管 (pull-down) 和传输管 (pass)。CMOS 传输管是由一对互补的 P 沟和 N 沟 MOS 管组成, 如

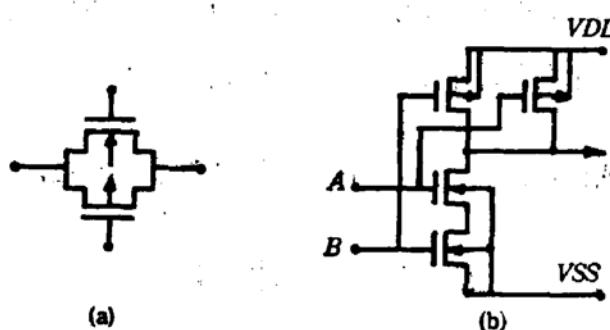


图 7 CMOS 传输管和门电路

图 7(a) 所示。这类“对管”很容易先从提取电路的连接表中挑选出来。除此之外，电路中与 P 沟 MOS 管和 N 沟 MOS 管相关联的节点将认作门电路的输出端，即判为信号传输路径对应的节点，并建立对应的节点集合 PATH。

计算传输路径节点对应版图中的连线面积必须依赖连接提取中的节点合并。在节点合并之后，编号为  $n (n \in PATH)$  的节点可能由几个涉及不同层的掩模图形所组成。在图形集合 **M** 中，累加在节点合并后编号为  $n$  的图形的面积，便可得到要求计算的信号路径面积。该面积乘以单位面积的连线电容 CSP（由用户设定）就得到了各信号路径的对地电容的近似值。一个包含信号路径电容的电路描述文件嵌入电路分析程序 SPICE2G，可望对它的时间延迟作出更精确的评估。

## 六、结论与讨论

CEXTOR 已用 FORTRAN-77 语言实现在 PCS, QU-68000 超级微型计算机上。迄今为止，程序已对十几个实际版图进行了提取和分析。表 1 给出了一部分已运行过的实际例子。

表 1 提取程序已运行过的一些实例

电 路 名 称	器 件 数 目	图 形 边 数	提 取 时 间(分)
E/D NMOS 运放	36	1126	
CC74HC/HCT20	218	5818	3.94
CMOS BCD	160	13942	5.25
CC 40103	926	55394	51.77
地址译码器	1127	69352	58.78

版图在通过电路提取后得到了各种器件的实际版图尺寸和坐标位置，电路的节点连接表和芯片管脚的编号指示，如表 2 所示。对于从版图中提取得到的实际电路，先作一些电规则检查对于查处明显的连接错误是有益的。一旦发现错误，可根据器件的版图位置去确诊并给予修正。版图在通过电规则检查以后，将表 2 所示的文件加上器件模型参数和输入信号，输出要求等即可用 SPICE 2G.5 进行模拟。由模拟结果来看电路的功能及其性能指标是否符合设计要求。

在程序 CEXTOR 中, 主要的运算是花费在掩模层与层之间图形的布尔逻辑操作和拓扑关系分类。因此, 程序的内存量主要是掩模层中图形数最多的两层数据量之和(一般来说, 也就是引线孔与金属层的数据量之和)。对于表 1 中所示 1127 个晶体管的地址译码器, 该电路在程序中所占的内存约为 230KBytes。这是一次处理(没有分割)时的内存量。程序的运算速度除与层间操作运算的速度有关之外, 还决定于层间操作数  $k$ , 这个  $k$  与具体电路的工艺有关。因此, 总的运算时间可近似为层间操作数  $k$  乘以单次层间操作的平均时间  $t$ 。CEXTOR 采用改进的快速线扫描算法, 使得  $t$  与平面上待处理的图形数  $N$  之间的关系为:  $N \sim N^{1.57}$ 。实验的结果也是符合这一关系的。

表 2. BCD 电路提取得到的部分结果

		*** LINK TABAL OF BCD - CIRCUIT ***
*		*
* VDD:	1	M1 25 27 26 1 MOD1 L = 6U W = 39U
* VSS:	2	+ AD = 1530P AS = 1368P PD = 192U PS = 210U
* INPUT1:	7	* GX = 1732 GY = 1400
* INPUT2:	8	M2 30 34 28 1 MOD1 L = 6U W = 39U
* INPUT3:	9	+ AU = 1530P AS = 1764P PD = 192U PS = 204U
* INPUT4:	10	* GX = 80 GY = 1424
*		M3 29 30 31 1 MOD1 L = 6U W = 39U
* OUTPUT1:	56	+ AD = 1764P AS = 1152P PD = 204U PS = 204U
* OUTPUT2:	57	* GX = 104 GY = 1424
* OUTPUT3:	60	M4 30 34 29 2 MOD2 L = 6U W = 20U
* OUTPUT4:	61	+ AD = 1413P AS = 1530P PD = 192U PS = 204U
* OUTPUT5:	64	* GX = 80 GY = 1355
* OUTPUT6:	66	M5 29 30 31 2 MOD2 L = 6U W = 20U
* OUTPUT7:	65	+ AD = 1530P AS = 1935P PD = 204U PS = 204U
* OUTPUT8:	72	* GX = 104 GY = 1355
* OUTPUT9:	73	M6 32 31 28 1 MOD1 L = 6U W = 39U
* OUTPUT10:	74	+ AD = 1314P AS = 1764P PD = 186U PS = 204U
		* GX = 152 GY = 1424

作者非常感谢在一起开发版图验证系统的黄云和杨海钢等同事; 感谢郑增珏、鲍慧君等老师提供了大量的版图数据。感谢赵文庆、张钦海等同志在开发系统过程中给予的大力帮助。

### 参 考 文 献

- [1] Baird, H. S., Journal of Design Automation & Fault-Tolerant Computer, 2, 179(1978).
- [2] Lindsay, B. W., and B. T. Preas, Proc. 13th DA Conference, 301(1976).
- [3] Baker, C. M., and C. Terman, Lambda (now VLSI DESIGN), Third Quarter, 22(1980).
- [4] Blank, T., M. Stefk, and W. van Cleemput, Proc. 18th DA Conference, 837(1981).
- [5] Oosterhout, J. K., et al., Proc. 21st DA Conference, 152(1984).
- [6] Shamos, M. I., and D. J. Hoey, Proc. 17th Annu. IEEE Symp. Foundation of Computer Science, 208 (1976).
- [7] Yin, M. T., VLSI DESIGN, July, 30, (1985).
- [8] Gating, R. H., and D. Wood, IEEE Trans. on Computers, C-33, 671(1984).

- [9] 宋华,复旦大学硕士研究生毕业论文,(1986).
- [10] Preas, B. T., B. W. Lindsay, and C. W. Gwyn, Proc. 13th DA. Conference, 309, (1976).
- [11] Bootehsaz, A., and R. A. Cottrell, Proc. 23rd DA. Conference, 425(1986).
- [12] 章开和,“通用电路分析程序 SPICE2 中的 MOS 场效应管模型”,复旦大学电子工程系, (1983).
- [13] Mead, C., and L. Conway, “Introduction to VLSI Systems”, ADDISON-WESLEY, (1980).
- [14] Nahar, S., and S. Sahni, Proc. 23rd DA. Conference, 411(1985).

## CEXTOR: A Circuit Extractor for MOS IC Technology

Song Hua, Tang Pushang, Zhang Keih and Ling Xieting

(Department of Electronics Engineering, Fudan University, Shanghai)

### Abstract

This paper describes CEXTOR, a circuit extraction program for MOS IC technology that automatically transforms an IC layout into a circuit representation suitable for accurate circuit simulation. The program is capable of computations of interconnection resistance, inter-nodal capacitance and transistor sizes. The technique of arbitrary polygon to be substituted locally with rectangles, and the method of interconnection and resistance to be extracted simultaneously are also presented. They all improve the speed of circuit extraction. Now, CEXTOR has been implemented in FORTRAN-77 on PCS, QU-68000 computer.

**KEY WORDS:** IC layout analysis, Circuit extraction, Devices recognition, Topological mask checking