

VLSI 中双层多晶硅结构的剖面研究

徐秋霞 冯淑敏 周锁京

(中国科学院微电子中心, 北京)

1987年9月4日收到

本文对 VLSI 中双层多晶硅结构的剖面及用于结构成形的干法腐蚀技术进行了研究, 获得了优化的剖面结构。研究分析表明, 多晶硅 I 的侧墙越倾斜, 则双层多晶硅结构越佳。改变刻蚀条件可以有效地调节横向对纵向的刻蚀速率比 δ , 满意地获得多晶硅 I 侧墙倾角 α 为 49° 左右; 多晶硅 II 采用二步刻蚀工艺。结果既消除了 $3\mu\text{m}$ 工艺中用各向异性的 RIE 刻蚀易出现的多晶硅 II 沿多晶硅 I 侧墙的残留造成的相邻字线短路现象, 又保证了线宽的精确控制, 对下层 SiO_2 只有轻微的侵蚀。为 VLSI 制造提供了适用的工艺结构设计和加工技术, 成功地研制出了 64K DRAM 合格样品。

主题词: 双层多晶硅结构剖面, 干法腐蚀, 倾斜侧墙, 二步刻蚀

一、前言

超大规模集成电路制造中, 尤其是 DRAM 的设计和制造, 普遍采用双层多晶硅栅工艺结构。第一层多晶硅(简称多晶硅 I)作存贮电容电极, 第二层多晶硅(简称多晶硅 II)作 MOS 管的栅电极。两层多晶硅之间用热生长 SiO_2 层绝缘。在 $\leq 3\mu\text{m}$ 工艺中, 双层多晶硅结构成形工艺需采用各向异性的 RIE 方法, 对这种加工过程若不进行严格设计安排会产生一些问题, 尤其是沿多晶硅 I 的侧墙可能会有多晶硅 II 的残留物, 导致相邻多晶硅 I 线条(即存贮器阵列的字线)短路失效。W. Beinvogl 等^[1,2]曾简要报道了多晶硅 II 的残留物问题, 但未见系统地分析论述。本文将对双层多晶硅结构的剖面形状控制及相应的干法刻蚀技术进行系统地分析研究, 探讨去除多晶硅 II 残留的优化工艺结构设计和结构成形技术, 并成功地应用于 64K DRAM 的研制。

二、不同工艺的双层多晶硅结构剖面

双层多晶硅的结构中出现多晶硅 II 的残留物是与结构成形的微加工方法、工艺流程和工艺控制条件及其要求密切相关。通常在 $5\mu\text{m}$ 的双层多晶硅工艺中, 800 \AA 的栅氧化层与两层多晶硅间用于绝缘的 3000 \AA 厚氧化层是通过差值氧化技术一步同时形成的, 多晶硅的刻蚀采用几乎各向同性的等离子方法, 因而很少观测到多晶硅 II 的残留物。在 $3\mu\text{m}$ 工艺中, 栅氧化层减薄到 $400-500\text{ \AA}$, 而两层多晶硅间的绝缘氧化层仍然为 3000 \AA , 采用典型的差值氧化方法一步同时形成厚度相差如此之大的两种高质量氧化层有一

定难度。一种改变的工艺是在多晶硅 I 上先热生长一层一定厚度的 SiO_2 ，接着用干法刻蚀完成 $\text{SiO}_2/\text{poly-Si}$ 双层材料的连续刻蚀，下一步是进行差值氧化以获得所要求的 SiO_2 厚度，随后用 LPCVD 生长多晶硅 II，并用各向异性的 RIE 刻蚀形成多晶硅栅图形结构。图 1^{*} 就是采用这种工艺形成的双层多晶硅结构剖面图。

由图可见，这种方法虽然成功地克服了不能用一步差值氧化同时完成厚度差为 7 倍左右的两种高质量氧化层的困难，但随着带来了多晶硅 II 残留物问题。这是因这种工艺很难刻蚀净陷落在 SiO_2 层下面紧贴多晶硅 I 侧墙的多晶硅 II，再则 $3\mu\text{m}$ 工艺中为精确控制线宽而对多晶硅 II 采用各向异性的 RIE 刻蚀，所以更容易造成多晶硅 II 的残留物。图 2 箭头所示位置即为实际电路中沿多晶硅 I 侧墙的多晶硅 II 的残留物。

紧贴多晶硅 I 侧墙的残留物的存在非常容易使相邻的多晶硅 II 线条（字线）间搭连，而引起相互漏电，以致短路，如图 3 所示。其后果是电路特性劣化甚至失效。

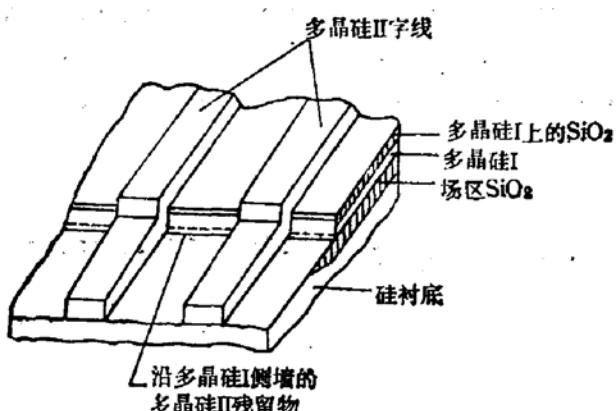


图 3 残留物引起相邻多晶硅 II (字线) 间短路

要消除上述多晶硅 II 的陷落现象，首先获得 $\text{SiO}_2/\text{poly-Si}$ 双层材料陡直侧墙才有可能。为此仔细研究了 $\text{SiO}_2/\text{poly-Si}$ 双层材料的各向异性刻蚀特性。实验表明，选择合适的刻蚀功率和气压，采用三步刻蚀方法，可以获得 $\text{SiO}_2/\text{poly-Si}$ 双层材料各向异性刻蚀。第一步以 RIE 模式刻蚀多晶硅 I 上面的 SiO_2 层；第二步是用氩离子溅射刻蚀 SiO_2 —多晶硅界面的过渡层；第三步是以 RIE 模式进行多晶硅的刻蚀。图 4 为实际得到的 $\text{SiO}_2/\text{poly-Si}$ 陡直边墙结构剖面的 SEM 照片。

在此基础上进行差值氧化后所得到的双层多晶硅剖面见图 5，与图 1 对比，可看出多晶硅 I 侧墙在氧化过程中因体积膨胀而略为外鼓，多晶硅 II 的陷落现象已被完全克服了。

从上述可知，采用多晶硅 I 垂直墙的结构，分二次氧化和三步刻蚀的工艺可以解决多晶硅 II 陷落和沿多晶硅 I 侧墙的残留问题，但需较长时间的过腐蚀，又引起线宽控制和下层 SiO_2 被侵蚀等矛盾，因此须探索更合适的工艺结构以满足需要。

三、双层多晶硅结构剖面形成的优化

这里提出一种多晶硅 I 侧墙为斜面的双层多晶硅结构。研究表明，相应在工艺方面

* 本文中图 1, 2, 4, 5, 7, 8 见图版 I, II, III.

作一些调整,可克服上述多晶硅 I 为垂直墙结构的各种矛盾,获得了满意的优化结果。

1. 多晶硅 I 侧墙倾角 α 的选取

因多晶硅 II 是用 LPCVD 方法沉积在成形的多晶硅 I 上面,故多晶硅 II 的 RIE 刻蚀效果与多晶硅 I 图形的侧墙倾角 α 有关。 α 角实际上是 RIE 刻蚀方向(垂直于水平方向)与 LPCVD 生长方向(图形的各个面的法向)间的夹角,对水平面上沉积的多晶硅 II 而言,此两个方向是一致的,故刻蚀效果最佳;而在侧面上,刻蚀效果取决于侧墙的倾角,也即上述两个方向间的夹角。显然此倾角 α 越小越有利。为定量地分析这个问题,图 6 给出了多晶硅 I 侧墙倾斜的双层多晶硅剖面结构示意图。

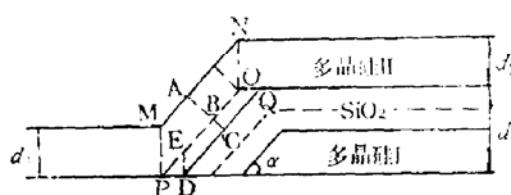


图 6 多晶硅 I 侧墙倾斜的双层多晶硅剖面结构示意图

图中 d_1 为多晶硅 II 厚度。

d 为多晶硅 I 经差值氧化后的总厚度。

α 为多晶硅 I 侧墙的倾斜角度。

LPCVD 生长多晶硅 II 时,生长速率是各向同性的,即在水平面上和斜面法向生长的多晶硅 II 为同样厚度 d_1 ,而在 RIE 模式中,腐蚀的方向是垂直于水平面的,故在上、下平面上的多晶硅 II 腐蚀净时,斜面上只在截面属于平行四边形 MNOP 范围内的多晶硅 II 才能被刻蚀掉,留下截面为 OPDQ 平行四边形范围内的多晶硅 II, OPDQ 截面高度 H 与 α 的关系为:

$$H = BC = AC - AB = d_1(1 - \cos\alpha) \quad (1)$$

从(1)式可见:

α 越小,则 H 越小,(α 角极值为 45°)。即残留物越薄,只需要少量的过腐蚀就可把残留物腐蚀净;

$\alpha = 90^\circ$ 角时, $H = d_1$ 。即多晶硅 I 侧墙为垂直时的情况,残留物最宽,去净残留物所需过腐蚀时间最长。

如仍用 RIE 模式要继续把残留物腐蚀净,则最深的纵向腐蚀深度 h 如下式所示:

$$h = DE = \frac{BC}{\cos\alpha} = \frac{H}{\cos\alpha} = d_1 \left(\frac{1}{\cos\alpha} - 1 \right)$$

$$\text{当 } \alpha \text{ 满足 } d_1 \left(\frac{1}{\cos\alpha} - 1 \right) \leq d \text{ 时}, \quad (2)$$

$$h = d \quad \text{当 } \alpha \text{ 满足 } d_1 \left(\frac{1}{\cos\alpha} - 1 \right) > d \text{ 时}. \quad (3)$$

从 $d_1 \left(\frac{1}{\cos\alpha} - 1 \right) = d$ 可求得 α 临界角为:

$$\alpha^* = \arccos\left(\frac{1}{1 + d/d_1}\right). \quad (4)$$

当 $\alpha \geq \alpha^*$ 时,

$$h = d$$

$$H = d_1(1 - \cos\alpha)$$

这表明当斜面倾角大于 α^* , 需腐蚀掉的残留物纵向深度与 $\alpha = 90^\circ$ 时一样, 都为多晶硅 I 的台阶高度 d ; 而残留物的厚度 $H = d_1(1 - \cos\alpha)$ 仍与 α 有关, 故必须控制 $\alpha < \alpha^*$, 并尽可能小, 过腐蚀残留物才更有效, 而且还表示, 对残留物的腐蚀而言, 尤其在 $\alpha > \alpha^*$ 后, 采用 RIE 模式不是最合适的, 此时用 PE 模式更为有效。

这里我们根据工艺参数估算一下 α^* 值:

取多晶硅 I 厚 4500 \AA , 经差值氧化后消耗多晶硅 I 约 1500 \AA , 长成约 3000 \AA 厚的 SiO_2 , 所以总台阶高度 $d = 6000 \text{ \AA}$,

多晶硅 II 厚为 3700 \AA ,

代入(4)式, 得 $\alpha^* = 68^\circ$.

由此可知, 在我们选取的工艺条件下, 倾角的临界角为 68° , 故必须设法使成形后的多晶硅 I 侧墙的倾角 $\alpha < 68^\circ$, 而且尽可能小, 极值为 45° 。

2. 多晶硅 I 的斜墙形成工艺

本文选用 RIE 刻蚀方法, 通过调节改变各向异性刻蚀的横向与纵向刻蚀速率比 δ 来形成满意的多晶硅 I 侧墙的倾斜剖面。根据 Arrhenius 方程可以推得 δ 的表达式^[3]为:

$$\delta = \exp\left[-\frac{3\beta}{4}(\sqrt{1 + (2r)^2} - 1)\right] \quad (5)$$

$$r = K' \frac{E_c}{P} \left(\frac{1 + m^+/m^0}{Q}\right) \quad (6)$$

其中: E_c 为暗区电场, 正比射频功率密度 $\sqrt{P_{RF}}$

P 为工作气体压力

Q 为离子与中性物质碰撞截面

m^+ 为正离子质量

m^0 为中性粒子质量

$K' = \frac{e}{3KT_+}$, T_+ 为离子的温度

$\beta: 0 < \beta < 1$.

从式(5)可以看出, δ 与刻蚀功率和气体压力有关。 $\delta = 0$ 为严格的各向异性刻蚀, 即横向刻蚀速率为 0; $\delta = 1$ 为纵向与横向刻蚀速率相同。调节射频功率与刻蚀气体压力可得到 δ 的变动范围为 $0.1 < \delta < 0.9$ 。在我们的实验条件下, 控制腐蚀气体压力 = 600 mT , 射频功率 $W = 120$ 瓦时, 形成的多晶硅剖面倾角 $\alpha \approx 49^\circ$, 用 SEM 测得, 见图 7(a); 降低刻蚀气体压力 $P = 5 \text{ mT}$, 提高射频功率 $W = 150$ 瓦, 则实际上提高了离子轰击能力, 刻蚀的方向性增强, 各向异性越好, 得到了陡直的多晶硅剖面, 见图 7(b)。

可见, 通过 RIE 刻蚀条件优选可获得合适的 α 角。我们选择了剖面倾角为 49° 。同

时实验也表明,通过 PE 模式的工艺条件选择,也可获得类似的剖面倾角,但线性度不如前者好。

腐蚀成形后的多晶硅 I 的倾斜侧墙在紧接着的差值氧化中,由于形成适度的侧向氧化致使侧墙斜面进一步上翘,这使剖面更加倾斜,这只要选择适当的氧化温度、氧化方式和适度的中间氧化物厚度就能满足^[4]。

3. 多晶硅 II 的刻蚀成形

多晶硅 I 采用倾斜侧墙后,两次多晶硅间的绝缘 SiO_2 和薄栅氧化层的生长利用差值氧化方法一次同时完成,但这两种氧化层的厚度差和氧化速率比方面需作适当调整。为这种工艺设计的双层多晶硅剖面成形的流程及其与原流程的对比见表 1。

这个流程中多晶硅 II 的结构成形,采用了二步刻蚀方法。第一步用 RIE 模式,在低气压下,各向异性地腐蚀多晶硅 II,选择 $\delta = 0.1 \sim 0.2$, 腐蚀掉的厚度控制在总厚度的 $4/5$ 左右;第二步适当增大刻蚀气体压力,降低功率,使刻蚀向各向同性转化,选 $\delta = 0.8$ 左右,腐蚀净剩余的多晶硅 II。两步刻蚀的目的,一方面可以使硅栅的线宽控制得到保证,同时又最有效地去净多晶硅 II 沿多晶硅 I 侧墙的残留。图 8(a)给出了经剖面成形优化工艺得到的较完善的双层多晶硅结构剖面的 SEM 照片,不仅消除了图 1 中外伸的氧化物下面多晶硅 II 的陷落现象,而且由于侧墙的倾斜,使采用 RIE 技术刻蚀多晶硅 II 易出现残留物的问题减到最小。

表 1 剖面优化所用流程与原流程比较

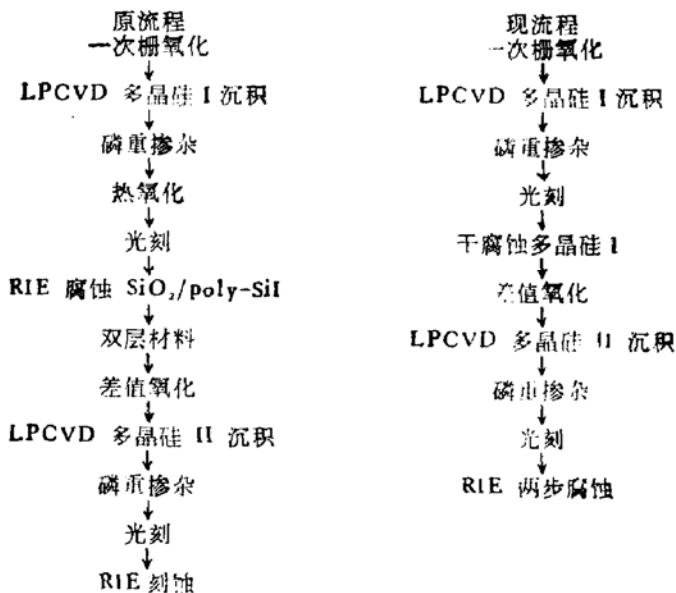


图 8(b) 给出了具有优化剖面结构的实际电路的 SEM 照片,显而易见,沿多晶硅 I 的侧墙没有多晶硅 II 的残留物存在。

四、小结

本文为解决在 VLSI 的双层多晶硅结构研究中出现的精细线条控制与沿多晶硅 I 侧墙易残留多晶硅 II 的矛盾,对 $3\mu\text{m}$ 工艺的双层多晶硅结构剖面及成形工艺进行了研究。

利用 SEM 对 $3\mu\text{m}$ 工艺电路样品剖面进行观察, 找到了多晶硅 II 残留物分布在沿多晶硅 I 的侧墙, 它是电路中相邻多晶硅 II 条(字线)间漏电甚至短路的重要原因。残留的多晶硅 II 一部分陷落在多晶硅 I 侧墙凹进处, 另一部份则是因 RIE 刻蚀不净紧贴着多晶硅 I 侧墙。

实验分析论证表明多晶硅 I 改为垂直侧墙采用二次氧化, 三步刻蚀可以去除残留物, 但随着带来二个问题, 一是侧向侵蚀将使 $3\mu\text{m}$ 宽的硅栅明显变细, 线宽无法精确控制, 对电路性能和成品率都不利, 二是过腐蚀会使下层的氧化层受侵蚀, 这种工艺实用化有困难。

文中提出了第一层多晶硅具有倾斜侧墙的双层多晶硅结构。分析计算表明, 在我们给出的工艺条件下, 倾角 $\alpha < 68^\circ$ 的结构为好, 而且越小越有利, 其极值为 45° 。对 RIE 的刻蚀分析表明, 改变刻蚀气体的压力、射频功率, 可以有效地调节横向与纵向刻蚀速率比 δ , 从而获得满意的多晶硅 I 倾斜侧墙。在我们的工艺条件下, 得到可重复的 $\alpha = 49^\circ$ 。多晶硅 II 的刻蚀采用两步干腐蚀法。这样, 既有效地去除了多晶硅 II 的残留物, 又使多晶硅 II 线条的线宽控制得到了保证, 同时对下层氧化层只有轻微的侵蚀。文中列出了适应这种优化剖面结构的工艺流程, 并给出了具有优化剖面的双层多晶硅结构截面和实际电路截面的 SEM 照片。本工作为 VLSI 电路的制造提供了适用的工艺结构设计和加工技术, 并已成功地研制出了 64KDRAM 合格样品。

作者感谢中科院微电子中心吴德馨研究员对本工作的关心和帮助; 滕桂芳、朱曦在 SEM 方面所作的大量工作; 感谢微电子中心第一研究室高温工艺、薄膜生长工艺、光刻工艺等同志所作的大量的工作。

参 考 文 献

- [1] W. Beinvoogl et al: *Proc. Silicon Mat. Sci. and Technol. Sympos.*, Minneapolis, 646 (1981).
- [2] W. Beinvoogl et al: *Siemens Forsch-u Entwickl. Ber. Bd. 11*, 180 (1982).
- [3] C. B. Zarowin: *J. Electrochem. Soc. Solid-State Science and Technology*, 130, 1144(1983).
- [4] Hideo Sunami et al: *J. Electrochem. Soc.*, 127, 2499(1980).

Investigation on the Cross-Section Profile of Double Layer Polysilicon Structure in VLSI

Xu Qiuxia, Feng Shumin and Zhou Suojing

(Research and Development Center of Microelectronics, Academia Sinica, Beijing)

Abstract

The cross-section profile of double layer polysilicon structure and dry etching technique for patterning structure are investigated. The optimum profile of cross-section structure is obtained. The study and analysis show that the slope of the sidewall of the polysilicon-1, the better is the double polysilicon structure. δ , the ratio of horizontal to vertical etching rate, can be adjusted effectually by changing etching conditions. The slope angle α of sidewall of polysilicon-1, around 49° , is got successfully and satisfactorily. The polysilicon-2 is etched by two steps. The troubles of short-circuit between adjacent wordlines caused by the residue of the polysilicon-2 along the polysilicon-1 sidewall, which is easy to come across with anisotropic RIE in $3\mu\text{m}$ technology, are eliminated, and the precise control of the linewidth is guaranteed and the SiO_2 substrate is etched slightly. It is suitable for the requirement of the technical structure design and the process of VLSI, and the typical samples of 64 kDRAM are fabricated successfully.

Key words: double layer polysilicon structure profile, dry etching, alope sidewall, two step etching.