

一种亚微米垂直硅墙的刻蚀方法

汤玉生 蒋建飞

(上海交通大学 LSI 微细加工研究所)

1987年8月20日收到

亚微米垂直硅墙的制备是垂直硅薄膜耦合约瑟夫逊结的关键工艺。本文作者在普通光刻设备基础上,开发了一种在<100>硅片上制备亚微米硅墙的刻蚀方法:首先用普通光刻手段刻出较宽的墙区;其次,对非墙区进行迭加注入掺杂;第三,杂质高温横向扩散,第四,掺杂选择性刻蚀;第五,高温氧化减薄。实验结果表明,这种方法可以获得墙宽为 $0.29\mu\text{m}$,墙高为 $1\mu\text{m}$ 左右的硅墙,而且还有一定的改进潜力。

主题词: 垂直硅墙, 硅薄膜耦合约瑟夫逊结, 迭加注入掺杂, 选择性刻蚀

亚微米垂直硅墙的制备是垂直硅薄膜耦合约瑟夫逊结的关键工艺。它要求墙宽小于 $0.5\mu\text{m}$, 墙高 $1\mu\text{m}$ 左右,且要求墙边缘陡峭。N. F. 雷米等人^[1]选用<110>硅片为衬底,利用<110>晶向和<111>晶向在36%的KOH水溶液中的腐蚀速率的差别(在恒温60℃下,两晶向的刻蚀速率之比为50)制备陡直的薄硅墙。但这种工艺必须依赖于电子束曝光设备,首先获取墙厚 $1\mu\text{m}$ 左右的硅墙,经掺杂、氧化等工艺后,墙厚减薄到小于 $0.1\mu\text{m}$;另外,它还要求硅墙与<110>晶向严格平行,否则墙侧面就会产生锯齿状的起伏^[2]。本文作者在普通光刻基础上,采取迭加注入掺杂,杂质高温横向扩散,掺杂选择性腐蚀和高温氧化减薄等工艺步骤,开发出了一套在<100>硅片上获取陡峭的亚微米硅墙的完整工艺。

单晶硅在湿法刻蚀中其刻蚀速率与它的晶向和掺杂浓度有关^[3-5]。我们的亚微米硅墙制备方法正是在此基础上进行设计的。在文献[5]中指出,<100>单晶硅在 $\text{HF:HNO}_3:\text{CH}_3\text{COOH} = 1:3:10$ 腐蚀液中,其刻蚀速率和掺杂浓度相关。对于大于 $5 \times 10^{18}\text{cm}^{-3}$ 掺杂浓度的 P^+ 或 N^+ 重掺杂区的刻蚀速率为 $2.5\mu\text{m}/\text{min}$,而小于 $5 \times 10^{18}\text{cm}^{-3}$ 掺杂浓度区的刻蚀速率仅为 1000 \AA/min 。可见重掺杂区和轻掺杂区的刻蚀速率比为25,基本上可以认为刻蚀终止在 $5 \times 10^{18}\text{cm}^{-3}$ 浓度上。所以,若选用<100>硅片,通过平面的选择掺杂和掺杂深度的控制,可获得平面和纵向的选择刻蚀。平面上两重掺杂区的横向扩散,可以达到减小夹在其间的非掺杂区的宽度。由于杂质在高温下的扩散系数与掺杂浓度相关^[6],为保证纵向各点上的杂质横向扩散速率相同,必须使纵向各点杂质浓度相等,这样才能获得陡直的硅墙。因此,我们的亚微米硅墙制备工艺是:首先刻出一个较宽的墙区;然后对非墙区部分进行迭加注入掺杂,以保证掺杂区纵向各点上掺杂浓度相同;继尔在高温下横向推进杂质,达到减小墙区宽度之目的;最后在 $1:3:10$ 腐蚀液中腐蚀,就可得到亚微米硅墙。若墙区还不能满足要求,再采用高温氧化减薄硅墙。

实验中,我们选用的是 $\phi 35$ 的 $\langle 100 \rangle$ 硅片,电阻率为 $6\text{--}9\Omega \cdot \text{cm}$ 。硅片在 1050°C 温度下进行干-湿-干氧化,氧气流量为 20l/h ,氧化时间分别为 $15'$ 、 $90'$ 和 $15'$,氧化层厚度为 9500\AA 。墙区光刻使用普通劳动牌光刻机。使用的掩膜版是生产中用的栅条版,最细线条为 $3.5\mu\text{m}$ 。 SiO_2 的刻蚀用 $\text{HF:NH}_4\text{F:H}_2\text{O}=3(\text{ml}):6\text{克}:10(\text{ml})$ 腐蚀,腐蚀温度恒在 40°C 。掺杂是采取的三个能量的迭加硼注入,能量分别为 150keV 、 100keV 和 50keV ,每次剂量均为 $1 \times 10^{15}\text{cm}^{-2}$ 。注完硼后,分别用 950°C 、 1000°C 、 1050°C 和 1100°C 的温度进行退火处理,时间分别为 $30'$ 、 $60'$ 和 $90'$,扩散退火均在 N_2 气氛下进行, N_2 流量为 20l/h 。腐蚀前,去掉样品上的 SiO_2 ,然后在 $1:3:10$ 腐蚀液中进行腐蚀,腐蚀液置在 30°C 的恒温器中,腐蚀时间一般为 $3'$ 。

图1是注硼以后,在 N_2 气氛下, 950°C ,进行 $30'$ 的退火处理,用 $1:3:10$ 腐蚀液刻蚀获得的硅墙,墙宽为 $0.84\mu\text{m}$,墙高接近 $1\mu\text{m}$ 。从图中可见,墙的边缘较陡直,底面也很平整。把样品再送入 1050°C 温度中进行氧化,氧气流量为 20l/h ,分别进行了 $30'$ 干氧, $180'$ 湿氧和 $15'$ 干氧,墙宽得进一步的减小(如图2所示)。从图中可见,墙宽为 $0.57\mu\text{m}$,墙高基本不变。这一结果表明,高温氧化减薄硅墙是有效的。增加扩散退火温度还可获得宽度更窄的硅墙,如图3所示。可见,其墙宽为 $0.29\mu\text{m}$,墙高为 $1\mu\text{m}$ 左右。这一结果仅把扩散温度提高到 1050°C ,扩散处理时间和高温氧化减薄条件均与图2中样品相同。

上述实验结果表明,我们的掺杂选择性刻蚀方法可以获得亚微米的陡直硅墙。由于杂质扩散和高温氧化减薄均是微变过程,加之极好的选择性腐蚀性能,使得墙宽可以精确控制,并保证有良好的成功率和重复性,而且墙的走向不受晶向限制,便于垂直硅膜耦合约瑟夫逊法的集成。

从实验结果可以看到,墙的边缘还不够陡直。一方面是由于迭加注入纵向杂质剖面矩形度不高,这需要进一步研究迭加注入能量和剂量的选择;另一方面是由于硼的扩散剖面呈余误差分布^[6]。为弥补这一不足,在迭加注入时,对最高能量,选择较大的剂量而使注入杂质呈底部浓度较高的非矩形分布,从而加快底部横向扩散,增加墙的垂直度。在墙不需很高的条件下,可以选用杂质As注入,它的扩散纵向剖面呈矩形分布^[6,7]。这也是进一步减薄硅墙的必须措施。

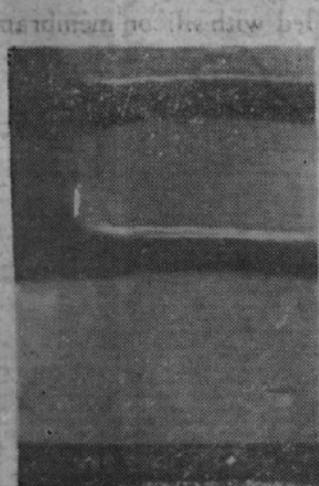


图 1

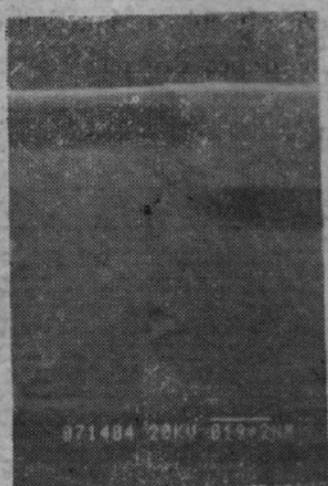


图 2

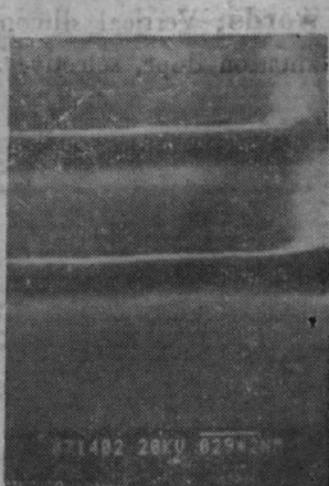


图 3

最后，作者诚挚感谢上海无线电五厂的陈康民工程师及上海交大物理系的徐秦遥和戴培兴同志在实验中所给予的支持。

参 考 文 献

- [1] N. F. Raley et al, *IEEE Trans. Magn.*, **MAG-19**, 507(1983).
- [2] Y. Sugiyama and T. Van Duzer, Proceeding of the Sympium on Josephson Junctions and Their Applications to Electronics of High Sensitivity and Picosecond Response, Wako-shi, Saitama, Japan, February 19—20, 1982, By H. Ohta And S. Namba.
- [3] ERNEST BASSONS, *IEEE Trans. Electron Devices*, **ED-25**, 1178 (1978).
- [4] 蒋继申, “半导体技术”, **6**, 8(1986).
- [5] Reneth Bean, *IEEE Trans. Electron Devices*, **ED-25**, 1185 (1978).
- [6] A. Bakwski, *J. Electrochem. Soc., Solid-state Science and Technology*, 1644 (1980).
- [7] T. L. Chiu and H. N. Ghosh, *IBM J. Res. Develop.*, November, 472 (1971).

A Method of Etching Submicron Vertical Silicon Screen

Tang Yusheng and Jiang Jianfei

(I.S.I. Microfabricating Institute, Shanghai Jiao Tong University)

Abstract

The fabrication of submicron vertical silicon screen is a key step for fabricating Josephson junction coupled by vertical silicon membrane. Based on common photoetching equipment, authors of the paper developed a method of fabricating submicron silicon screen on $\langle 100 \rangle$ silicon dices: first, photoetching wider district of silicon screen; second, multi-implantation doping with different energies into the district out of the screen; third, horizontal impurity diffusing under high temperatures; forth, etching doped district only; and finally, thinning the screen by means of oxidizing under high temperature. Our experimental results show that the method can be used to fabricate a silicon screen with $0.29 \mu\text{m}$ thick and about $1 \mu\text{m}$ high and it can still go a step further.

Key words: Vertical silicon screen, Josephson junction coupled with silicon membrane, Multi-implantation dope, selective etch of doped district