

# 集成电路中多晶硅薄膜载流子迁移率的实验研究和理论模型

王阳元 陶江 韩汝琦 吉利久

(北京大学微电子学研究所)

张爱珍

(北京市半导体器件研究所)

1987年11月10日收到

本文系统地研究了多晶硅薄膜载流子迁移率与掺杂浓度的关系，发现不仅如前人所指出的那样，多晶硅载流子迁移率在中等掺杂区有一极小值，而且同时在高掺杂区存在一个极大值。本文将前人提出的杂质分凝模型、晶粒间界陷阱模型和杂质散射机构结合起来，从理论上计算了极大值及其相应的掺杂浓度与晶粒大小、晶粒间界面密度的关系，并与实验结果进行了比较。理论模型较好地说明了实验结果。

**主题词：**多晶硅，载流子迁移率，晶粒间界，杂质分凝，杂质陷阱，载流子运输

## 一、引言

由于多晶硅薄膜在集成电路生产和研究中的广泛应用，对多晶硅电学性质的研究显得十分重要。系统地阐明多晶硅载流子迁移率与掺杂浓度的关系，对于集成电路的设计

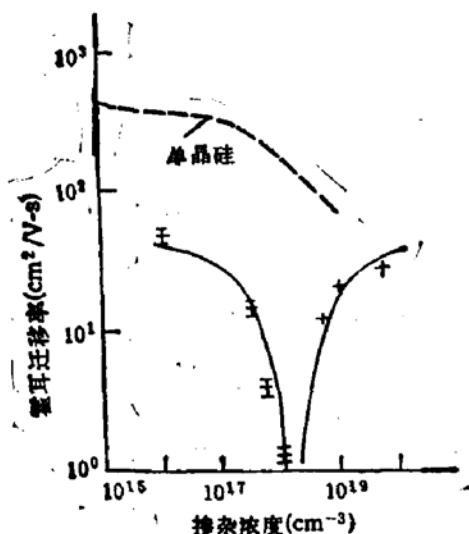


图1 Seto 的实验和理论结果

+ 实验值 — 理论值

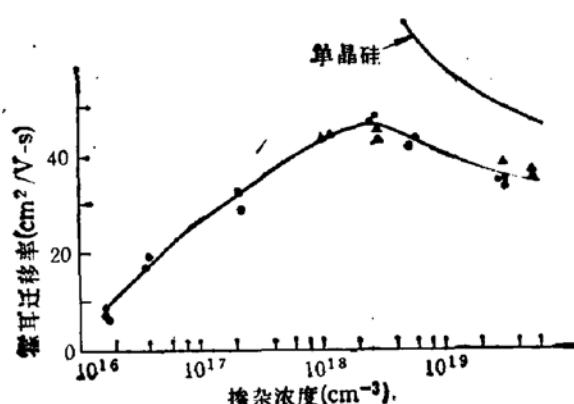


图2 Kamins 的实验和理论结果

●▲ 实验值 — 理论值

和生产具有直接的指导意义。

图 1 和图 2 分别为 Seto<sup>[1]</sup> 和 Kamins<sup>[3]</sup> 的实验结果。图 1 中，在掺杂浓度为  $1 \times 10^{19} \text{ cm}^{-3}$  附近，迁移率有极小值；而在图 2 中，在该浓度附近，迁移率却达到了极大值。虽然 Seto 和其他许多作者已对迁移率极小值作了成功的解释<sup>[1,2]</sup>，Kamins<sup>[3]</sup> 也在文章中对自己的实验现象作了定性的描述，但对迁移率随掺杂浓度的变化而呈现的极大值和极小值还没有一个统一的理论模型加以阐述。

本文对多晶硅载流子迁移率随掺杂浓度的变化进行了系统的实验和理论研究，并将前人提出的杂质分凝、晶粒间界陷阱和杂质散射机制结合起来，提出了一个完整的迁移率模型。理论计算结果与实验结果符合得很好，并且满意地解释了 Seto 和 Kamins 的实验现象。

## 二、实 验

### 1. 样品制备

用电阻率为  $7-15\Omega\cdot\text{cm}$  的(111)晶向 P 型单晶硅作衬底。在  $1040^\circ\text{C}$  温度下，氧化生成一层  $4200\text{ \AA}$  厚的  $\text{SiO}_2$  膜。在 LPCVD 系统中淀积生成约  $0.5\mu\text{m}$  厚的多晶硅膜。对样品分别注入硼和磷离子，注入能量分别为  $80\text{keV}$  和  $150\text{keV}$ ，注入剂量均为  $1 \times 10^{12}-1 \times 10^{16} \text{ cm}^{-2}$ 。离子注入后在样品表面低温淀积一层厚约  $2500\text{ \AA}$  的  $\text{SiO}_2$  保护膜。将样品在氮气氛中，分别在  $1000^\circ\text{C}$  和  $1100^\circ\text{C}$  温度下热退火，使多晶硅晶粒长大并稳定，以得到两种晶粒大小不同的样品，同时消除离子注入所引入的损伤。由于多晶硅晶粒大小随掺杂浓度的增加而增加<sup>[4]</sup>，在热退火过程中，对掺杂浓度高于  $10^{19} \text{ cm}^{-3}$  的样品，其退火时间要小于低掺杂的样品，以保证不同掺杂浓度的样品经同一温度退火后，其晶粒大小基本一致。图 3 和图 4 分别为经两种条件的热退火后样品的 TEM (横截面)照片。从照片上我们可以发现，样品经  $1000^\circ\text{C}$  和  $1100^\circ\text{C}$  热退火后，其晶粒大小分别约为  $500\text{ \AA}$  和  $2000\text{ \AA}$ ，其多晶硅膜厚度分别为  $4500\text{ \AA}$  和  $2300\text{ \AA}$ 。多晶硅膜厚度在热退火前后的变化可能是由于退火过程中保护气体  $\text{N}_2$  不纯和不干燥引起的，使样品在退火过程中发生了氧化。退火后，对样品进行光刻，确定范德堡霍耳测量的接触孔，并对接触孔进行掺杂。然后用 HF 除去表面所淀积的  $\text{SiO}_2$  层。蒸 Al，反刻 Al，形成接触电极。将电极之间暴露的多晶硅层刻去，实现绝缘，获得霍耳测量所需的范德堡图形。最后合金 25 分钟，从而完成

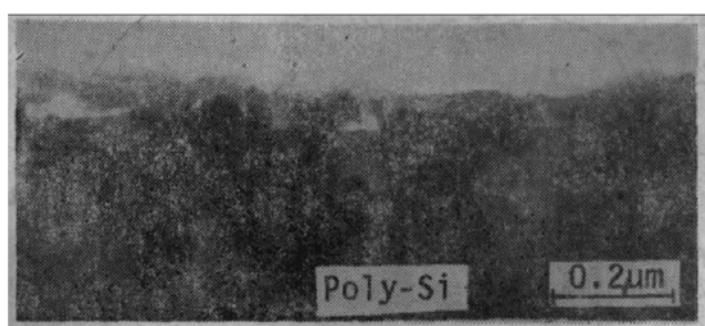


图 3 经  $1000^\circ\text{C}$ , 1 小时热退火后，多晶硅样品的 TEM (横截面)照片

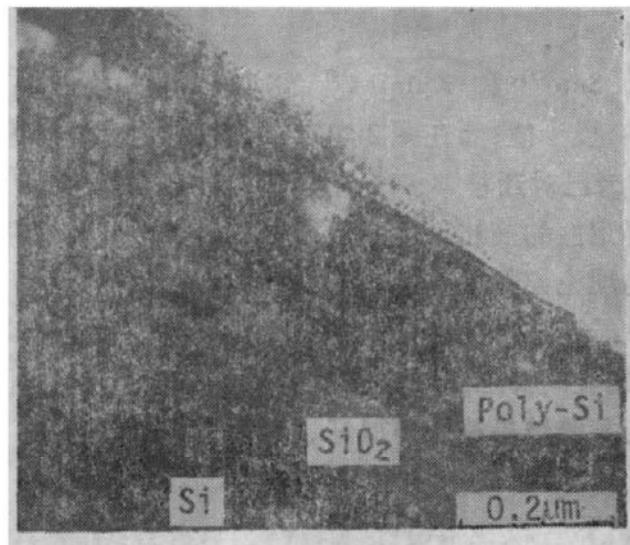


图 4 经 1100℃, 10 小时热退火后, 多晶硅样品的 TEM (横截面) 照片

整个样品的制备。

## 2. 迁移率的测量

我们用范德堡法<sup>[5]</sup>测量了多晶硅样品的霍耳迁移率。在多晶硅中, 由于晶粒间界处存在势垒, 使得它的电流传输特性十分复杂。但是, J. W. Orton 等人对此进行了分析<sup>[6]</sup>, 指出在一定条件下, 霍耳效应测量所得到的迁移率近似等于我们将在(6)式中所定义的有效电导迁移率。

在实际测量中, 我们所用的磁场强度  $B = 3815$  高斯, 加在样品上的电压为 5—10V。由于晶粒尺寸小于  $1\mu\text{m}$ , 而样品尺寸  $\phi = 8\text{mm}$ , 故加在每个晶粒上的电压均小于  $kT/q(300\text{K}) = 0.026\text{V}$ , 可以满足理论上所需的条件。测量时所加电流  $I = 10\mu\text{A}$ 。

## 3. 实验结果

图 5 和图 6 分别给出了霍耳测量的结果。图 5 中 (●, ▲) 点是晶粒大小分别为  $500\text{\AA}$  和  $2000\text{\AA}$  的掺 B 多晶硅载流子迁移率的实验值。图 6 中 (●) 点是晶粒大小为  $500\text{\AA}$  的掺 P 多晶硅载流子迁移率的实验值。从图中我们可以看到, 多晶硅载流子迁移率在中等掺杂区存在着一个极小值, 在高掺杂区存在一个极大值。增大晶粒尺寸, 将使载流子迁移率的极大值和极小值在 N- 轴上向低浓度方向移动。

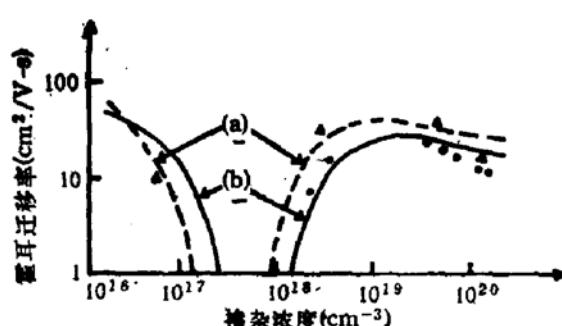


图 5 掺 B 多晶硅载流子迁移率与掺杂浓度的关系  
 (a) 晶粒大小  $L = 500\text{\AA}$ ,  
 (b) 晶粒大小  $L = 2000\text{\AA}$ ,  
 ●▲ 实验值 — 理论值

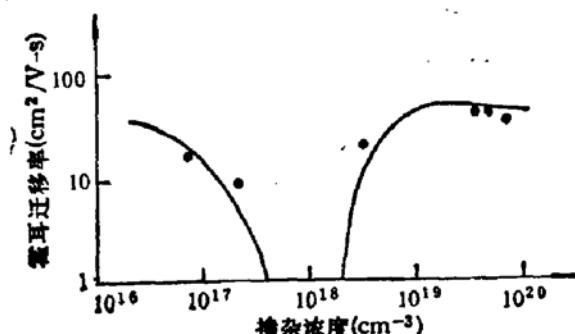


图 6 掺 P 多晶硅载流子迁移率与掺杂浓度的关系  
 ● 实验值 — 理论值

### 三、理 论

多晶硅晶粒间界处原子是无序排列的，存在着大量的悬挂键，形成缺陷态。晶粒间界宽度通常是几个原子层厚（ $10 \text{ \AA}$ 左右）。在高掺杂情况下，晶粒间界无序层所产生的位垒对载流子的输运将有明显的影响<sup>[7]</sup>。下面我们将杂质分凝、陷阱效应、杂质在晶粒间界位垒处的隧穿和载流子的散射机构结合起来，在很宽的掺杂浓度范围内计算了多晶硅载流子迁移率和掺杂浓度的关系。

#### 1. 杂质分凝

M. M. Mandurah 等人<sup>[2]</sup>给出了杂质在晶粒间界处的分凝浓度  $N_{GB}$ ：

$$\ln\left(\frac{N_{GB}}{N_D - N_{GB}}\right) = \ln \frac{AN_b}{N_{Si}} + \frac{\theta_0}{KT_A} \quad (1)$$

其中  $N_D$  为总的掺杂浓度； $N_b(\text{cm}^{-3})$  为晶粒间界点阵位置密度； $N_{Si}(\text{cm}^{-3})$  为晶粒内和晶粒间界总点阵位置密度； $\theta_0$  为杂质在晶粒间界处和晶粒内焰的差； $T_A$  为样品的最终热退火温度。晶粒间界对 As 和 P 杂质原子有明显的分凝效应，而对 B 杂质原子则没有。

#### 2. 晶粒间界陷阱效应和隧道穿透效应

由于晶粒间界处原子排列的无序性，根据非晶硅半导体理论，非晶硅半导体的迁移率隙大于相应晶体材料的能带隙。因而可以认为晶粒间界处有一位垒。晶粒间界界面态俘获载流子后呈荷电状态，因而在它周围形成一个多子势垒区，此时多晶硅的能带图如图 7 所示。载流子从一个晶粒向另一个晶粒运动时，将以热电子发射和隧道穿透两种方式通过这个位垒。

根据量子力学理论，当所加偏压  $qV_g \ll E_{gb} + qV_b$ ， $V_g \ll V_b$ ，且  $qV_b \ll E_{gb} + qV_b$ ，在这三个近似条件下，M. M. Mandurah 等人给出了晶粒间界及晶粒内耗尽区的平均电阻率为<sup>[7]</sup>：

$$\rho_b = \left\{ q^2 \left( \frac{4\pi m^* k T}{h^3} \right) L_{gb} \exp\left(-\frac{\xi}{kT}\right) \frac{\exp(-b_1)}{1 - c_1 k T} \exp \right. \\ \left. \cdot \left( -\frac{qV_b}{kT} \right) \frac{1 + c_1 k T \frac{N_G W_{gb}}{N_t}}{1 + N_G W_{gb}/N_t} \right\}^{-1} \quad (2)$$

其中  $h$  为普朗克常数， $L_{gb} = 2W + W_{gb}$ ，

$$b_1 = \frac{4\pi W_{gb}}{h} (2m^* E_{gb})^{1/2}, \quad c_1 = \frac{2\pi W_{gb}}{h} (2m^*/E_{gb})^{1/2},$$

$qV_b = q^2 W^2 N_G / 2\epsilon$ ， $W = N_t / 2N_G$ ， $\xi = -kT \ln(N_G/N_V)$ ， $N_G$  为中性区载流子浓度， $m^*$  为载流子的有效质量， $\epsilon$  为多晶硅的介电常数。

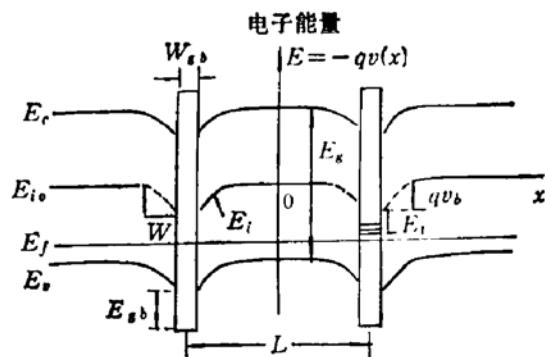


图 7 P 型多晶硅能带图

在中等掺杂范围内,由于 $W$ 和 $qV_s$ 均较大,所以晶粒间界位垒 $E_{sb}$ 对载流子输运的影响可以忽略不计,此时载流子主要以热电子发射的方式通过晶粒间界势垒区。当外加偏压 $V_t \ll kT/q$ ,且 $V_s \ll V_t$ 时,根据 Seto 的晶粒间界陷阱模型<sup>[3]</sup>,势垒区的平均电阻率可以表示为<sup>[3]</sup>:

$$\rho_s = \frac{1}{f} \cdot \frac{1}{q^2 L N_G} (2\pi m^* kT)^{1/2} \exp(qV_s/nkT) \quad (3)$$

其中 $L$ 为晶粒尺寸, $f$ 为比例因子,它是用来修正有效的 Richardson 常数的。 $n$ 的引入是因为在 $qV_s$ 的计算中,我们用了耗尽近似假设,而且载流子的传输机制除了热电子发射外,还可以有热场发射(TFE)或其它机制。

### 3. 杂质散射机制

值得着重指出的是,当掺杂浓度十分高时,耗尽区势垒变的很窄,且其高度 $qV_s$ 已下降到很低了,费米能级将接近或进入导带底或价带顶。此时耗尽区势垒对载流子的输运已不起主要作用。多晶硅的性质将趋近于单晶硅。在 Si 和 Ge 等非极性半导体中,考虑到电离杂质对载流子的散射作用后,载流子的迁移率可以表示为<sup>[3]</sup>:

$$\mu_i \propto N_i^{-1} T^{3/2} \quad (4)$$

其中 $N_i$ 为电离杂质的浓度, $T$ 为绝对温度。因此在理论计算中,当掺杂浓度很高以后,可以用单晶硅的迁移率与杂质浓度的变化规律来描述多晶硅载流子的迁移率。我们的理论计算是把已有的杂质分凝、晶粒间界陷阱效应和隧道穿透效应与杂质散射机制结合起来,进行综合的计算。

在通常情况下,每个晶粒上的压降 $V_s$ 包含两部分,即晶粒间界区(包括晶粒间界及与其相邻的晶粒内耗尽区)上的压降 $V_t$ 和在晶粒内未耗尽区上的压降 $V_0$ ,则多晶硅膜的平均电阻率 $\rho$ 为:

$$\rho = \frac{V_t}{JL} + \frac{V_0}{JL} + \frac{V_t}{JL} \cdot \frac{L_s}{L} \rho_t + \frac{L_{st}}{L} \rho_s \quad (5)$$

其中 $L_s = L - L_{st}$ 为中性区宽度; $\rho_s$ 为中性区的电阻率,它近似等于具有同等掺杂水平的单晶硅的电阻率。

多晶硅势垒区的载流子迁移率 $\mu_t$ 和中性区载流子迁移率 $\mu_s$ 可以近似认为相等。则由上式可得多晶硅膜载流子的平均迁移率为:

$$\frac{1}{\mu} = \frac{L_s}{L} \cdot \frac{1}{\mu_s} + \frac{L_{st}}{L} \cdot \frac{1}{\mu_s} \quad (6)$$

其中 $\mu_s$ 为中性区载流子迁移率,它近似等于同等掺杂水平的单晶硅载流子的迁移率。 $\mu_s = 1/qN_G\rho_s$ 。

## 四、理论与实验的比较

在理论与实验数据比较时,以晶粒间界陷阱态密度 $N_s$ ,晶粒间界位垒高度 $E_{sb}$ ,晶粒间界位垒宽度 $W_{sb}$ 为拟合参数,将理论值与实验值进行拟合,用直接搜索法,通过调整 $n$ 、 $f$ 和 $E_s$ 的值,直到理论值和实验值符合的最好,从而确定 $N_s$ 、 $W_{sb}$ 和 $E_{sb}$ 这三个参数。

的值。

表1是理论计算中所用参数的值，从物理上说它们都是合理的。晶粒间界宽度为 $10\text{ \AA}$ 左右，晶粒间界势垒的高度为 $0.04\text{--}0.22\text{eV}$ ，这都和我们理论中的假设相吻合。陷阱态密度在 $1.5\text{--}3.1\times 10^{12}\text{cm}^{-3}$ 之间，这也和其它许多报道的结果极为相近。

图5是理论值与晶粒大小分别为 $500\text{\AA}$ 和 $2000\text{\AA}$ 的掺B多晶硅载流子迁移率数值的比较。图6是理论值与晶粒大小为 $500\text{\AA}$ 的掺P多晶硅载流子迁移率数值的比较。图8是理论值与Seto和Kamins实验数据的比较。

表1 理论计算中所用的参数值

杂质种类	热退火温度(℃)	晶粒大小(Å)	$N_t$ ( $\text{cm}^{-2}$ )	$W_{gb}$ (Å)	$E_{gb}$ (eV)	$E_t$ (eV)	$n$	$t$	数据来源
B	1000	500	$3\times 10^{17}$	11	0.1	-0.19	1.32	0.122	本工作
B	1100	2000	$2.4\times 10^{12}$	12	0.12	-0.10	1.90	0.28	
P	1000	500	$2.6\times 10^{17}$	9	0.04	0.21	1.12	0.075	文献[1]
B		300	$3.1\times 10^{12}$	10	0.1	-0.19	1.62	0.132	
B		5000	$1.5\times 10^{12}$	16	0.22	-0.01	1.98	0.1	

## 五、讨 论

从图5—6及图8的理论和实验的比较中，我们可以发现正如我们所预期的，增大晶粒尺寸的结果是使载流子迁移率极大值和极小值在 $N$ -轴上向低浓度方向移动。当掺杂浓度小于 $N^*$ 时，势垒高度随掺杂水平的增加而线性地增加，故迁移率 $\mu$ 随掺杂浓度 $N$ 的增加而减小，并在 $N^* \approx N_t/L$ 附近达极小值。 $N^* \approx N_t/L$ ，随 $L$ 的增加而向左移动。当 $N > N^*$ 时，所有陷阱态都饱和，增加 $N$ ，将导致耗尽区势垒宽度 $W$ 变小，势垒高度 $qV_b$ 下降，所以 $\mu$ 将随 $N$ 的增加而增加。当进一步增加 $N$ ，晶粒间界耗尽区势垒不起主要作用，即

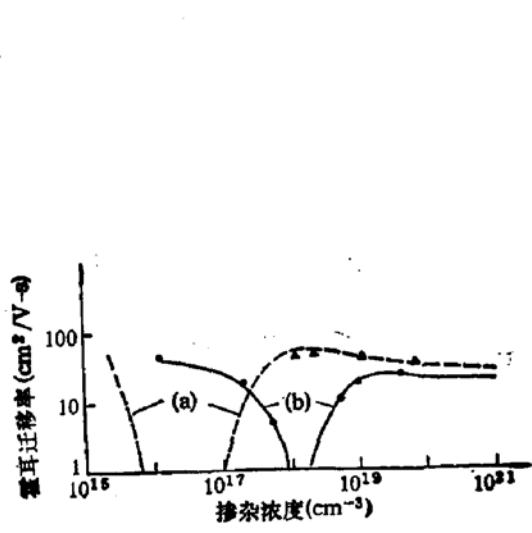


图8 (a) 理论值与Kamins实验值的比较  
(b) 理论值与Seto实验值的比较  
——理论值 ●▲实验值

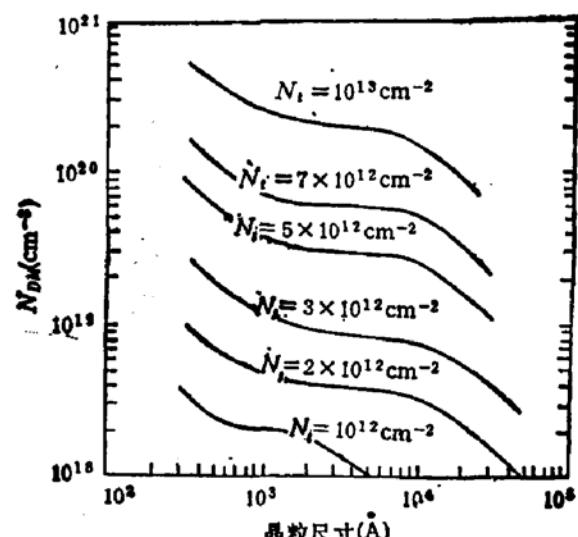


图9 对应于迁移率极大值的掺杂浓度 $N_{DM}$ 与晶粒大小 $L$ 的关系(以 $N_t$ 为参量)

$L_s/L \rightarrow 1$ ,  $L_{sb}/L \rightarrow 0$ , 则根据(6)式可知,  $\mu \rightarrow \mu_s$ , 此时多晶硅的性质将和单晶硅趋向一致, 其迁移率随掺杂浓度的增加而减小。多晶硅载流子迁移率达极大值时的掺杂浓度记为  $N_{DM}$ 。

对多晶硅载流子迁移率极大值的性质目前还没有进行过研究, 而这对实际的生产应用具有重要的意义。基于上述模型, 我们计算了  $N_{DM}$  和晶粒尺寸  $L$  的关系曲线(以  $N$  为参量), 如图 9 所示。

在图 8 中, 我们给出了理论值与 Seto 和 Kamins 实验数据的比较。由表 1 可知, 计算中所用的晶粒大小及界面态密度和 Seto<sup>[1]</sup> 与 Kamins<sup>[10]</sup> 所得到的结果基本相吻合。至此, 我们很容易解释 Seto 和 Kamins 的实验现象。这是由于多晶硅薄膜制备工艺不同, 从而使晶粒大小和界面态密度不同的缘故。Seto 和 Kamins 的各自测量和分析结果, 都只反映了某一掺杂浓度范围内载流子迁移与掺杂浓度之间的关系。

从理论和实验的比较中, 我们发现, 当  $N > N_{DM}$  后, 理论值总是比实验值要大。这主要是因为当掺杂浓度很高后,  $\mu$  主要取决于  $\mu_s$ 。在计算中我们是用同等掺杂水平的单晶硅载流子迁移率的数值代替(6)式中的  $\mu_s$ 。但由于多晶硅是一种多缺陷材料, 故实际的多晶硅载流子迁移率总是要比与其相应的单晶硅载流子迁移率要小。故当  $N > N_{DM}$  后, 理论值比实验值要大一些。

## 六、结 论

根据上面的讨论, 我们给出了多晶硅载流子迁移率随掺杂浓度变化的完整模型。只要给出了多晶硅载流子迁移率的实验值, 我们就可以通过理论值和实验数据的拟合, 用直接搜索法, 通过调整  $n$ 、 $f$  和  $E_s$  的值, 使理论值和实验值符合的最好, 从而确定  $N_s$ 、 $W_{sb}$  和  $E_g$ , 这三个参量, 并进一步给出多晶硅载流子迁移率和掺杂浓度之间的关系曲线。

理论和实验研究发现多晶硅载流子迁移率在中等掺杂范围内存在一个极小值, 在高掺杂区存在一个极大值。具体在什么掺杂浓度迁移率达极大值或极小值, 主要取决于晶粒大小和晶粒间界陷阱态密度。并对 Seto 和 Kamins 的实验结果给出了满意的解释。

基于上述理论模型, 我们通过理论计算, 给出了迁移率达极大值时所对应的掺杂浓度  $N_{DM}$  和晶粒尺寸  $L$  的关系曲线(以  $N$  为参量), 如图 9 所示。这对实际的生产应用具有重要的指导意义。

在霍耳测量中, 得到北京有色金属研究总院李岐山工程师的帮助。在整个过程中, 还曾得到北京大学微电子学研究所张国炳高级工程师的帮助, 作者在此表示衷心的感谢。

## 参 考 文 献

- [1] J. Y. W. Seto, *J. Appl. Phys.*, **46**, 5247 (1975).
- [2] M. M. Mandurah, K. C. Saraswat, C. R. Helms, and T. I. Kamins, *J. Appl. Phys.*, **51**, 5755 (1980).
- [3] T. I. Kamins, *J. Appl. Phys.*, **42**, 4357 (1971).
- [4] Y. Wada and S. Nishimatsu, *J. Electrochem. Soc.*, **125**, 1499 (1978).
- [5] J. Van der Pauw, *Phil. Rev. Reports*, **13**, 1 (1958).
- [6] J. W. Orton and W. J. Powell, *Reports on Progress in Physics*, **43**, 1265 (1980).
- [7] M. M. Mandurah, K. C. Saraswat and T. I. Kamins, *IEE Trans. Electron Devices*, **ED-28**, 1163 (1981).

- [8] N. C. C. Lu, L. Gerberg, and J. D. Meindel, *IEE Electron Device Lett.*, **ED-1**, 38 (1980).  
[9] E. Conwell and V. F. Weisskopf, *Phys. Rev.*, **77**, 388 (1950).  
[10] T. I. Kamins, 私人通信(1983).

## Experimental and Theoretical Research for Carrier Mobility of Thin Polycrystalline Silicon Films in Application of VLSI

Wang Yangyuan, Tao Jiang, Han Ruqi, Ji Lijiu

(Institute of microelectronics, Peking University)

Zhang Aizhen

(Institute of Beijing Semiconductor Devices)

### Abstract

The relationship of carrier mobility of polycrystalline silicon films *vs.* doping concentration has been investigated theoretically and experimentally. It is shown that the carrier mobility will not only take a minimum at a intermediate doping level, just like what has been pointed out by other researchers, but also take a maximum at a high doping level. The existing models can not predict the mobility *vs* doping concentration completely. Based on the carrier segregation model and carrier trapping model combined with the impurity scattering mechanism, the effects of grain size and the density of trapping states at grain boundaries on the maximum of carrier mobility have been calculated theoretically. The experimental results have been explained by the theoretical model satisfactorily.

**KEY WORDS:** Polycrystalline silicon, Carrier mobility, Grain boundary, Dopant segregation, Carrier trapping, Carrier transportation