

二维短沟道 MOSFET 直流稳态与 衬底电流的数值模拟

杜 敏 黄 敏

(陕西骊山微电子公司, 临潼)

1987年1月14日收到

本文介绍一种新的采用载流子总量方法分析短沟道 MOSFET 直流稳态特性的数值模型。使用专用模拟程序 LADES1-A (Lishan Advance Device Simulation Version no. 1-A) 联解器件内部二维泊松方程、电子和空穴的连续性方程。LADES1-A 可用于设计和预测不同工艺条件、几何结构对器件性能的影响。设计者通过分析器件内部二维电流密度、电场强度等分布, 得到直观的短沟道效应的物理图象, 以便采取适当措施减小短沟道效应。为了介绍本模拟软件的用途, 本文给出部分模拟结果, 并着重讨论了热载流子效应产生的衬底电流及非平衡载流子的产生-复合率的分布。

主题词: 短沟道 MOSFET, 数值模拟, 热载流子效应, 衬底电流

一、引言

早期半导体器件模型是以 Shockley^[1] 等人提出的晶体管理论为基础, 适当地将器件划分为若干区域, 分区采用不同近似假设简化载流子运动方程, 再由各区域边界条件联解而得到的。短沟道 MOS 器件中, 特别是沟道长度减小到一微米左右时, 上述分区域近似的方法不再适用, 因此产生了 MOSFET 的二维、甚至于三维的数值计算模型。

随着 VLSI 的迅猛发展, 小尺寸 MOSFET 数值模拟受到日益广泛的重视。国外许多大公司、大学、研究机构都建立了自己的 MOSFET 模拟软件^[2-7]。据文献报道, 多数 MOSFET 数值模型都只求解泊松方程和多子连续性方程。这种方法只适用于栅电压 V_g 大于阈值电压 V_t 的直流稳态工作区。 $V_g < V_t$ 时, 少子电流与多子电流相比不能忽略, 而且瞬态过程中, 少子电流对非平衡载流子的建立与消失的影响也不能忽略。因此需要不断改进数值模型。本文运用“载流子总量分析方法”^[6-7], 即联解泊松方程和两种载流子的连续性方程, 又考虑了非平衡载流子的复合-产生效应。

本模型着重应用物理概念简化繁杂的数值计算。当 MOSFET 漏、源、衬底电位相等时, 在稳定栅电压下, 器件处于平衡态。将与稳态栅电压相同的平衡态数值解做为稳态计算的初值, 以微小时间 Δt 为参变量, 求解稳态载流子运动方程组。这个求解过程描述的是器件从一种稳态转变到另一稳态过程中, 器件内载流子的建立与消失。载流子达到稳态分布后, 即得该直流稳态下 MOSFET 的端点电学参数和器件内部二维电位、载流子密度分布。

MOS 集成电路器件几何尺寸的减小并不伴随着电源电压的降低,从而导致漏区附近电场增强。运动载流子通过强电场区可发生碰撞电离效应。以 N 沟 MOSFET 为例,大部分碰撞电离产生的电子被电场扫向漏端,而产生的空穴将流向衬底形成衬底电流。衬底电流使阈值电压漂移,击穿电压下降,严重时还会导致漏源雪崩击穿^[1]和 CMOS 电路发生闩锁^[2]。为了深入了解衬底电流的产生机理,本文给出衬底电流与非平衡载流子产生-复合率的模拟示例,以便设计者借助于计算机调整工艺、结构参数,预言和分析器件性能。

二、MOSFET 数值计算模型

图 1 给出典型的 MOSFET 截面图。

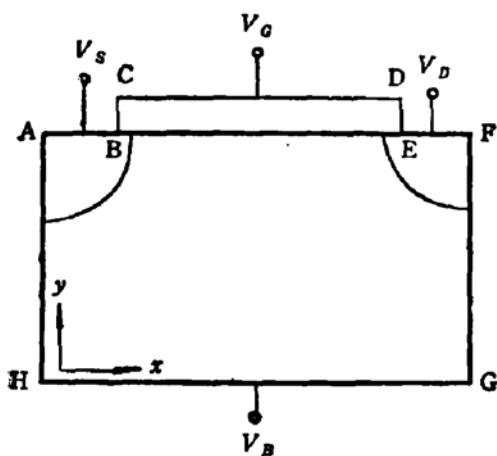


图 1 MOSFET 截面图

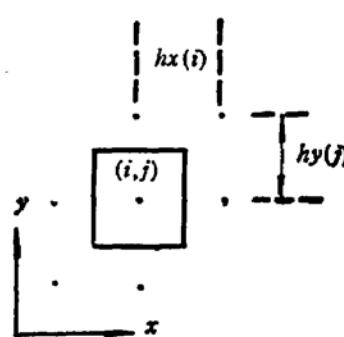


图 2 有限差分网格

载流子运动基本方程为

$$\nabla^2 \phi = -\frac{q}{\epsilon} (p - n + N_D - N_A) \quad (1)$$

$$\frac{\partial n}{\partial t} = \nabla \cdot (-n \mu_n \nabla \phi + D_n \nabla n) + G - R \quad (2)$$

$$\frac{\partial p}{\partial t} = -\nabla \cdot (-p \mu_p \nabla \phi - D_p \nabla p) + G - R \quad (3)$$

式中

$$G - R = \left[A_n |J_n| \exp\left(-\frac{B_n}{|\nabla \phi|}\right) + A_p |J_p| \exp\left(-\frac{B_p}{|\nabla \phi|}\right) \right] - (np - n_i^2)(C_n n + C_p p) - \frac{np - n_i^2}{(n + n_i)\tau_p + (p + n_i)\tau_n} \quad (4)$$

(4)式中第一项为碰撞电离率^[10],第二项是 Auger 复合率^[11],最后一项是热复合率。

(4)式中各系数值见参考文献[10,11]。

方程(1)~(4)由有限差分法求解。表 1 为数值计算中 MOSFET 的边界条件。

在连续性方程离散化中,对图 2 所示单位沟道宽度的小体积元 \$V(i, j)\$ 体积分得

表 1 N 沟 MOSFET 边界条件

边 界	电位 (V)	载流子密度 (cm^{-3})	电流 (A)
AB	$V_s + \phi_B$	$n = N_D, p = \frac{n_i^2}{N_D}$	$I_s = \int_{\sigma} j \cdot d\mathbf{s}$
EF	$V_D + \phi_B$	同 上	$I_D = \int_{\sigma} j \cdot d\mathbf{s}$
CD	$V_G - V_{FB}$		
HG	V_B	$p = N_A, n = \frac{n_i^2}{N_A}$	
BE	$s_{ox} \frac{\partial \psi}{\partial y} \Big _{ox} = s_{si} \frac{\partial \psi}{\partial y} \Big _{si}$		$J_s = 0$
AH, FG	$\frac{\partial \psi}{\partial x} = 0$		$J_x = 0$

σ 代表漏、源引出端面积。 V_s, V_D, V_G, V_B 为各电极电压。 ϕ_B 为源和漏与衬底的 PN 结势垒高度。 N_A, N_D 分别为受主和施主杂质浓度。

$$\frac{\Delta N(i, j)}{\Delta t} = \int_s j \cdot d\mathbf{s} + (G - R) \cdot V(i, j) \quad (5)$$

式中 s 代表小体积元 $V(i, j)$ 的表面积, $\Delta N(i, j)$ 代表 $i + \Delta t$ 时刻小体积元内电子数的净增量。

整理(5)式得微小时间 Δt 内, 每一格点电子体密度变化量为

$$\Delta n(i, j) = \Delta t \left[\frac{1}{V(i, j)} \int_s j \cdot d\mathbf{s} + G - R \right] \quad (6)$$

空穴的连续性方程离散化与电子类似, 故不赘述。

运用“载流子总量分析方法”求解 MOSFET 基本方程的步骤如下:

- 求解平衡态泊松方程, 得平衡态载流子密度 n_0, p_0 。
- 漏端加电压、计算 n_0, p_0 载流子密度分布下的电位分布。
- 由时间迭代法求电子、空穴的连续性方程, 第 k 次时间迭代后载流子密度为

$$n^{(k)} = n^{(k-1)} + \Delta n^{(k)}, \quad p^{(k)} = p^{(k-1)} + \Delta p^{(k)}$$

- 求新的载流子分布 $n^{(k)}, p^{(k)}$ 下的泊松方程, 得电位分布 $\varphi^{(k)}$ 。

- 判别 $|\varphi^{(k)} - \varphi^{(k-1)}| < \varepsilon_1$ 与 $\left| \frac{\Delta n^k}{n^{(k)} - n_0} \right| < \varepsilon_2$ 是否成立? $\varepsilon_1, \varepsilon_2$ 为迭代解的精度。

若满足收敛条件, 即得稳态解, 否则, 重复 (c)、(d) 过程。

三、结果及讨论

数值计算能够得到确切的短沟道器件电学性能, 并提供了详尽的电位、载流子密度以及相应的电场强度、电流密度和产生-复合率的二维分布。

短沟道 MOS 器件的热载流子效应紧密依赖于电场强度的分布。图 3 为不同偏置条件下, 漏区附近表面横向电场强度的模拟结果。运动载流子在高电场中获得足够大的

能量会发生碰撞电离。碰撞电离产生的空穴流向衬底形成衬底电流 I_{sub} 。以往许多文献计算 MOSFET 衬底电流时，均采用漏势垒区内最大电场平均值近似计算碰撞电离率，并

得出 I_{sub} 随 V_G 增大呈指数规律下降。实验与二维衬底电流模拟结果均表明，栅电压较高时，短沟道器件 I_{sub} 并不显著随着 V_G 上升而下降。确切计算衬底电流应求整个沟道区域内产生-复合率的体积分。

$$I_{\text{sub}} = W \iint_{\Omega} (G - R) dx dy \quad (7)$$

式中， Ω 为栅下沟道区总面积。 W 为沟道宽度。

由(4)式得知 $(G - R)$ 紧密依赖于器件内部电场强度、电流密度和载流子密度的分布。

LADES1-A 软件可以较好地模拟衬底电流现象。图 4 为不同栅电压下，漏边缘处垂直于沟道表面的截面上， $(G - R)$ 与电流密度 J_x 、电场强度 E_x 和电子密度 n 的分布。

V_G 较大时，图 4 中 n 、 J_x 最大值均位于表面，而 E_x 最大值则在衬底内。 V_G 较小时， n 、 J_x 最大值位于表面下的体硅内，而电场强度最大值移到了表面处。

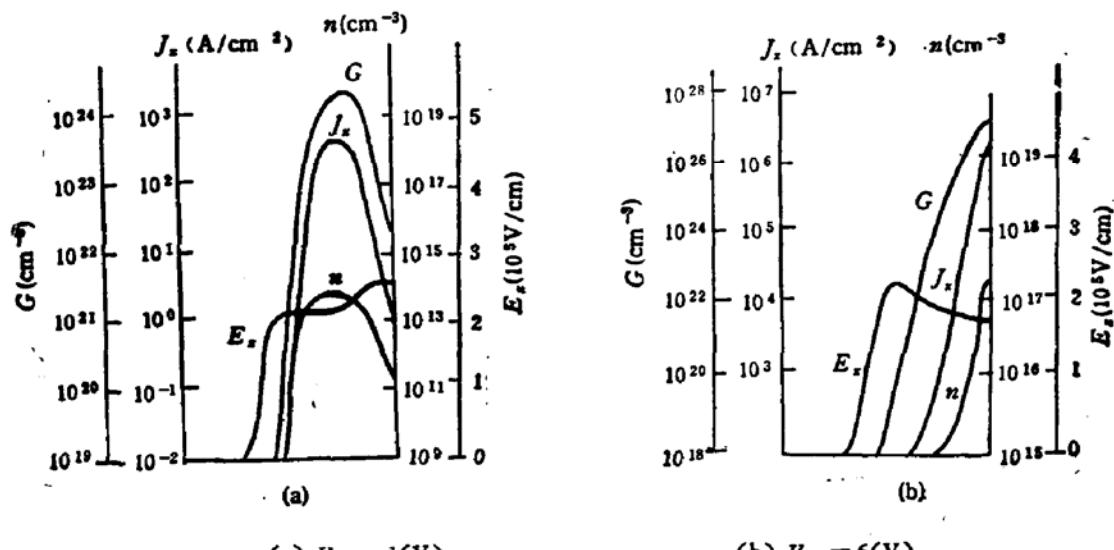


图 4 漏边缘垂直沟道表面的 $(G - R)$ 与 J_x 、 E_x 、 n 的分布。
 $V_D = 5(V)$, $V_s = V_B = 0(V)$

图 5 清楚地描绘了碰撞电离率 G_{imp} 的二维分布。 G_{imp} 主要集中在漏-衬底 PN 结附近。 G_{imp} 在垂直沟道表面的方向上的位置，随着外加偏置电压的不同而异。

衬底电流随着栅电压的变化示于图 6。高栅压下，短沟道器件 I_{sub} 并不明显随着 V_G

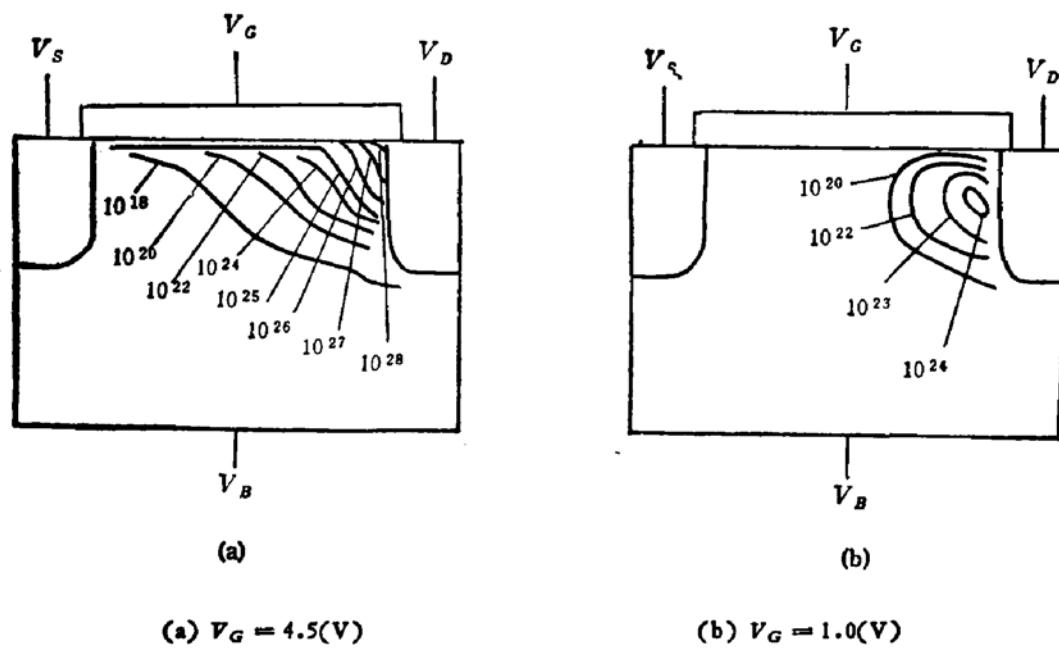


图 5 碰撞电离率 G_{ion} 的二维分布
 $V_D = 5(V)$, $V_s = V_B = 0(V)$

上升而下降。这一点可以解释为, 短沟道器件中, 由于漏感生势垒降低等短沟道效应的影响, 使得相同偏置条件下, 短沟道器件漏源电流增大。高栅压下, 大量电子运动通过漏势垒区, 形成准稳定的负电荷分布。这些电子收集部分来自漏区的电力线, 使得漏区内电场有增强的趋势。另一方面, 与长沟道器件类似, 由于栅-漏电位差下降, 漏区电场又有下降的趋势。由于上述两个相反趋势的作用, 短沟道 MOSFET 衬底电流在较高栅电压下, 并不显著随 V_G 上升而下降。

MOSFET 设计中, 应设法减小电流密度较大区域的电场强度。采用适当的轻掺杂漏结构, 可以减小 MOSFET 中的衬底电流。LADES1-B 模拟结果表明, LDD-MOSFET 的衬底电流比相同沟道长度的普通 MOSFET 的衬底电流减小了一个数量级左右。

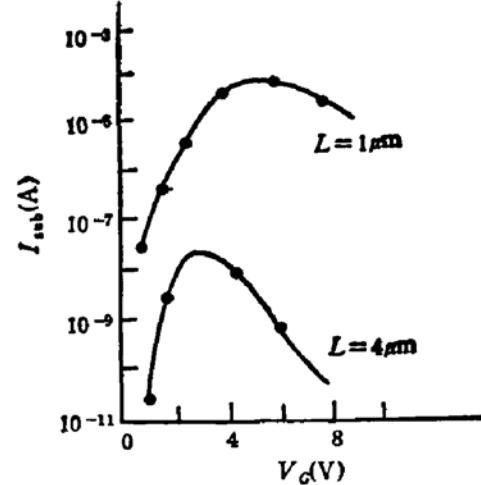


图 6 $I_{sub} \sim V_G$ 关系。
 $x_f = 0.2\mu m$, $t_{ox} = 80 nm$, $N_A = 2 \times 10^{16} cm^{-3}$,
 $V_D = 5V$ —— 实验值 ● 数值模拟

四、结 论

本文基于“载流子总量分析方法”, 提出一种新的短沟道 MOSFET 数值模拟算法。该模型同时考虑两种载流子的漂移、扩散运动以及非平衡载流子的复合-产生效应, 它适用于包括亚阈值工作区在内的直流稳态数值计算。短沟道 MOSFET 热电子效应可严重影响器件性能, 本文计算了热载流子效应产生的衬底电流, 模拟与实验结果基本吻合。

参 考 文 献

- [1] W. Shockley, *Proc. IRE*, **40**, 1365 (1952).
- [2] W. Fichtner, D. Rose, and R. Bank, *IEEE Trans. Electron Devices*, **ED-30**, 1018 (1983).
- [3] A. C. Ipri, L. B. Medwin, N. Glodsmith, and F. W. Brehm, *IEEE J. Solid-State Circuits*, **SC-17**, 248. (1982).
- [4] S. Selberherr, A. Schutz, and H. W. Pottl, *IEEE J. Solid-State Circuits*, **SC-15**, 605 (1980).
- [5] K. Yokoyama, M. Tomizawa, A. Yoshii, and T. Sudo, *IEEE Trans. Computer-Aided Design*, **CAD-4**, 452 (1985).
- [6] 黄敞,《超大规模集成电路与微计算机》,24—144,科学出版社,(1985).
- [7] C. Huang, M. Du, H. Tian, and F. Wang, The Proc. of the Inter. Conf. on Semiconductor and Integrated Circuits Technology, 508, Beijing, (1986).
- [8] F. C. Hsu, P. K. Ko, and R. S. Muller, *IEEE Trans. Electron Devices*, **ED-29**, 1735 (1982).
- [9] D. Estreich, *IEEE Electron Device Lett.*, **EDL-4**, 111 (1983).
- [10] R. V. Over3trethen and H. D. Man, *Solid-State Electron.*, **13**, 583 (1970).
- [11] M. S. Adler, *IEEE Trans. Electron devices*, **ED-25**, 16 (1978).

Two-Dimensional Short Channel Mosfet Steady State and Substrate Current Simulation

Du Min and Huang Chang

(Shanxi Lishan Microelectronics Corporation, Shanxi)

Abstract

Using total quantity of carrier analysis method, a new numerical model for two-dimensional short channel steady state MOSFET is presented. The Poisson equation, the continuity equations for electrons and holes are solved via twodimensional MOSFETs simulator LADES1-A(Lishan Advance Device Simulation Version no. 1-A). The LADES1-A can be used to design and predict the effect of diffrent process conditions and geometric structures of the devices. This simulator is very useful for device designers to study the phenomena inside the device aiming at decreasing the short channel effect by optimum method. In order to illustrate the application of the simulator, some of our simulation results of short channel MOSFET are presented. The substrate current produced by hot carriers and the generation-recombination rate of nonequilibrium carriers are discussed in detail.

KEYWORDS Short channel MOSFET, Numerical simulation, Hot carrier effect, Substrate current