

# InGaAs 中 Be 离子注入的研究

张永刚 富小妹 潘慧珍 陈如意 张荟星

(中国科学院上海冶金研究所, 上海) (北京师范大学低能物理研究所, 北京)

1987年3月30日收到

本文研究了 InGaAs 外延层中的  $\text{Be}^+$  注入, 采用 SIMS、电化学 C-V 和 Hall 等方法进行了测试分析, 结果表明: 采用低于  $700^\circ\text{C}$  的近似包封变温热退火可以获得较高的电激活率和表面质量, 形成的  $\text{pn}$  结具有高击穿电压和低漏电流, 此方法已应用于单片集成 InGaAs PIN-JFET 光接收器件的制作, 获得了良好的器件特性。

**主题词:** 离子注入, 锗, 钪镓砷半导体, 光电子集成电路

## 一、引言

与扩散法相比, 用离子注入进行材料改性具有可控性强、重复性好等优点, 已得到广泛应用。在 III-V 族化合物半导体的 P 型离子注入掺杂剂中, Be 的原子量较小, 具有注入损伤小, 射程深和电激活率高等特点, 近年来引起了广泛的关注, 国外对 InGaAs 中的  $\text{Be}^+$  注入已进行了研究并应用于器件制作<sup>[1-3]</sup>, 但国内目前这方面工作开展较少, 本文报告了对 InGaAs 外延材料进行  $\text{Be}^+$  注入并应用于单片集成器件制作的初步研究结果。

## 二、实验方法

实验中采用的试样为在 [100] 晶向的 InP 衬底上 LPE 生长的 InGaAs 外延片, 其晶格失配度小于  $1 \times 10^{-3}$ , 载流子浓度约为  $1 \times 10^{16} \text{ cm}^{-3}$ , 迁移率约  $7000 \text{ cm}^2/\text{V} \cdot \text{s}$ , 衬底分低阻 n 型及掺 Fe 半绝缘两种, 半绝缘衬底用于 Hall 测试及单片集成器件制作, 低阻衬底用于其它测试。实验中采用的能量剂量对单注入为  $50 \text{ keV } 5 \times 10^{14} \text{ cm}^{-2}$ , 对两重注入为  $50 \text{ keV } 5 \times 10^{14} \text{ cm}^{-2} + 150 \text{ keV } 2 \times 10^{15} \text{ cm}^{-2}$ , 采用较高的剂量主要是为了提高 SIMS 分析的灵敏度, 对单片集成器件制作采用单注入, 能量剂量为  $30 \text{ keV } 2 \times 10^{14} \text{ cm}^{-2}$ 。

注入后的样品进行了变温近似包封热退火, 注入片置于两片 InAs 衬底之间, 退火在高纯 N<sub>2</sub> 气氛中进行, 条件为  $675^\circ\text{C}$  3min +  $640^\circ\text{C}$  15min, 退火前后进行了 SIMS 测试以确定 Be 原子的分布变化, 退火后进行了电化学 C-V 测试以确定载流子的深度分布及激活情况, 此外尚用 Hall 法测试了薄外延层的空穴迁移率, 对退火后的样品用 AuZn 及 AuGeNi 制作了欧姆接触, 腐蚀出台面后进行 I-V 测试, 以确定注入损伤的恢复情况, 在此基础上采用选择注入的方法制作了单片集片 InGaAs PIN-JFET 光接收器件并进行了直流特性测试。

### 三、实验结果及讨论

图1示出了SIMS及C-V测试的结果,同时亦示出了LSS理论值以资比较,由图可见,退火前Be原子呈高斯分布,峰值位置与LSS值基本重合,退火后Be原子的分布发生了较大变化,峰值附近浓度下降较多,有明显的向内部扩散,近表面附近有Be原子堆积出

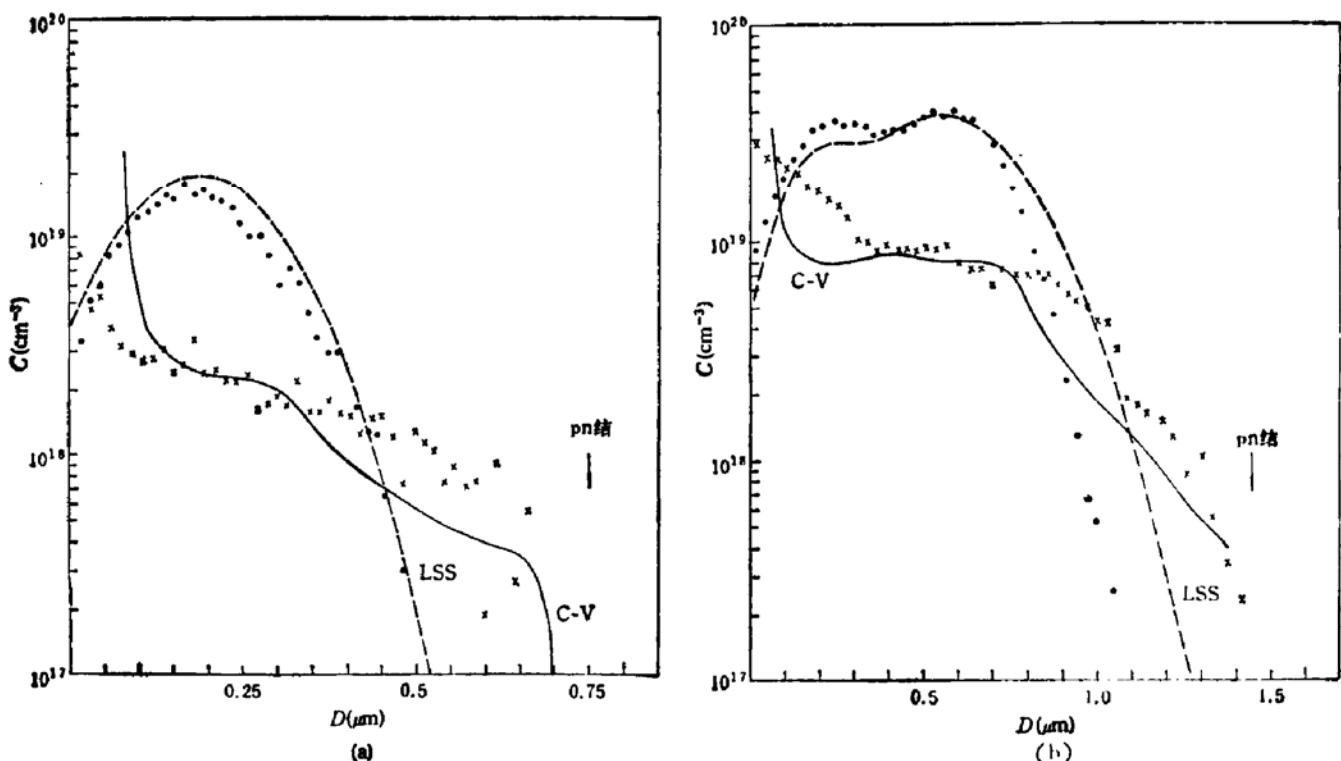


图1 InGaAs 中 Be 的原子分布及载流子分布, ····· SIMS 退火前, ×××× SIMS 退火后  
(a) 单注入 (b) 两重注入

现,我们认为此变化是常规的热扩散与注入损伤引起的增强扩散共同作用的结果,峰值附近能量沉积较多,损伤严重,退火中伴有较强的增强扩散,所以浓度下降较多,样品内部损伤较小,主要是常规热扩散起作用,Be原子向内移动较明显,说明在此温度下Be在InGaAs中已有较高的热扩散系数,这对精确控制结果是不利的,有待用快速退火等加以改善,表面附近的原子堆积可能与热退火引起的表面热分解有关,As空位和其它复合缺陷有可能引起Be的堆积,有待作进一步研究。

由C-V测试估算出的电激活率对单注入约为40%,对两重注入约为34%,均高于[2]的报道,这与采用变温热退火有关,高温短时间加低温长时间退火有利于损伤恢复并可减少表面热分解,对激活有利,从C-V分布上看,峰值附近激活较完全,这是因为损伤严重的区域一般退火较完全,对激活有利,两边因损伤小,退火不完全,激活较差,Be<sup>+</sup>注入近表面的高激活率可能与Be的反常替位有关,此外尚进行了不同条件下的退火试验,结果表明降低温度会使激活率明显下降,升高温度则使热分解加剧严重影响表面质量,采用CVD SiO<sub>2</sub>包封也无助于抑制表面热分解,而用InAs作近似包封则对热分解有明显的抑制,在热退火条件下载流子饱和浓度低于10<sup>19</sup>cm<sup>-3</sup>,继续增加注入剂量无助于提高载流

子浓度，因  $\text{Be}^+$  的激活已达到饱和，图 2 为  $\text{Be}^+$  注入 pn 结的  $I-V$  特性，其理想因子约 1.5，-5V 下漏电流小于  $10\text{nA}$ ，Hall 测试得薄外延层中  $\mu_p = 135 \text{ cm}^2/\text{V} \cdot \text{s}$  ( $\bar{P} = 2.85 \times 10^{18} \text{ cm}^3$ )，与掺 Zn 外延材料 ( $\mu_p = 153 \text{ cm}^2/\text{V} \cdot \text{s}$ ,  $\bar{P} = 1.58 \times 10^{18} \text{ cm}^{-3}$ ) 相近，这说明注入损伤恢复较好；对单注入，结深约  $0.75 \mu\text{m}$ ，击穿电压约  $80\text{V}$ ，对两重注入结深  $1.44 \mu\text{m}$ ，击穿电压约  $60\text{V}$ ，图 3 为采用 CVD  $\text{SiO}_2$  作为掩膜进行选择注入制成的单片集成  $\text{InGaAs PIN-JFET}$  光接收器件的特性曲线，其具体制作工艺将另文介绍。

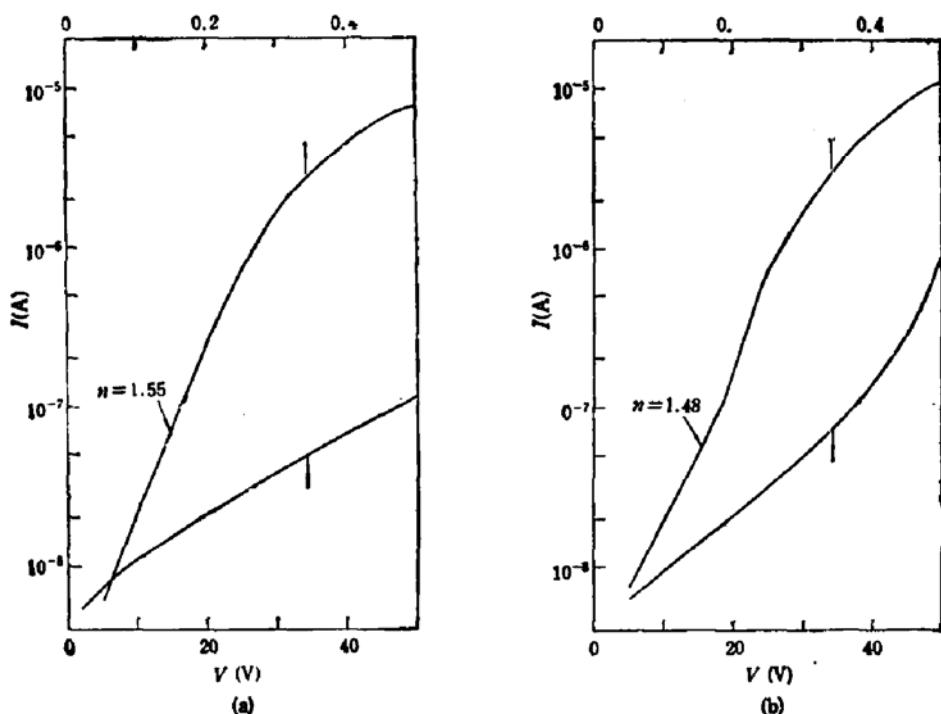


图 2 InGaAs  $\text{Be}^+$  注入 pn 结的  $I-V$  特性  $A_d = 1.13 \times 10^{-4} \text{ cm}^2$

(a) 单注入 (b) 两重注入

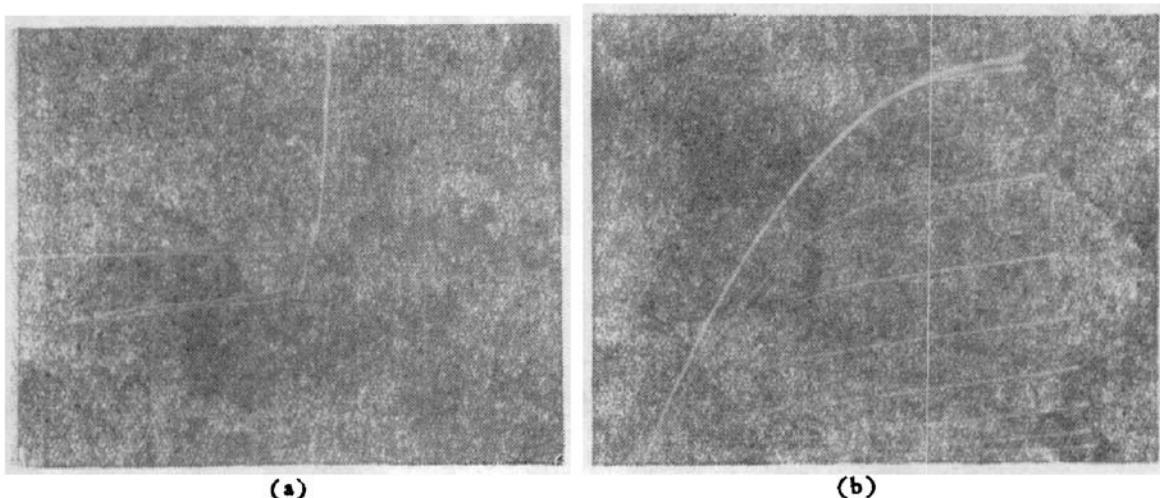


图 3  $\text{Be}^+$  选择注入制作的 InGaAs PIN-JFET 单片集成器件的直流特性

(a) 有光照和无光照时 PIN 的  $I-V$  特性  $x: 1\text{V/div}, y: 20\mu\text{A/div}$

(b) JFET 的输出特性 棚长  $4\mu\text{m}$ , 棚宽  $100\mu\text{m}$ .  $x: 0.5\text{V/div}, y: 2\text{mA/div}, \text{step: } 1\text{V}$

薛正留同志作 SIMS 测试，梁琦同志作 Hall 测试，在此表示衷心感谢。

### 参 考 文 献

- [1] K. Tabatabaei-Alavi, A. N. M. M. Choudhury, N. J. Slater and C. G. Fonstad, *Appl. Phys. Lett.*, 40, 517 (1982).
- [2] B. Tell, R. F. Leheny, A. S. H. Liao, T. J. Bridges, E. G. Burkhardt, T. Y. Chang and E. D. Beebe, *Appl. Phys. Lett.*, 44, 438 (1984).
- [3] S. Hata, M. Ikeda, T. Amano, G. Motosugi, K. Kurumada, *Electron. Lett.*, 20, 947 (1984).

## Research on the Ion Implantation of Be into InGaAs

Zhang Yonggang, Fu Xiaomei, Pan Huizhen

*(Shanghai Institute of Metallurgy, Academia Sinica, Shanghai)*

Chen Ruyi and Zhang Huixing

*(Institute of Low Energy Physics, Beijing Normal University, Beijing)*

### Abstract

Ion implantation of Be into InGaAs and their annealing behaviour have been studied by using SIMS, electrochemical  $C-V$  and Hall measurement. Results show that proximity cap annealing below 700°C with step temperature cycle results in high activation and good surface quality. Be-implant pn junctions with high breakdown voltage and low leakage current have been constructed, and have been used in the fabrication of monolithically integrated PIN-JFET photo-receivers, fairly good characteristics have been measured.

**KEY WORDS:** Ion implantation, Beryllium, InGaAs alloy semiconductor, Optoelectronic integrated circuit