

n 沟增强型 InP MISFET 研究

江若连 郑有炓 王仁康

(南京大学物理系)

1987年9月28日收到

在掺 Fe 的 $\langle 100 \rangle$ 晶向半绝缘 InP 上, 用 TEOS 为源的 PECVD SiO_2 作为栅氧化层, 以 Si^+ 注入 S.I. InP 形成源、漏区, 研制成基于 InP/SiO₂ 界面的 n 沟增强型 InP MISFET。其饱和区跨导 g_m 为 6.4mS/mm , 沟道有效电子迁移率 μ_{eff} 为 $1400\text{cm}^2/\text{V}\cdot\text{s}$, 并对 InP MISFET 特性及漏电流慢漂移行为作了讨论与分析。

主题词: 金属-绝缘体-半导体场效应晶体管, 等离子增强化学汽相沉积, 离子注入, 退火, 俄歇电子能谱, X 射线光电子谱, 跨导, 有效电子迁移率

一、引言

InP 具有高迁移率、高饱和漂移速度、低电离系数和高热导率等优异性能, 是发展高速电路、微波器件和光电器件很有前途的化合物半导体材料, 又由于它与绝缘膜(如 SiO_2 、 Al_2O_3 等)的界面具有较低的界面态密度, 使它成为发展化合物半导体 MIS(金属-绝缘体-半导体)器件的重要材料。近年来, 人们对发展 InP MIS 器件做了许多研究并取得较大进展, 已研制出 InP MIS 场效应器件并以它的高电子迁移率引人注目^[1-3]。然而, 目前 InP MIS 场效应器件的工艺条件仍不成熟, 器件的电学性能尚不够稳定, 如表现在输出特性曲线上有“滞回线”, 漏电流随时间慢漂移等现象。因此, InP MIS 器件目前仍在研究探索之中。

本文报道了国内首次研制成功的 n 沟增强型 InP MISFET。它是在掺 Fe 半绝缘 InP 衬底上, 以 TEOS (正硅酸乙酯 Tetraethoxy-Silane) 为源的 PECVD (等离子增强化学汽相沉积) SiO_2 作为栅氧化物, 注入硅离子 Si^+ 并以磷硅玻璃为盖片退火形成 n^+ 层作为源、漏区而制成的。文中给出了研制成的 n 沟增强型 InP MISFET 的特性, 并对结果进行了讨论与分析。

二、实验

1. InP MISFET 的制备

InP MISFET 的结构剖面示意图见图 1。衬底材料选用 $\langle 100 \rangle$ 晶向、掺 Fe 半绝缘 InP 单晶片, 单晶片经过溴甲醇化学机械抛光, 其电阻率大于 $10^7\Omega\cdot\text{cm}$ 。

场效应管的源、漏区用离子注入 n^+Si^+ , 注入能量为 150KeV , 注入剂量为 5×10^{14}

cm^{-2} , 注入层深度约为 $0.3 \mu\text{m}$ 。离子注入后, 进行了以磷硅玻璃 (PSG) 为盖片的无包封热退火。退火温度为 730°C , 退火时间为 20min, 退火时采用高纯氩气为保护气体。退火后表面薄层电阻一般达 $200 \sim 500 \Omega/\square$ 。

InP MISFET 的栅绝缘层 SiO_2 是采用 PECVD 技术以 TEOS 为源在氧气氛中辉光放电沉积而成。使用的沉积条件为: 炉温 300°C , TEOS 温度 20°C , 产生等离子体的射频频率 10MHz , 射频功率 20 W 。InP 表面的清洗采用常规的甲苯、丙酮、无水乙醇等有机溶剂进行。在沉积 SiO_2 前用 $\text{HF:H}_2\text{O} = 1:1$ 的溶液去除 InP 表面天然氧化物薄层。沉积完毕紧接着在 300°C 温度下在氩气气氛中退火 20 min。

源、漏区上面蒸发厚度约 3000\AA 的 AuGeNi 合金为金属电极, 以形成和 $n^+ \text{-InP}$ 之间的良好欧姆接触。蒸发前 InP 表面用去离子水冲洗。蒸发完毕接着在 400°C 温度、 N_2 气氛中合金化 2min。栅绝缘层 SiO_2 的上表面蒸发 Al 作为栅金属电极。

InP MISFET 的栅长设计为 $24 \mu\text{m}$, 栅氧化层厚度为 1700\AA 。

2. 等离子增强化学汽相沉积 SiO_2

InP MISFET 的栅氧化层 SiO_2 是采用 PECVD 技术低温沉积的, 所用化学反应物为 TEOS 和 $\text{O}_2^{[16]}$ 。沉积前 InP 的表面处理甚为重要, 经过实验比较, 采用 $\text{HF:H}_2\text{O} = 1:1$ 溶液腐蚀去除 InP 表面的天然氧化物薄层, 获得了较低的 InP/ SiO_2 界面态密度。沉积后紧接着退火, 以消除等离子产生的辐射损伤并去除残留的有机团。

图 2 是用 PHI 550 型多功能电子能谱仪对沉积膜进行的俄歇电子能谱 (AES 谱) 和 X 光电子能谱 (XPS 谱) 分析。AES 谱指出沉积膜由硅、氧两种元素组成, XPS 谱给出 $\text{Si}(2p)$ 和 $\text{O}(1s)$ 的结合能分别为 103.3 eV 和 532.4 eV , 这与 SiO_2 中 O 和 Si 的结合能相符合。这些结果表明该沉积膜为纯净的 SiO_2 膜。

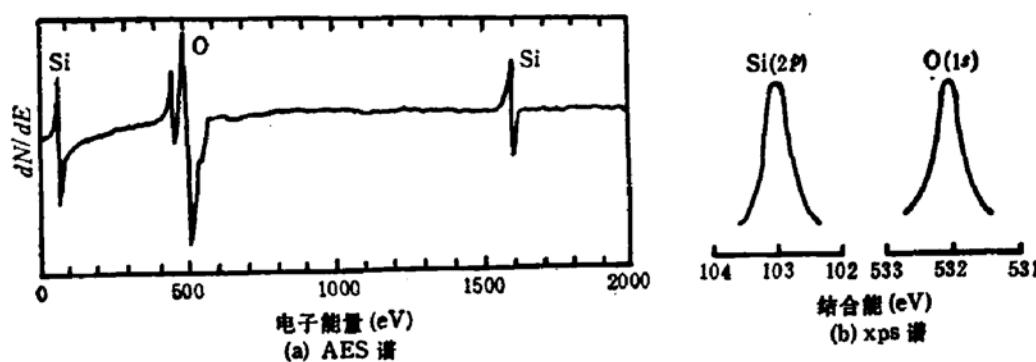


图 2 PECVD SiO_2 膜的 AES 和 XPS 分析

经过测量, 所沉积的 SiO_2 膜具有良好的性质, 它的主要参数为: 折射率 1.46, 介电常数 $4.5 \sim 5.2$, 电阻率 $> 2 \times 10^{13} \Omega \cdot \text{cm}$, 击穿场强 $> 2 \times 10^4 \text{ V/cm}$ 。

为研究 PECVD SiO_2/InP 界面电学性质, 在掺 Zn, 空穴浓度为 $4 \times 10^{16} \text{ cm}^{-3}$, $\langle 100 \rangle$ 晶向的 P 型 InP 上用同样方法淀积 SiO_2 , 制成 Al-SiO₂-InP MIS 结构。图 3 是它的典型高频 $C-V$ 曲线。该曲线的最小电容值与理论计算相符, 说明 InP MIS 电容能够实现积累、耗尽和反型, 费米能级在禁带中移动范围较宽, 未被高界面态密度所钉扎。由 $C-V$ 曲线可以看出滞后量很小, 一般小于 0.5 V, 如图所示样品的 $C-V$ 曲线几乎看不出什么滞后, 这说明所制成的 InP/SiO₂ 界面的界面陷阱态密度较低。

3. 半绝缘 InP 的 Si^+ 注入与退火

InP MISFET 的源、漏区是在半绝缘 InP 单晶衬底上注入 Si^+ 形成的。注入在室温下进行, 为避免沟道效应, 注入偏 $\langle 100 \rangle$ 晶向 7° 。为使注入杂质电激活并消除注入引起的晶格损伤, 对注入样品进行了热退火。由于 InP 分解温度较低, 实验采用了磷硅玻璃 (PSG) 片为盖片的无包封热退火。磷硅玻璃系由 n^- -Si 片上生长厚度约 4000 \AA 的 PSG 层制成, 退火时必须紧贴在 S.I. InP 的注 Si^+ 面上, 见图 4。退火在高纯氩气中进行。

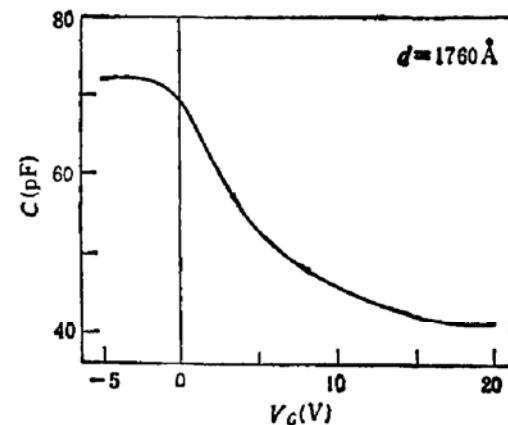


图 3 Al-SiO₂-(P)InP MIS 结构的典型高频 $C-V$ 曲线

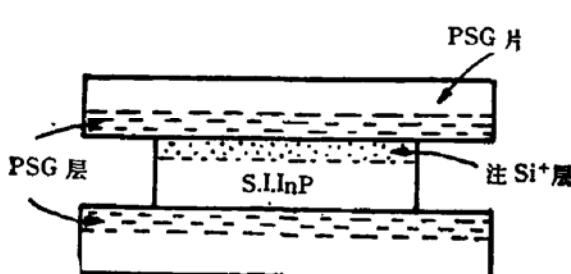


图 4 退火时 PSG 片紧贴注 Si^+ InP 样品

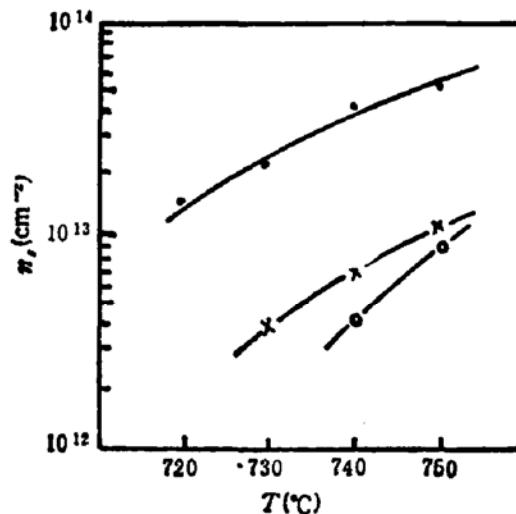


图 5 表面载流子浓度与退火温度的关系

● $\Phi = 3 \times 10^{13} \text{ cm}^{-2}$ $\times \Phi = 1 \times 10^{13} \text{ cm}^{-2}$ 及 $5 \times 10^{13} \text{ cm}^{-2}$
两次注入 ○ $\Phi = 1 \times 10^{14} \text{ cm}^{-2}$

经过反复实验, 退火温度在 $720 \sim 750^\circ\text{C}$, 退火时间在 $15 \sim 30 \text{ min}$ 范围, 退火后 InP 表面光亮, 不挥发分解。由范德堡霍耳测量得到激活率在 $30 \sim 95\%$ 范围, 霍耳迁移率可高达 $1900 \text{ cm}^2/\text{V} \cdot \text{s}$, 表面薄层电阻最低可达 $203 \Omega/\square$, 表面载流子浓度 n_s 最高达 $5 \times 10^{13} \text{ cm}^{-2}$ 。图 5 是注入能量为 150 keV , 三种不同注入剂量 Φ 的注 Si^+ InP 样品退火后的表面载流子浓度与退火温度关系图。通过实验研究, 我们选用注入能量为 150 keV , 注入剂量为 $5 \times 10^{13} \text{ cm}^{-2}$ 的注入参数和退火温度为 730°C , 退火时间为 20 min 的退火参数。

三、实验结果与讨论

在上述关键工艺的基础上,研制成功了 InP MISFET。用 QT 2 晶体管特性图示仪等测量了它的特性,并进行了讨论。

1. InP MISFET 输出特性

图 6(a)、(b) 是由晶体管图示仪测量显示的栅长为 $24 \mu\text{m}$ n 沟增强型 InP MISFET 的典型输出特性曲线。测量时源电极接地, 源与衬底之间未接偏置电压。图中坐标分度为: 垂直轴 I_D — $1\text{mA}/\text{度}$, 水平轴 V_D — $1\text{V}/\text{度}$, 阶梯栅电压 V_G — $1\text{V}/\text{级}$, 栅电压的扫描重复频率为 100 Hz 。

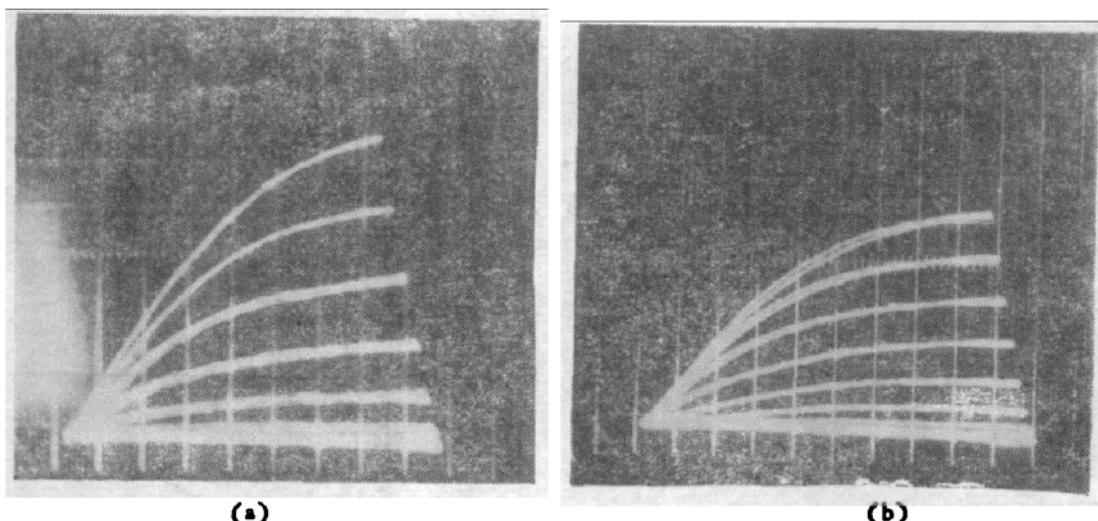


图 6 n 沟增强型 InP MISFET 典型输出特性曲线

图 6(a)、(b) 显示了绝缘栅场效应管的正常输出特性, 存在线性区和饱和区。从输出曲线上看到曲线的“滞回线”很小(见图 6(b)), 而在图 6(a) 中几乎消失。栅夹断时漏电流很小, 一般小于 $10 \mu\text{A}$, 说明栅夹断能力很正常。场效应管的栅源击穿电压、漏源击穿电压一般都大于 15 V 。

由输出特性曲线估算出饱和区的有效跨导 g_m' 可高达 4.4 mS/mm 。

2. 饱和区 $I_D^{1/2}-V_G$ 特性

通常绝缘栅场效应管在饱和区的漏电流 I_D 和栅源电压 V_G 满足关系式

$$I_D = \frac{W}{2L} \cdot C_{ox} \cdot \mu_{eff} \cdot (V_G - V_T)^2 \quad (1)$$

式中 W 为栅宽, L 为栅长, C_{ox} 为氧化层电容, μ_{eff} 为沟道的有效载流子迁移率, V_T 为场效应管的开启电压。

将上式两边开方, 得到饱和区 $I_D^{1/2} \sim V_G$ 的关系

$$I_D^{1/2} = \left(\frac{W}{2L} \cdot C_{ox} \cdot \mu_{eff} \right)^{1/2} \cdot (V_G - V_T) \quad (2)$$

图 7 为根据输出特性曲线得到的 $I_D^{1/2}$ 与 V_G 的关系。可以看到, $I_D^{1/2}$ 随 V_G 的变化满

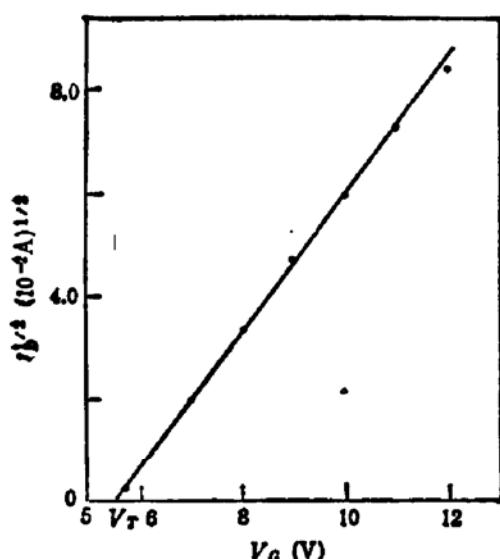
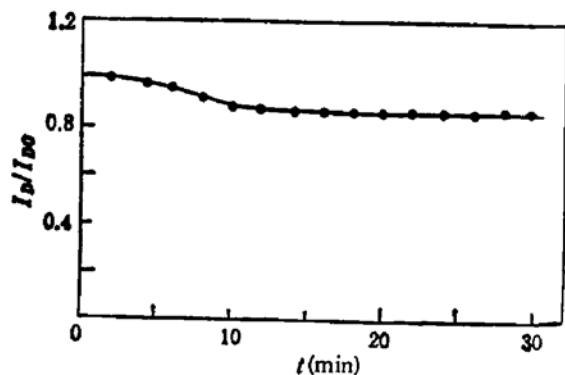
图7 饱和区 I_b^2 随 V_{gs} 变化曲线

图8 漏电流随时间的变化

足方程(2)，即 I_b^2 随 V_g 线性变化。由它的斜率求得沟道的有效电子迁移率 $\mu_{eff}=960\text{cm}^2/\text{V}\cdot\text{s}$ ，由它与 x 轴的截距求得开启电压 $V_t=+5.6\text{V}$ （设开启时 $I_D=10\mu\text{A}$ ）。所制备的 InP MISFET 的 V_t 一般在 $+3.5$ — $+6\text{ V}$ 之间。如果减薄栅氧化层厚度，开启电压可相应地降低。

3. 漏源串联电阻对主要参数的影响

图6输出特性的线性区斜率不很陡峭表明场效应管的漏源串联电阻较大。根据线性区的斜率可估算漏源串联电阻 R_{ds} ，所研制的 InP MISFET 的 R_{ds} 一般为 $600\sim 1000\Omega$ 范围。图6(a)所示的场效应管的 $R_{ds}=730\Omega$ 。显然，这个数值比普通硅材料的场效应管的 R_{ds} （一般 $<20\Omega$ ）要大得多。由于串联电阻的存在，使实际加在沟道区的栅源电压和漏源电压低于外端电极上所施加的电压，因此，从特性曲线上所计算的场效应管的有效跨导 g_m' 值要低于无串联电阻存在的理论跨导 g_m 值。在饱和区， g_m' 、 g_m 和源极串联电阻 R_s 的关系为^[7]

$$g_m' = \frac{g_m}{1 + R_s \cdot g_m} \quad (3)$$

若 R_s 取 $\frac{1}{2}R_{ds}$ 为 365Ω ，可由(3)式算得 $g_m = 1.45g_m'$ 。所以如果考虑串联电阻的修正，图6(a)所示的场效应管的 g_m 为 6.4 mS/mm ，沟道有效电子迁移率 μ_{eff} 为 $1400\text{ cm}^2/\text{V}\cdot\text{s}$ ，开启电压 V_t 也将降低。

本实验中造成漏源串联电阻偏大的主要原因可能是蒸发 AuGeNi 之前 InP 源、漏区表面清洗不净造成。因此，通过进一步改进设计和工艺中的问题，InP MISFET 的特性将会得到改善，可获得较理想的跨导、沟道有效电子迁移率，开启电压等主要参数，更充分体现 InP 材料的优越性能。

4. InP MISFET 漏电流慢漂移行为

实验中观察到 InP MISFET 存在漏电流慢漂移现象。图8示出在 $t=0$ 瞬间施加

正栅电压 V_{GS} 后，其漏电流 I_D 随时间 t 的漂移情况。图中漏电流 I_D 用起始值 I_{D0} 归一化。可以看到，漏电流随时间缓慢地降低，大约经过 10 min 降低到某一稳定值。实验还发现漏电流慢漂移与温度有关，温度越高漂移越明显。

漏电流慢漂移行为是目前发展 InP MISFET 器件存在的最主要问题，它关系到器件的稳定性与可靠性。慢漂移现象与界面慢电子陷阱的电子俘获过程有关，但其详细产生机构目前仍不十分清楚。近来已有不少研究提出了各种不同的模型^[8]，把界面慢电子陷阱来源归之于栅绝缘层中的电子陷阱或界面氧化物陷阱，也可能来自 InP 表面缺陷。在本实验中，根据对 PECVD SiO₂/InP 界面结构分析和所观察到漏电流随时间缓慢降低及其与温度的依赖关系，可以认为与 PECVD SiO₂/InP 界面过渡区氧化物有关。图 9 为 PECVD SiO₂/InP 的 AES 深度剖面分析，由图看出其界面过渡区存在一较宽的过渡区，约为 260 Å。XPS 分析指出^[9]过渡区氧化物为 InPO₄。因此，漏电流慢漂移可能来自界面过渡区 InPO₄ 氧化物中电子陷阱的电子俘获过程，如图 10 所示。在 InPO₄ 导带下存在一定数量的深电子陷阱，图中仅画出位于 InP 导带底之上能量为 E_t 的电子陷阱。在正栅压 V_{GS} 作用下，InPO₄ 氧化物能带发生倾斜，相应地陷阱能级位置也倾斜。这时，InP 表面沟道中的电子可以通过热激发隧道过程进入到界面附近 InPO₄ 氧化物中，也可以通过隧道过程进入到离界面较远的陷阱中。电子一旦为陷阱俘获，就造成漏电流减小。前者与温度有关，后者与温度无关，但总效果是体现出与温度相关的。所以，温度越高，被陷阱俘获的电子越多，漏电流减小得也越明显。当然，如果界面过渡区 InPO₄ 氧化物较薄，也可能会有 PECVD SiO₂ 膜内电子陷阱的贡献。

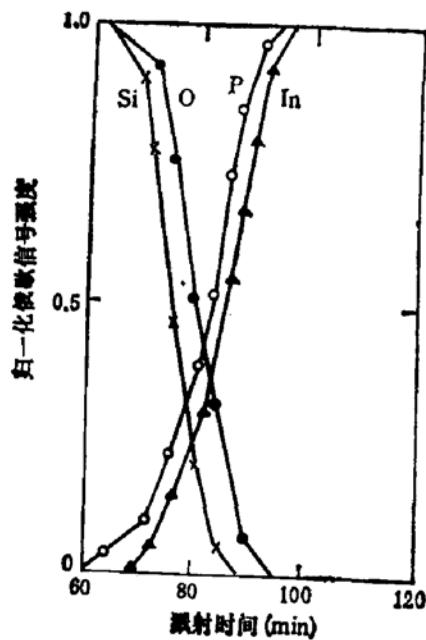


图 9 PECVD SiO₂/InP 界面的 AES 深度分布

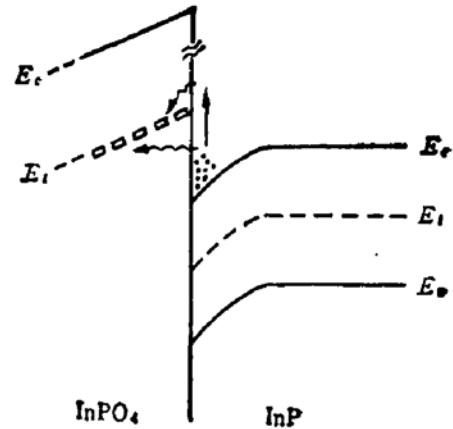


图 10 InPO₄/InP 界面的电子陷阱

要指出的是，这里所观察到漏电流漂移幅度约为 13%，这对于没有用缓冲层而直接在半绝缘 InP 上制作的 MISFET 来说并不算大。这表明本实验制取的 PECVD SiO₂/InP 界面氧化物陷阱密度不算高。

四、结 论

通过上述的实验研究,得出如下结论:

1. 用以 TEOS 为源的 PECVD SiO_2 作为栅氧化层和 S. I. InP 上注入 Si^+ 形成源、漏区, 成功地在 S. I. InP 衬底上研制成基于 InP/SiO₂ 界面的 n 沟增强型 InP MISFET。其典型参数 $g_m' = 4.4 \text{mS/mm}$, $\mu_{\text{eff}} = 960 \text{cm}^2/\text{V}\cdot\text{s}$, 如果去除漏源串联电阻的影响, InP MISFET 的 g_m 达 6.4mS/mm , μ_{eff} 将达 $1400 \text{cm}^2/\text{V}\cdot\text{s}$ 。
2. 实验观察到 InP MISFET 漏电流随时间缓慢降低的慢漂移现象, 反映了 InP/SiO₂ 界面过渡区氧化物 (InPO_x) 中慢陷阱态对器件的影响。
3. 由 InP MISFET 的良好性能及研制过程中获得较高的成品率和较好的一致性, 说明用 TEOS-PECVD SiO_2 膜技术可获得 MISFET 器件所需的良好 SiO_2/InP 界面性质, S. I. InP 上 Si^+ 注入及 PSG 盖片无包封热退火, 具有较高的激活率, 可运用于制作源、漏区。因此, 如果进一步改进器件的设计及工艺, 可望获得更高质量的 InP MISFET。
4. 本工作为进一步发展高迁移率 InP MISFET 器件打下了基础。研制成的场效应管还可用于研究 InP 界面二维电子气的性质。

本工作得到电子工业部南京 55 所, 中科院半导体所叶式中等同志以及南京大学李德宽同志的支持与帮助, 在此深表感谢!

参 考 文 献

- [1] K. P. Pande and V. K. R. Nair, *J. Appl. Phys.*, **55**, 3109 (1984).
- [2] Takayuki Sawada, Shin Itagaki, Hideki Hasegawa, and Hideo Ohno, *IEEE Transactions on Electron. Devices*, **ED-31**, 1038 (1984).
- [3] K. P. Pande and D. Gutierrez, *Solid-State Electronics*, **28**, 1045 (1985).
- [4] A. Antreasyan, P. A. Garbinski, V. D. Mattera, Jr., and H. Temkin, *Appl. Phys. Lett.*, **49**, 513 (1986).
- [5] P. D. Gardner, S. Yegna Narayan, S. G. Liu, D. Bechtle, Thomas Bibby, D.R. Cap well and S. D. Colvin, *IEEE Electron. Device Letters*, **EDL-8**, 45 (1987).
- [6] 江若琏, 徐俊明, 刘青淮, 王凯, 郑有料, 半导体学报, **6**, 429(1985).
- [7] A. S. Grove, *Physics and Technology of Semiconductor devices*, 中译本(齐建译), p. 322, 科学出版社, 1976 年。
- [8] D. L. Lile and M. J. Taylor, *J. Appl. Phys.*, **54**, 260 (1983).
- [9] 徐俊明, 江若琏, 刘青淮, 王凯, 郑有料, 南京大学学报, **22**, 688(1986)。

Study of n-Channel Enhancement Mode InP MISFETS

Jiang Ruolian, Zheng Youdou and Wang Renkang

(Department of Physics, Nanjing University)

Abstract

n-channel enhancement mode InP MISFETs based on InP/SiO₂ interface are fabricated on Fe-doped S. I. InP <100> orientated with TEOS-PECVD SiO₂ as the gate oxide. Source-drain regions are implanted with Si⁺ to create n⁺ layers. The effective electron channel mobility and transconductance are 1400 cm²/V·S and 6.4 ms/mm respectively. The characteristics of the MISFETs and long-term drain current drift of the MISFETs are discussed.

KEY WORDS: Metal-Insulator-Semiconductor field effect transistor, Plasma-enhanced chemical vapor deposition, Ion implantation, Annealing, Auger electron spectroscopy, X-ray photoelectron-spectroscopy, Transconductance, Effective electron mobility