

MISIS 结构的电特性和 $C(V)$ 研究

陈 晖 张继盛 李志坚

(清华大学微电子学研究所)

1986年1月3日

通过解一维泊松方程, 对均匀掺杂的 MISIS 结构进行模拟, 研究了表层硅厚度对该结构中电势分布和载流子浓度分布的影响。模拟结果表明: 在加栅压 V_G 时, 表层硅中同时存在一个耗尽区和积累区, 在耗尽区和积累区中间至少存在一个电中性点。在表层硅厚度大于相应的大耗尽层宽度的 1.6 倍时, 表层硅厚度对 MISIS 结构性质无影响。本文还从理论上推导出厚表层硅情况下的 MISIS 结构理想 $C(V)$ 关系, 并得到与实验相符合的结果。研究结果表明: $C(V)$ 特性对于研究 MISIS 结构中的参数, 具有分析一般 MIS 结构相同的功能。

随着大规模和超大规模集成电路的发展, 要求进一步提高 MOS 集成电路的速度和集成度, MOS 器件除了进一步按比例缩小外, 还向三维集成电路发展。MISIS 结构是三维集成电路的基本结构, 这种结构的 $C(V)$ 研究对结构中多层界面性质的了解, 对于三维集成器件的设计有重要意义。

本工作从理论上分析了 MISIS 结构中的电势分布和载流子浓度分布, 在此基础上对其 $C(V)$ 特性进行理论和实验研究。

一、MISIS 结构和基本方程

理论计算的结构如图 1(a) 所示, 这里 M, I, S, I, S 分别表示栅电极, 栅氧化层, 表层硅, 埋入绝缘层 (Si_3N_4 或 SiO_2) 和体硅, 表层硅和体硅均为 n 型。考虑一维情况, 电势 ϕ 满足以下泊松方程:

$$\begin{cases} \frac{d^2\phi}{dx^2} = -\frac{q}{\epsilon_0\epsilon_s} (N_{D1} + P_1 - n_1), & (\text{在表层硅中}) \\ \frac{d^2\phi}{dx^2} = -\frac{q}{\epsilon_0\epsilon_s} (N_{D2} + P_2 - n_2), & (\text{在体硅中}) \\ \frac{d^2\phi}{dx^2} = 0, & (\text{在绝缘层中}) \end{cases} \quad (1)$$

(1) 式中 ϕ 为电势, N_{D1} , n_1 , P_1 分别是表层硅中的离化杂质浓度, 电子浓度和空穴浓度, N_{D2} , n_2 , P_2 分别是体硅中的离化杂质浓度, 电子浓度和空穴浓度。

当加负栅压 V_G 时, MISIS 结构能带图如图 1(b) 所示, 在准平衡条件下, 表层硅和体硅中的准费米能级分别持平, 以体硅电中性区为电势参考点, 设体硅中费米能级为 E_F , 表层硅中费米能级 $E_{F1} = E_F + |\epsilon V_2|$, 金属中的费米能级为

$$E_{FM} = E_F + |\epsilon V_2| + |\epsilon V_1|.$$

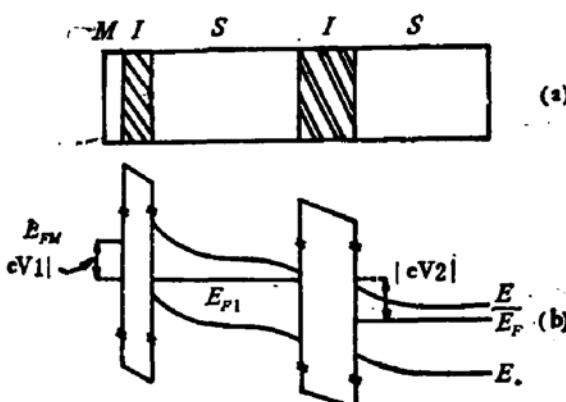


图 1 MISIS 结构 (a) 及其能带图 (b) 示意图

其中 V_1 和 V_2 满足方程:

$$V_G - V_{MS} - V_N = V_1 + V_2. \quad (2)$$

V_{MS} 为金属和表层硅接触电势差, $V_N = \frac{kT}{q} \ln(N_{D1}/N_{D2})$ 为表层硅和体硅由于浓度差引起的接触电势差。

确定了费米电位, 那么表层硅和体硅中的载流子浓度可表示为:

$$\begin{cases} n_2 = n_i e^{\frac{q}{KT}(\phi(x) - \phi_F)}, \\ P_2 = n_i e^{\frac{q}{KT}(\phi_F - \phi(x))}. \end{cases} \quad (\text{在体硅中}) \quad (3)$$

$$\begin{cases} n_1 = n_i e^{\frac{q}{KT}(-\phi_F + \phi(x) - V_2)}, \\ P_1 = n_i e^{\frac{q}{KT}(\phi_F - \phi(x) + V_2)}. \end{cases} \quad (\text{在表层硅中}) \quad (4)$$

其中 $\phi_F = \frac{KT}{q} \ln(n_i/N_{D2})$. 从方程 (4) 知, 当 $\phi(x) = V_2 - \phi_F + \phi_F \equiv V_0$ 时, 该点载流子浓度与热平衡时的载流子浓度相等, 即

$$n_1 = n_{so} = n_i e^{\frac{-q}{KT}\phi_F},$$

$$P_1 = P_{so} = n_i e^{\frac{q}{KT}\phi_F}.$$

其中 $\phi_F = \frac{KT}{q} \ln(n_i/N_{D1})$. 那么在 $\phi(x) = V_2 - \phi_F + \phi_F \equiv V_0$ 处, 存在一个电中性点, 在 $\phi(x) > V_0$ 区域, 表层硅积累, 在 $\phi(x) < V_0$ 区域, 表层硅耗尽, 所以在电中性点两边一边积累, 另一边必然是耗尽。

由于表层硅两边都存在绝缘层, 所以表层硅中必然满足电中性条件, 即表层硅中总电荷为 0, 据高斯定律, SiO_2 和 Si_3N_4 中的电场强度 E_{ox} 和 E_N 满足:

$$\epsilon_{ox} E_{ox} = \epsilon_N E_N. \quad (5)$$

假设界面电荷均可忽略, 在三个界面上应用电位移矢量 D 连续得:

$$\begin{cases} \epsilon_{ox} E_{ox} = \epsilon_S E_{s1}, & (\text{在 } \text{SiO}_2/\text{表层硅界面上}) \\ \epsilon_S E_{s1} = \epsilon_N E_N, & (\text{在表层硅/Si}_3\text{N}_4 \text{界面上}) \\ \epsilon_N E_N = \epsilon_S E_{s3}. & (\text{在 Si}_3\text{N}_4/\text{体硅界面上}) \end{cases} \quad (6)$$

其中 E_{s1} , E_{s2} , E_{s3} 分别为 $\text{SiO}_2/\text{表层硅}$, 表层硅 / Si_3N_4 , $\text{Si}_3\text{N}_4/\text{体硅}$ 界面处半导体

中的电场。由(5), (6)式得:

$$E_{s1} = E_{s2} = E_{s3}. \quad (7)$$

设体硅电中性区为电势参考点,则

$$\phi = 0. \quad (\text{体硅中电中性区}) \quad (8)$$

在金属和 SiO_2 界面上,电势满足:

$$\phi = V_G - V_{MS} - V_N. \quad (9)$$

由方程(1)一(9)可以完全确定 MISIS 结构的状态,我们编制了程序,用数值方法^[1]求解。

二、计算结果及讨论

1. 电势、电场强度和载流子浓度分布

图 2(a), (b), (c) 分别表示 $V_G = -4.79\text{V}$ 时 MISIS 结构中电势, 电场强度和载流子浓度分布。在表层硅中随 x 增大, 电势增大, 在接近电中性点时增长速度变慢, 过了电中性点, 增加的速度又增大, 这反映表层硅中的电场强度分布为先从大到小, 接着又从小变大, 如图 2(b) 所示电场强度分布存在一个极小值, 该点就是电中性点。从图 2(c) 所示的载流子浓度分布曲线, 可以看出表层硅中从耗尽区到积累区的变化。这不难理解, 因为当加负偏压时, 在靠近 SiO_2 一侧硅中的电子被排斥, 赶到靠近 Si_3N_4 一侧的硅中, 那么造成一侧耗尽, 另一侧积累的现象, 积累区电荷总量和耗尽区电荷总量, 大小相等, 符号相反。有二点值得注意, (1) 由于 $E_{s1} = E_{s2} = E_{s3}$, 所以电场强度并不象 MIS 结构那

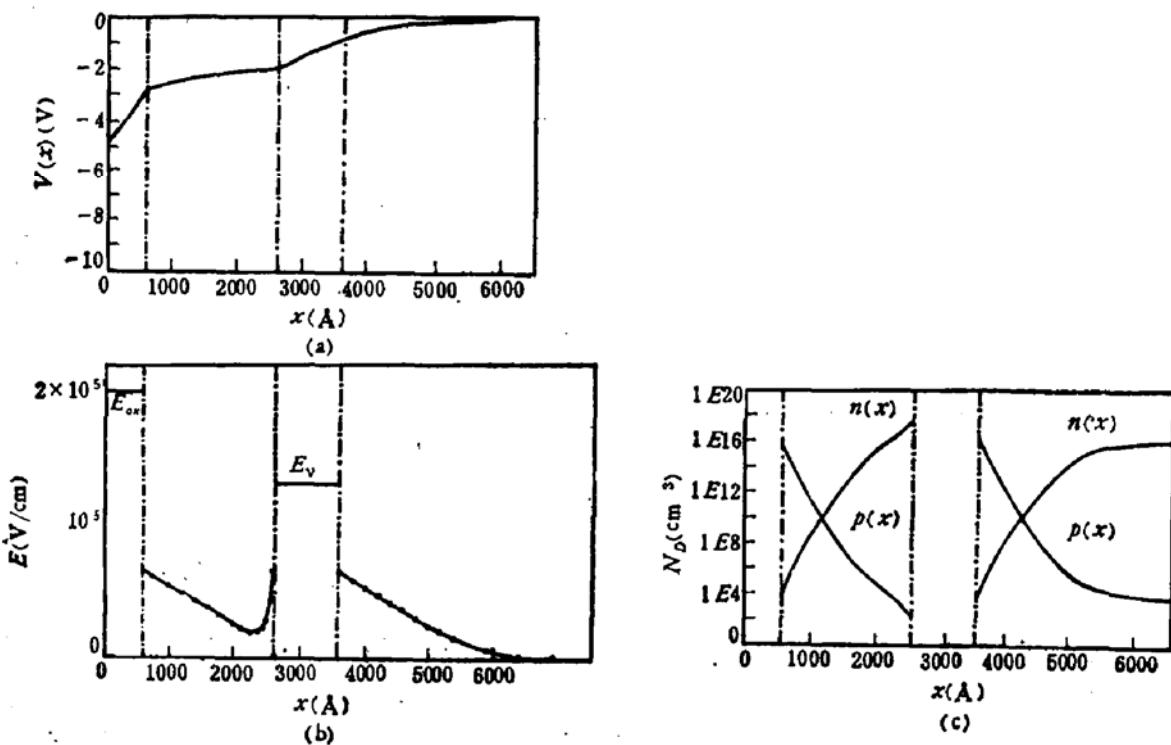


图 2 MISIS 结构中电势 (a), 电场强度 (b) 和载流子浓度分布 (c)
 $V_G = -4.79\text{V}$, $t_{ox} = 600\text{\AA}$, $T_N = 1000\text{\AA}$, $N_{D1} = 2 \times 10^{16}\text{cm}^{-3}$, $N_{D2} = 2 \times 10^{16}\text{cm}^{-3}$

样随 x 增大而衰减, 当所加栅压足够负时, 表层硅耗尽反型, 体硅也耗尽反型。(2) 与体硅电中性点电场强度不同, 表层硅电中性点电场强度可以不为 0。

2. 表层硅电中性点位置随栅压变化

为了突出问题, 图 3 只画出表层硅中的电势分布(以表层硅中电中性点为零电势参考点)水平线为参考电位, 电势曲线与水平线交点为电中性点的位置。在栅压较小时, 存在一个电中性区, 随 $|V_G|$ 增大, 电中性区收缩为一个点, 并且随 V_G 变负, 该点向右移动, 强反型后, 电中性点位置不再移动。

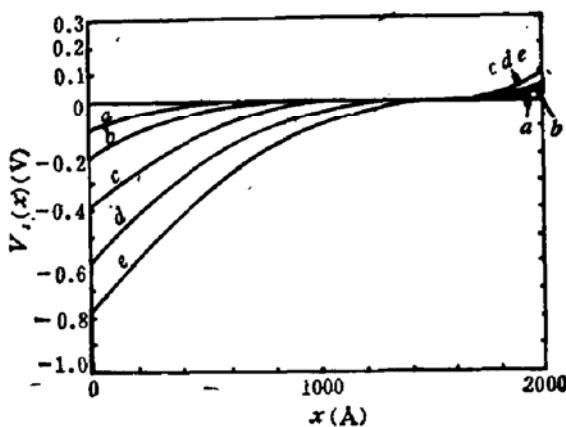


图 3 表层硅中不同栅压下电势分布。 $T_{Si} = 2000 \text{ \AA}$, $N_{D1} = 2 \times 10^{14} \text{ cm}^{-3}$, 曲线 a: $V_{Si} = -0.1 \text{ V}$, 曲线 b: $V_{Si} = -0.2 \text{ V}$, 曲线 c: $V_{Si} = -0.38 \text{ V}$, 曲线 d: $V_{Si} = -0.6 \text{ V}$, 曲线 e: -0.77 V

3. 薄体效应

所谓薄体效应是指在表层硅较薄时, MISIS 结构性质受表层硅厚度的影响。我们把靠近 SiO_2 一侧的表层硅表面势 $V_{Si} = 2\phi_F$ 时的栅压定义为阈值电压 V_T , 其中 V_{Si} 是相对表层硅中电中性点的电位。

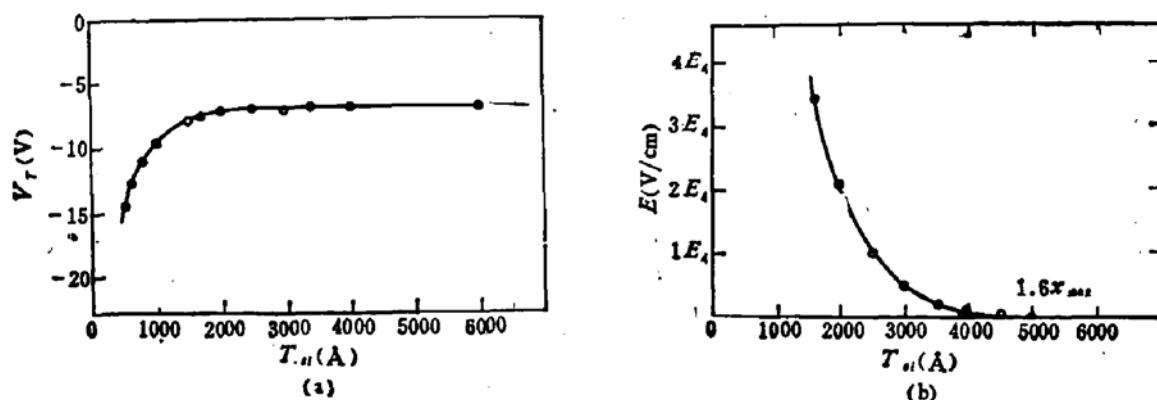


图 4 阈电压 (a) 和表层硅中电中性点电场强度 (b) 随表层硅厚度变化。
 $T_N = 3000 \text{ \AA}$, $T_{ox} = 600 \text{ \AA}$, $N_{D1} = 2 \times 10^{14} \text{ cm}^{-3}$, $N_{D2} = 2 \times 10^{14} \text{ cm}^{-3}$

图 4(a) 为 V_T 随表层硅厚度 T_{Si} 的变化曲线。随 T_{Si} 增大, $|V_T|$ 减小。由于表层硅比较薄, 耗尽区宽度受到限制, 在 V_{Si} 一定时, T_{Si} 越大, 电场越弱, 那么绝缘层中的电场越弱, 所以需加的栅压越小。在 T_{Si} 大到一定程度后, 耗尽区宽度不再受到厚度影响, 这时 V_T 与 T_{Si} 无关。这种变化趋势与文献 [3] 的结果是一致的。

图 4(b) 为 $V_{Si} = 2\phi_{pi}$ 时, 表层硅中电中性点电场 E_0 随 T_{Si} 变化关系。 E_0 随 T_{Si} 增大而减小, 当 T_{Si} 大于最大耗尽层宽度 X_{dmax} 的 1.6 倍时, E_0 降为 0, 即当 $T_{Si} > 1.6X_{dmax}$ 后, 即使在强反型时表层硅中积累区和耗尽区也不碰上, 也就是说表层硅中近似存在一个电中性区, 那么 T_{Si} 对 MISIS 结构性质无影响。

三、MISIS 结构理想 $C(V)$ 特性

上面分析已指出在 $T_{Si} > 1.6X_{dmax}$ 时, 表层硅电中性点电场为 0, 设电中性点电位为 0, 据半导体表面理论有:

$$\begin{cases} E_{S1} = \frac{KT}{qL_{D1}} F\left(\frac{qV_{S1}}{KT}, \frac{P_{n01}}{n_{n01}}\right) \times V_{S1}/|V_{S1}|, \\ E_{S2} = \frac{KT}{qL_{D1}} F\left(\frac{qV_{S2}}{KT}, \frac{P_{n01}}{n_{n01}}\right) \times V_{S2}/|V_{S2}|. \end{cases} \quad (10)$$

其中 P_{n01} 和 n_{n01} 分别是在热平衡状态下表层硅中少子和多子浓度, L_{D1} 是表层硅中的德拜屏蔽常数, V_{S1} 和 V_{S2} 分别是表层和表层硅/Si₃N₄ 界面处相对于表层硅电中性点的电位, F 为归一化电场强度:

$$F\left(\frac{qV}{KT}, \frac{P_{n0}}{n_{n0}}\right) = \sqrt{\frac{2}{\pi}} \left[\left(e^{-\frac{qV}{KT}} + \frac{qV}{KT} - 1 \right) + \frac{P_{n0}}{n_{n0}} \left(e^{\frac{qV}{KT}} - \frac{qV}{KT} - 1 \right) \right]^{\frac{1}{2}}. \quad (11)$$

同理在体硅中, 以体硅电中性区为电势参考点, 那么

$$E_{S3} = \frac{KT}{qL_{D2}} F\left(\frac{qV_{S3}}{KT}, \frac{P_{n02}}{n_{n02}}\right) \times V_{S3}/|V_{S3}|.$$

其中 n_{n02} 和 P_{n02} 分别是热平衡状态下体硅中的多子和少子浓度, V_{S3} 是 Si₃N₄/体硅界面处相对体硅电中性点的电位, L_{D2} 是体硅中的德拜长度。

由 $Q_{Si} = \epsilon_s E_{Si}$ 和 $C_{Si} = \frac{dQ_{Si}}{dV_{Si}}$ ($i = 1, 2, 3$) 可把三个区的电容 C_{S1} , C_{S2} 和 C_{S3} ,

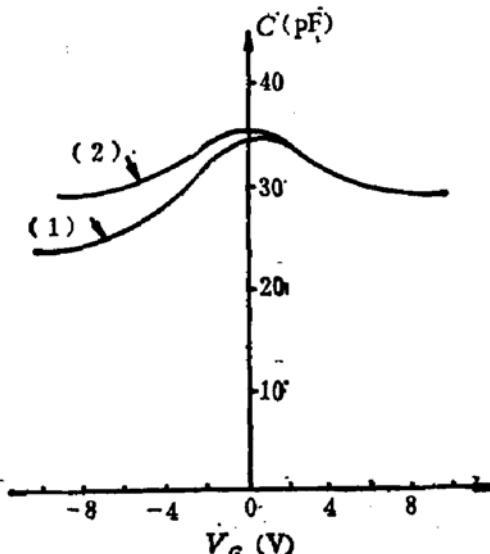


图 5 理想 MISIS 结构 $C(V)$ 特性曲线

曲线 (1): $N_{D1} = N_{D2} = 2 \times 10^{16} \text{ cm}^{-3}$ 曲线 (2): $N_{D1} = 2 \times 10^{16} \text{ cm}^{-3}$, $N_{D2} = 2 \times 10^{18} \text{ cm}^{-3}$

分别求出,然后把 C_N , C_{ox} , C_{s1} , C_{s2} 和 C_{s3} 串联起来,得到 MISIS 结构的总电容, V_G 与 V_{s1} , V_{s2} , V_{s3} 的关系可由(1)~(9)式算出,由此得到 MISIS 结构的 $C(V)$ 特性曲线。

图 5 为不同杂质浓度下,MISIS 结构的 $C(V)$ 特性曲线,计算时假定了 $(V_{MS} + V_N) = 0$, 曲线(1) $N_{D1} = N_{D2} = 2 \times 10^{16} \text{ cm}^{-3}$ 。当栅压 $V_G < (V_{MS} + V_N)$ 时, $V_{s1} < 0$, $V_{s3} < 0$ 是耗尽区, $V_{s2} > 0$ 是积累区, 电容 C 主要是耗尽区电容 C_{s1} 和 C_{s3} 的贡献, V_G 变更负, 电容变小, 达强反型后, 电容达最小值

$$\frac{1}{C_{\min}} = \frac{1}{C_M} + \frac{1}{C_{s\min1}} + \frac{1}{C_{s\min3}}. \quad (13)$$

其中

$$\begin{cases} C_{s\min1} = \epsilon_S / x_{d\max1} \\ C_{s\min3} = \epsilon_S / x_{d\max3} \\ \frac{1}{C_M} = \frac{1}{C_{ox}} + \frac{1}{C_N} \end{cases}$$

在 $V_G = V_{MS} + V_N$ 处, $V_{s1} = V_{s2} = V_{s3} = 0$, 半导体电容均为平带电容, 所以

$$\frac{1}{C_0} = \frac{1}{C_M} + \frac{1}{C_{ox}} + \frac{1}{C_{p21}} + \frac{1}{C_{p23}}. \quad (14)$$

在 $V_G > V_{MS} + V_N$ 时, $V_{s1}, V_{s3} > 0$ 是积累区, $V_{s2} < 0$ 是耗尽区, 随 V_G 增大, 耗尽区电容下降, 所以 MISIS 结构电容随 V_G 增大而下降, 达强反型时, 电容达最小值

$$\begin{cases} \frac{1}{C_{\min2}} = \frac{1}{C_M} + \frac{1}{C_{s\min2}}, \\ C_{s\min2} = \epsilon_S / x_{d\max2}. \end{cases} \quad (15)$$

由(12)、(13)和(14)式,可求出 N_{D1} , N_{D2} 和 C_M 。知道 T_{ox} (或 T_N), 由 C_M 可以求出 T_N (或 T_{ox}), 所以对 MISIS 结构的 $C(V)$ 特性测量可以得到关于 MISIS 结构参数的信息,如绝缘层厚度,表层硅和体硅的掺杂浓度。

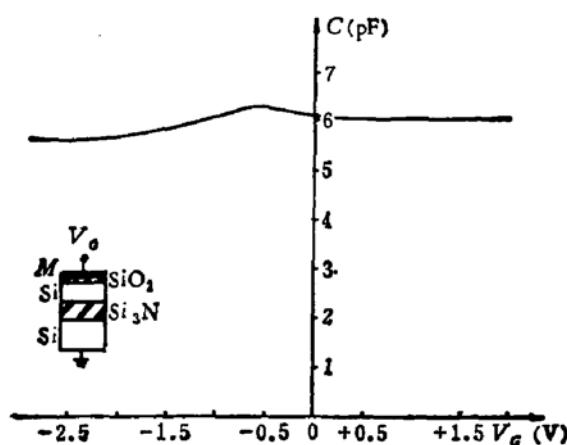


图 6 MISIS 结构实验 $C(V)$ 曲线 $T_N = 3500 \text{ \AA}$, $T_{ox} = 724 \text{ \AA}$, $N_{D1} = 2.3 \times 10^{17} \text{ cm}^{-3}$, $N_{D2} = 1.1 \times 10^{17} \text{ cm}^{-3}$

曲线(2)是当 $N_{D2} = 2 \times 10^{18} \text{ cm}^{-3}$ 时, MISIS 结构的 $C(V)$ 特性, 由于体硅高掺杂, 实际上体硅对电容无贡献, 这样把界面(1)和界面(3)分离出, 通过测量这种结构的 $C(V)$ 特性曲线, 并与理想 $C(V)$ 特性曲线进行比较, 可以得到 MISIS 结构三个界面性质的信息。

图 6 为实测的厚表层硅情况的 MISIS 结构的 $C(V)$ 曲线, 埋层 Si_3N_4 是通过高剂量高能量氮离子注入经过高温热退火形成^[2], 由于 Si_3N_4 两侧的界面正电荷密度比较高^[2], 导致 $C(V)$ 曲线峰值出现在 $V_G < (V_{MS} + V_N)$ 一侧*, 实验结果和计算结果定性符合。界面固定电荷和界面态的影响有待于进一步研究。

结论: 用一维理论研究分析了 MISIS 结构的特性, 并推导出厚表层硅情况的 $C(V)$ 关系, 获得了与实验相符合的结果。分析表明 MISIS 结构 $C(V)$ 特性对于研究 MISIS 结构的许多参数, 如绝缘层厚度, 表层硅和体硅的掺杂浓度等, 具有分析一般 MIS 结构相同的功能。这对今后监控三维电路工艺是有实际意义的, 因为仍可以方便地利用两端器件作测量。

参 考 文 献

- [1] 夏永伟, 孔令坤和张冬董, 半导体学报, 5, 275(1984).
- [2] 陈晖, 清华大学微电子学研究所硕士论文,(1985).
- [3] 王守武, 夏永伟, 孔令坤和张冬董, 半导体学报 6, 225 (1985).

Study of Electrical Characteristics and $C-V$ Dependence of MISIS Structure

Chen Hui, Zhang Jisheng and Li Zhijian

(Institute of Microelectronics, Qinghua University)

Abstract

The characteristics of uniformly doped MISIS structure are simulated by solving one-dimensional Poisson equation and the influence of the thickness of top silicon layer upon the potential distribution and carrier density distribution in this structure is studied. The results of simulation show that when the gate voltage V_G is applied to the MISIS structure, a depletion layer and an accumulation layer always coexist on the top of silicon layer and there is at least an electrically neutral point in this layer. When the thickness of the top silicon layer is about 1.6 times larger than the maximum thickness of the depletion layer, the electrical characteristics of MISIS structure are independent of this thickness. Ideal capacitance/voltage dependence of MISIS structure is derived on the basis of the former simulation in the absence of surface states and the result is qualitatively verified by the experiment. The study shows that parameters such as doping concentration in both silicon layers and insulator thicknesses of MISIS structure can be estimated from the $C(V)$ measurement in comparison with the theoretical calculation just as in the case of conventional MIS structure.

* 注: 因所用栅材料为硅栅, 所以 $(V_{MS} + V_N)$ 很小。