

用 CMOS/TTL 兼容工艺实现的模拟乘除器

洪 志 良

(复旦大学微电子学研究所)

Hans Melchior

(瑞士联邦苏黎世高等理工学院)

1985 年 12 月 28 日收到

本文报道首次用发射区自对准 CMOS/TTL 兼容工艺实现的模拟四象限乘除器。实验测得这种乘除器在输入电压是电源电压 1/3 范围内具有非线性失真小于 1%，偏离电压小至几毫伏和输入动态范围超过电源电压一半等特性。

在 CMOS 工艺中,由于 MOS 管阈值电压的离散性,使得制备高精度模拟乘法器遇到了困难。在文献 [1] 中,我们报道了应用 Gilbert 模拟乘法器单元结构^[2],采用 CMOS 工艺中兼容的双极型管^[3]制成的模拟乘法器单元。在上述工作基础上,我们采用负反馈双平衡方法,又研制成下面的模拟四象限乘除器。

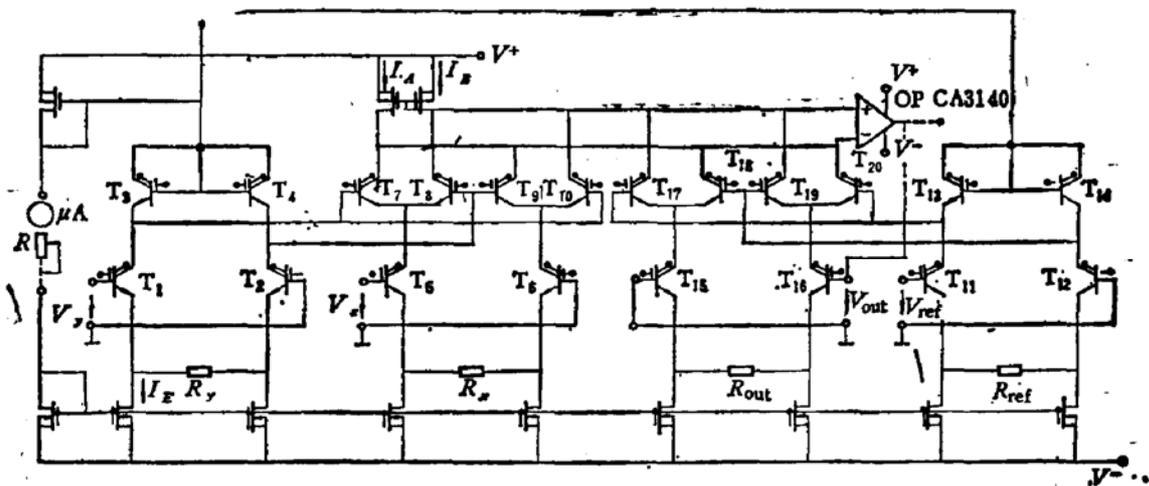


图 1 乘除器的线路图

如图 1 所示的乘除器是由二个乘法器单元^[2]和一个运算放大器组成。其中 V_x 、 V_y 为乘数输入端, V_{ref} 为除数输入端, 输出端直接负反馈到第四个输入端。根据文献 [1] 的推导,在负载电流镜的二个管子中的电流差有如下的形式:

$$i_A - i_B = \frac{-2\alpha^2 V_x V_y}{i_E R_x R_y} + \frac{2\alpha^2 V_{ref} V_{out}}{i_E R_{ref} R_{out}} \quad (1)$$

(1) 式中 α 是电流系数, $\alpha = i_c / i_E$ 。如果有一个电流差,它就会在运算放大器的二个输入端间产生电势差,经过运算放大器放大后反馈到其中的一个输入端,自动调整这个电流

差为零。当 R_x 、 R_y 、 R_{ref} 和 R_{out} 有相同数值时, 有关系式:

$$V_{out} = \frac{V_x V_y}{V_{ref}} \quad (2)$$

乘除器中的双极型管子都是发射区自对准的 NPN 横向管, 发射区自对准通过环栅 N 沟道 MOS 管工作在双极型状态来实现, 考虑到 $8\mu\text{m} \times 8\mu\text{m}$ 的引线孔, 取发射区几何尺寸为 $16\mu\text{m} \times 16\mu\text{m}$ 。电流源一律是栅极长和宽为 $20\mu\text{m}$ 和 $60\mu\text{m}$ 的 N 沟道 MOS 晶体管组成, 偏置电流可以通过外接电位器 R 来调节。乘法器单元的负载也是一个电流镜, 它是由一对 P 沟道、栅极长和宽分别是 $16\mu\text{m}$ 和 $32\mu\text{m}$ 的 MOS 管组成, 它们的漏极接到运算放大器的二个输入端。为了获得一个大的动态输入范围, 有大电阻值的 P 阱电阻用作发射极间电阻。

设计的电路用有六次光刻的 CMOS/TTL 兼容工艺制备。用 $1.5\Omega\text{cm}$ 电阻率的 N 型衬底直接制得阈值电压为 -1V 的 P 沟道 MOS 管。在注入能量为 80keV , 注入浓度为 $1.8 \times 10^{13}/\text{cm}^2$ 的 P 阱上, 制备阈值电压为 1V 左右的 N 沟道 MOS 管。栅氧化层厚度是 1000Å 。双极型管子实质是环栅 N 沟道 MOS 管, 所以整个工艺与 P 阱、硅栅 CMOS 工艺完全兼容。本工艺制备的双极型管具有 $\alpha = 0.25$, $\beta = 80$ 的电流放大系数。比例为 $50:1$ 的芯片见图 2。

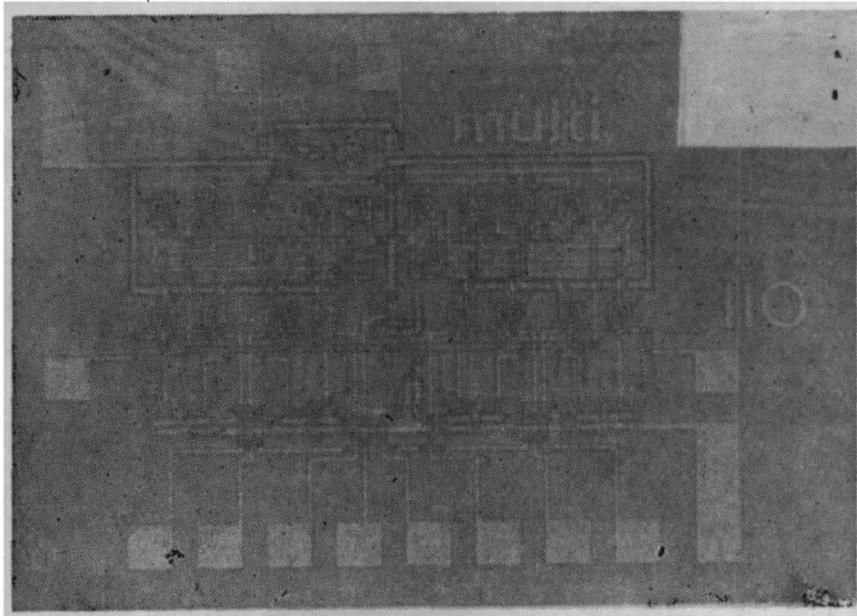


图 2

测试结果表明, 乘除器在所有四象限中都有好的乘法特性。当输入电压是电源电压一半时, 乘法作用的非线性失真小于 2% 。当输入电压在电源电压 $1/3$ 范围内时, 非线性失真小于 1% , 在一个象限中的误差小于 0.5% 。乘除器的乘法特性示于图 3。在表 1 中实验测得的结果与计算结果进行了比较。测试的条件是电源电压为 $\pm 8\text{V}$, V_x 是 1kHz 的正弦电压, V_y 是步进直流电压, V_{ref} 是一个恒定电压。

乘除器也有较好的除法特性。当二个输入电压是 1V 直流电压和作为除数的电压 V_{ref} 在 $0.5\text{V} - 2.5\text{V}$ 范围变化时, 除法作用的相对误差小于 2% 。乘除器输入动态范围略超过电源电压的一半, 输入偏离电压在 $0 - 50\text{mV}$ 范围内, 输出端的偏离电压在 30mV 之

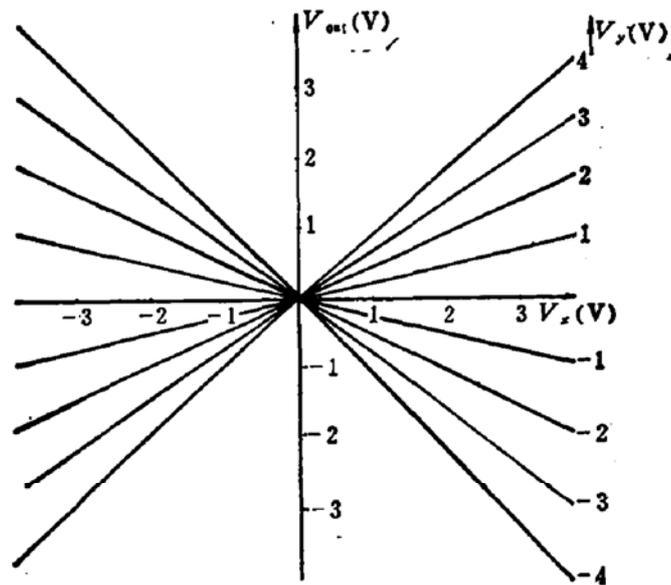


图3 乘除器的乘法特性
 $V_x = \pm 8V$, $V_{ref} = -5V$

表1 乘除器实验结果与理论值逐点比较

V_x (V)	1				2				3			
	1	2	3	4	1	2	3	4	1	2	3	4
V_{out} (V) 实测值	0.236	0.455	0.681	0.913	0.470	0.911	1.361	1.83	0.699	1.354	2.02	2.72
V_{out} (V) 理论值	0.236	0.455	0.683	0.910	0.472	0.910	1.365	1.826	0.708	1.365	2.047	2.73
相对误差(%)	0.00	0.00	0.07	0.33	0.40	0.11	0.29	0.22	1.27	0.081	1.35	0.37

内。电路的工作频率达 100kHz。在 $\pm 8V$ 电源电压和 $8\mu A$ 偏置电流下,功耗是 1.12mW。芯片尺寸是 $1.18mm^2$ 。

由测得的结果表明,这种乘除器的精度已超过工作在饱和区的 MOS 模拟乘法器^[4]。在 N 阱或双阱 CMOS 工艺发展以后,这种结构电路可以直接采用纵向双极型管子来实现。那样,不仅电路尺寸可以大大减小,而且它的精度和速度可以进一步提高。

本工作是在瑞士联邦苏黎世高等理工学院完成的,感谢 Aschmann 博士和 Schmid 博士对本工作的帮助。

参 考 文 献

- [1] Z. Hong and H. Melchior *Electronics Letters*, 21, 72(1985).
- [2] B. Gilbert; *IEEE J. Solid-State Circuits*, SC-9, 364(1974).
- [3] E. A. Vittoz, *IEEE J. Solid-State Circuits*, SC-18, 273(1983).
- [4] Z. Hong and H. Melchior, *Electronics Letters*, 20, 1015 (1984).

An Analog Multiplier-Divider Realized in CMOS/TTL Compatible Technology

Hong Zhiliang

(Institute of Microelectronics, Fudan University)

Hans Melchior

(Swiss Federal Institute of Technology, Zurich)

Abstract

An analog four-quadrant multiplier-divieler realized in CMOS/TTL compatatible technology is reported. Experiment results show that this circuit has a good linearity (The nonlinearity is less than 1% even when the inputs range half the supply-voltages). Small offset voltages and great dynamic ranges.