

# 两微米外延N阱CMOS工艺的研究

马槐楠 徐葭生

(清华大学微电子学研究所)

1986年4月23日收到

本文描述 $2\mu\text{m}$ 外延N阱CMOS工艺的研究,在工艺模拟和实验的基础上制定了合理的、可行的工艺流程。在工艺中成功地应用了全离子注入和红外瞬态退火技术。实验结果表明, $2\mu\text{m}$ CMOS器件具有优良的特性,适合超大规模集成电路的要求。5伏工作电压,21级 $2\mu\text{m}$ CMOS反相器环振链的级延时是 $0.48\text{ns}$ ,每级的延时功耗乘积是 $0.49\text{pJ}$ 。 $P^-/P^+$ 外延层结合N阱伪集电极保护环,可在CMOS电路中最易产生Latch-up的I/O电路部分保证不发生Latch-up。本工艺可以应用于超大规模集成电路的制作。

## 一、引 言

由于低的维持功耗、良好的噪声容限和抗 $\alpha$ 软失效能力等一系列突出优点,CMOS电路已经成为八十年代VLSI的主流,但是CMOS的最大弱点是在一定条件下、其本身PNPN四层结构所固有的可控硅效应,又称Latch-up效应。Latch-up效应将使电路产生误动作或造成电路的永久损坏。

为了提高CMOS电路抗Latch-up的能力,在设计和工艺上可采用许多措施<sup>[1-3]</sup>,其中,在低阻衬底上外延高阻层的工艺就是非常有效的措施,二维数值理论计算和实验结果都表明,采用外延可使Latch-up临界电流提高两个数量级<sup>[1,2]</sup>。

CMOS结构起始于P阱工艺,近年来,N阱工艺得到了很大的发展和应用,采用N阱工艺有如下优点:①N阱和成熟的NMOS工艺兼容,可以最大限度地同时发挥CMOS和NMOS的特长:在同一芯片上,要求高集成度的地方可采用NMOS电路,要求降低功耗的地方可采用CMOS电路;②N阱和现有的NPN双极工艺兼容。它可以在不增加工艺步骤的条件下、在做CMOS的同时,做出集电极相互隔离的纵向NPN管<sup>[4]</sup>。因此在数字/模拟混合的超大规模集成系统方面,N阱具有强烈的吸引力;③N阱使短沟PMOS器件的制造变得较容易了,这是因为PMOS的源漏结一般比NMOS源漏结要深一些,有效沟道长度较短,故短沟效应比NMOS明显,而N阱杂质浓度一般比衬底高一个数量级,这样便很自然地抑制了PMOS的短沟效应。鉴于N阱工艺兼容性强、用途广等优点,我们选定了 $2\mu\text{m}$ 外延N阱工艺作为研究对象,进行了工艺模拟、实验和测试。本文首先讨论工艺步骤、参数及对主要关键工艺的考虑,然后给出 $2\mu\text{m}$ 外延N阱CMOS器件的性能和抗Latch-up能力,最后给出结论。

## 二、工艺步骤及参数

N阱工艺的基本原则是要求与现有的等平面 NMOS 工艺兼容。根据这一原则, 经 SUPREM II 工艺模拟和实验, 我们选用了 P<sup>+</sup>型〈100〉、电阻率  $\rho = 0.02-0.03 \Omega \cdot \text{cm}$  的原始衬底 Si 片, 经加工后, 在上面外延生长一层 P<sup>-</sup>薄层 Si。外延生长温度为 1150°C、外延层厚度  $t_{\text{epi}} = 12 \pm 2 \mu\text{m}$ 、电阻率  $\rho_{\text{epi}} = 15-40 \Omega \cdot \text{cm}$ 。然后在 1000°C 下热生长一层 400 Å 的薄氧, 再淀积一层 2000 Å 的 Si<sub>3</sub>N<sub>4</sub>, 其用途是做阱注入的掩蔽膜和阱推进氧化时的掩蔽膜。阱推进时要求在注入窗口处长 2000 Å 左右的 SiO<sub>2</sub>, 以便形成下次光刻对中的台阶。做完阱后将 Si<sub>3</sub>N<sub>4</sub>、薄氧和阱区的 2000 Å SiO<sub>2</sub> 腐蚀掉, 此后的工艺步骤基本上类同于等平面 NMOS 工艺。我们利用 SUPREM II 进行了 N阱的工艺模拟, 其结果表明: N阱结深  $x_{jw}$  和表面浓度  $N_{\text{surf}}$  主要由注入剂量、阱推进温度和时间决定, 经过 2 小时高温推进后,  $x_{jw}$  和  $N_{\text{surf}}$  几乎和注入能量(在 100—300keV 范围) 无关。我们选择 N阱注硼的剂量是  $2 \times 10^{12}/\text{cm}^2$ 、能量 100keV, 经过 1150°C、6—10 小时的推进,  $x_{jw}$  可做到 3—5 μm,  $N_{\text{surf}}$  约  $10^{16}/\text{cm}^3$ 。然后用光刻胶作掩膜进行 NMOS 场区注入, 场区注入硼的剂量、能量分别为  $2 \times 10^{13}/\text{cm}^2$ 、60keV。由于 N阱表面浓度  $N_{\text{surf}}$  较高, 能够自动满足 PMOS 场隔离的要求, 因而无需进行 PMOS 场注入。场开启电压最终实测值为 ±13V, 满足 5 伏电源工作的要求。场区氧化层的厚度为 8000 Å, 栅氧化层的厚度为 400 Å。为了抑制 NMOS 的短沟效应, NMOS 沟道区必须进行硼离子的深注入, 选定深注入能量和剂量分别为 150keV 和  $8 \times 10^{11}/\text{cm}^2$ 。由于 N阱的浓度比衬底高, 很自然地抑制了 PMOS 的短沟效应, 可以不要深注入。NMOS 和 PMOS 的开启电压  $V_{TN}$  和  $V_{TP}$  的调整, 可以通过硼离子的浅注入一次完成, 浅注入能量为 30keV。多晶硅栅的厚度为 4000 Å, 扩磷后其方块电阻值为 20—30 Ω/□, P<sup>+</sup> 源漏区硼的注入能量和剂量为 30keV、 $1 \times 10^{13}/\text{cm}^2$ , N<sup>+</sup> 源漏区注入 As 的能量和剂量为 100keV、 $4 \times 10^{13}/\text{cm}^2$ 。源漏注入后, 淀积一层 5000 Å 的 SiO<sub>2</sub> 绝缘层, 并光刻 Al 孔。我们采用了红外瞬态退火工艺, 废除了常规 CMOS 工艺中的高温磷玻璃回流工艺, 因为它增加了源漏 PN 结的结深, 尤其是加重了 PMOS 的短沟效应, 这对器件和电路性能都有害。采用红外瞬态退火可以做出质量好、浅结、低阻、漏电小的源漏 PN 结, 关于这一点, 后面还将进一步地说明。源漏结的欧姆接触采用了 Al-Si 磁控溅射工艺, 含 Si 量为 1—2%。由于采用了红外瞬态退火, NMOS 的源漏结很浅, 只有 0.2—0.3 μm, 因此合金选用的温度要低一些, 约 420°C 左右。

以上大致描述了 2 μm 外延 N阱 CMOS 工艺步骤, 其工艺结构如图 1 所示。下面进一步讨论工艺中几个重要问题:

① **2 μm NMOS 器件沟道区深注入的必要性**——因外延层是 P<sup>-</sup>高阻 Si 材料, NMOS 短沟器件存在较严重的漏结感应势垒降低 (DIBL) 效应<sup>[10]</sup> 必须有深注入才能抑制 DIBL 效应。DIBL 效应可从  $V_{TN} \sim L$  及  $V_{TN} \sim V_{DS}$  曲线变化看出, 见图 2。无深注入的  $V_{TN}$  在  $L < 3 \mu\text{m}$  和  $V_{DS} > 2\text{V}$  以后呈现剧烈的下降, 已不符合电路对  $V_{TN}$  的要求了。采用 150keV、 $8 \times 10^{11}/\text{cm}^2$  硼离子深注入后, 和  $L = 20 \mu\text{m}$  的长沟器件及  $V_{DS} = 0.05\text{V}$  时的  $V_{TN}$  相比, 2 μm NMOS 器件的  $V_{TN}$  仅下降了约 0.05V。这表明: 为了在电路

中得到稳定的  $V_{TN}$ 、抑制 DIBL 效应，必须对  $2\mu\text{m}$  NMOS 短沟器件进行沟道区的硼离子深注入。

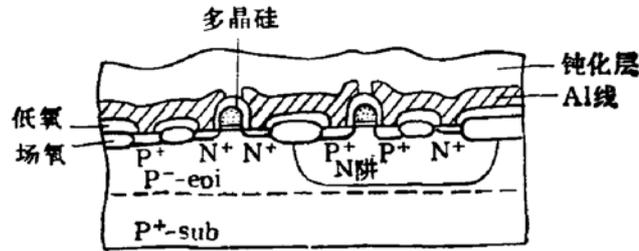


图1 外延N阱 CMOS 工艺结构图

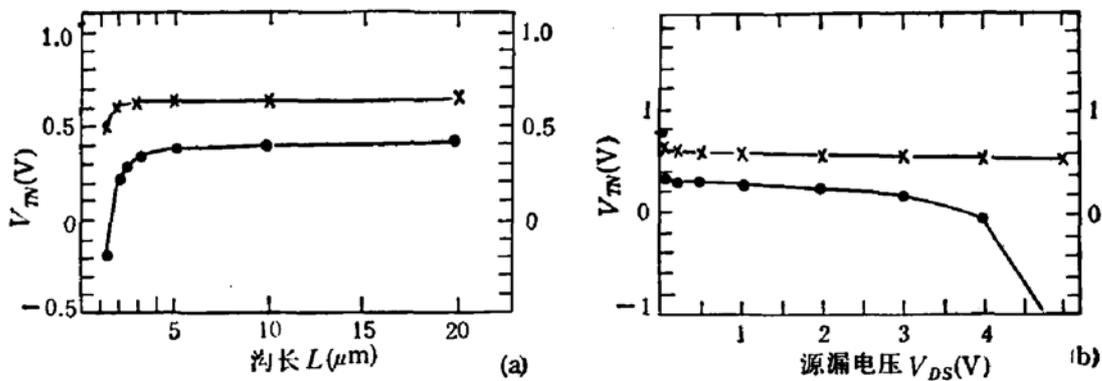


图2 有、无深注入对  $V_{TN}$  的影响

(a)  $V_{TN} \sim L$  曲线

(b)  $V_{TN} \sim V_{DS}$  曲线 ( $L = 2\mu\text{m}$ )

-x-x- { 150keV,  $8 \times 10^{11}/\text{cm}^2$   
30keV,  $8 \times 10^{11}/\text{cm}^2$

- - - 30keV,  $8 \times 10^{11}/\text{cm}^2$

② 栅氧工艺的不同对 NMOS 器件性能的影响——栅氧工艺可有“前栅氧”和“后栅氧”工艺之分。前栅氧工艺就是在长  $400\text{ \AA}$  的栅氧化层以后，再进行沟道区的硼离子注入；后栅氧工艺则是在沟道区硼离子注入以后，将原先的  $400\text{ \AA}$  的  $\text{SiO}_2$  腐蚀掉，在  $1000^\circ\text{C}$  温度下重新长一层  $400\text{ \AA}$  的栅氧。采用后栅氧工艺的目的原先主要是为了提高栅氧的质量。后栅氧工艺中的  $400\text{ \AA}$  栅氧，需要 40 分钟、 $1000^\circ\text{C}$  的干  $\text{O}_2$  氧化。在这 40 分钟内，注入的杂质硼将重新分布，同时因为硼的分凝系数小于 1，靠近 Si 表面的硼有相当一部分在氧化时会从界面被吸出去，这种吸出现象加上表面的硼向体内的扩散，使得靠近表面硼的浓度大为降低，因而在注硼剂量、能量相同的条件下，后栅氧工艺的  $V_{TN}$  要比前栅氧工艺的  $V_{TN}$  低得多。但是前栅氧工艺由于不再经历长时间的高温过程，根据 SUPREM II 工艺模拟结果，在浅注入和深注入的两个杂质峰值之间有一个明显的峰谷，从测试结果来看，前栅氧的  $V_{TN}$  随  $L$  和  $V_{DS}$  的变化比后栅氧的变化明显。这说明该峰谷的存在对抑制 NMOS 的 DIBL 效应不利。另外，前栅氧和后栅氧对 NMOS 的电子表面有效迁移率  $\mu_n$  的影响是不同的。 $\mu_n$  的值是利用大管子 ( $\frac{W}{L} = \frac{60\mu\text{m}}{20\mu\text{m}}$ ) 的  $I_{DS} \sim V_{GS}$  曲线、通过求线性区的斜率  $\beta$  ( $\equiv \frac{\mu_n C_{ox} W}{L}$ ) 推算出来的。NMOS 沟道区浅注入硼能量 30keV、剂量 8—

$11 \times 10^{11}/\text{cm}^2$  的后栅氧工艺,  $\mu_n$  的实测值为  $500\text{--}550\text{cm}^2/\text{V}\cdot\text{s}$ ; 而剂量  $6\text{--}8 \times 10^{11}/\text{cm}^2$  的前栅氧工艺,  $\mu_n$  实测值只有  $340\text{--}400\text{cm}^2/\text{V}\cdot\text{s}$ . 这表明, 前栅氧工艺的表面杂质浓度较高, 对电子的散射加强, 因而对  $\mu_n$  影响较大. 总体来看, 后栅氧工艺更有利于优化 NMOS 器件的性能.

③ 浅注入剂量对  $V_{TN}$  和  $V_{TP}$  的影响——图 3 是浅注入硼的剂量和  $V_{TN}$ 、 $V_{TP}$  的关系. 从曲线外推, 浅注入剂量为  $13 \times 10^{11}/\text{cm}^2$ , 就可以用一次注入同时将  $V_{TN}$ 、 $|V_{TP}|$  调整到  $0.9\text{V}$  左右. 增加注入剂量, 会增加 N 阱内的杂质补偿, 这样会使 PMOS 短沟效应增加. 实测结果表明, 对于  $2\mu\text{m}$  PMOS 器件, 比较合适的硼的注入剂量约在  $13\text{--}16 \times 10^{11}/\text{cm}^2$  的范围.

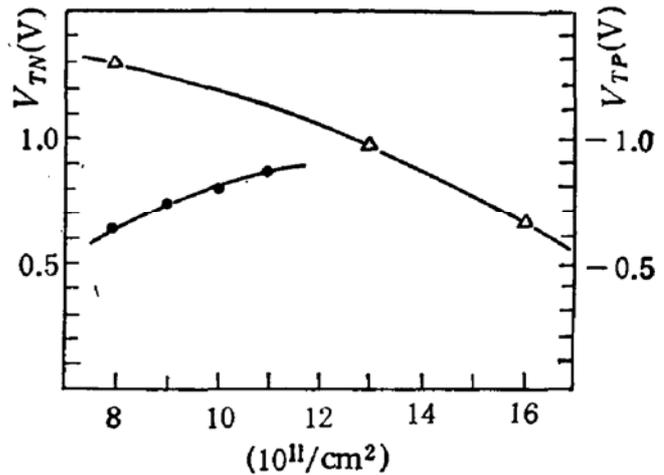


图 3  $V_{TN}$ 、 $V_{TP} \sim D$  曲线 ( $30\text{keV}$ ,  $L = 2\mu\text{m}$ )  
 $-\Delta-\Delta-$   $V_{TP} \sim D$  曲线  
 $-\cdot-\cdot-\cdot-$   $V_{TN} \sim D$  曲线

④ 红外瞬态退火技术的优点——采用温度小于  $900^\circ\text{C}$  的常规热退火虽然可得到浅结, 但激活的杂质受固溶度限制, 因而难以得到低阻的浅结. 而红外瞬态退火可以很好地解决这一问题. 由[11]

可知, 红外退火的优点是: (i). 样品只经历几秒的高温过程, 杂质就可以完全激活而几乎

没有什么推进; (ii). 红外瞬态退火激活的杂质可以超过其在 Si 中的固溶度, 故能做出低阻的浅结; (iii). 注入损伤能得到很好的消除, 使 PN 结漏电比一般常规热退火样品的漏电小 1—2 个数量级; (iv). 红外瞬态退火兼有磷回流的效果. 红外瞬态退火是近几年新发展的技术, 它在 VLSI 工艺上受到了高度重视. 图 4 是用红外瞬态退火后 PN 结漏电实测曲线, 单位面积漏电  $I_{ss}$  和单位周长

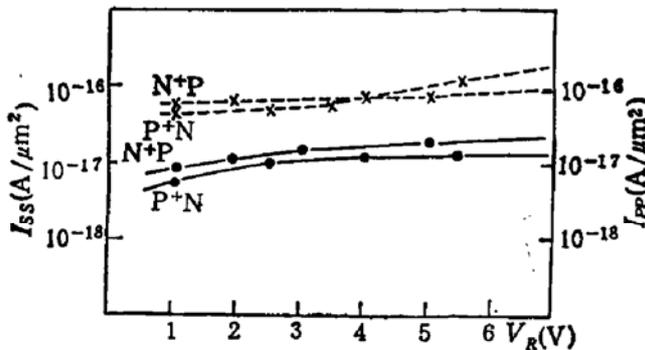


图 4 PN 结单位面积周长漏电流  
 $-\cdot-\cdot-\cdot-$   $I_{ss}$  ( $\text{A}/\mu\text{m}^2$ )  $-\times-\times-\times-$   $I_{pp}$  ( $\text{A}/\mu\text{m}$ )

漏电  $I_{pp}$  分别在  $10^{-17}\text{A}/\mu\text{m}$  和  $10^{-16}\text{A}/\mu\text{m}$  量级, 因此漏电很小. 退火后  $\text{N}^+\text{P}$  结深约为  $0.3\mu\text{m}$ , 薄层电阻  $40\text{--}60\Omega/\square$ ,  $\text{P}^+\text{N}$  结深约为  $0.4\mu\text{m}$ , 薄层电阻  $50\text{--}60\Omega/\square$ .

### 三、2 微米 CMOS 器件的性能

图 5 是  $2\mu\text{m}$  NMOS 和 PMOS 器件实测的直流特性. 从曲线可以看到: ① 随  $V_{GS}$  步距的变化, 饱和段呈等间距递增, 说明器件工作于速度饱和状态; ② NMOS 穿通区大于  $6\text{V}$ , PMOS 穿通区大于  $10\text{V}$ ; ③. 在外加  $|V_{GS}|$  和尺寸相同条件下, 饱和段 NMOS 电流大约是 PMOS 电流的两倍, 故速度饱和时电子的  $\mu_n$  大约是空穴  $\mu_p$  的两倍.

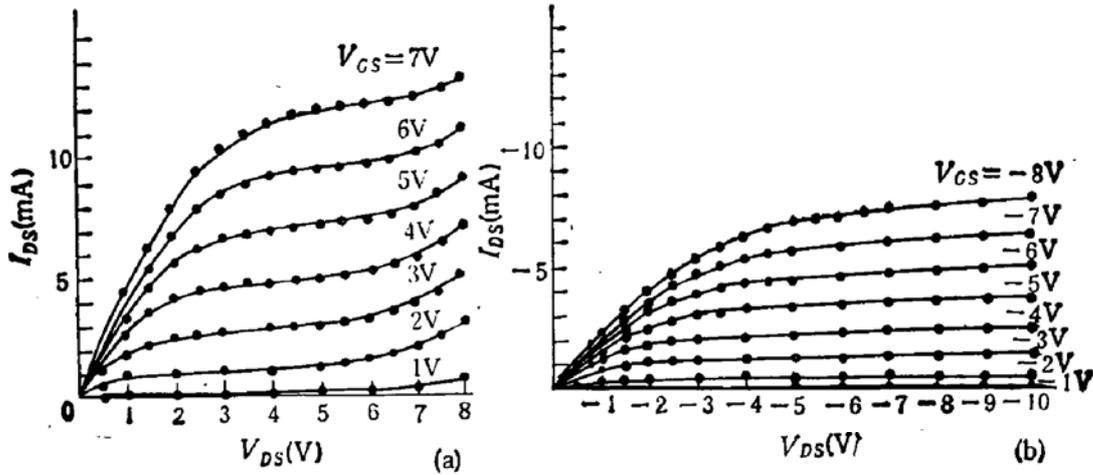


图5 2 $\mu\text{m}$  NMOS、PMOS I-V 直流特性  
 (a) NMOS,  $W/L = 60\mu\text{m}/2\mu\text{m}$ ,  $V_{TN} = 0.6\text{V}$   
 (b) PMOS,  $W/L = 60\mu\text{m}/2\mu\text{m}$ ,  $V_{TP} = -0.97\text{V}$

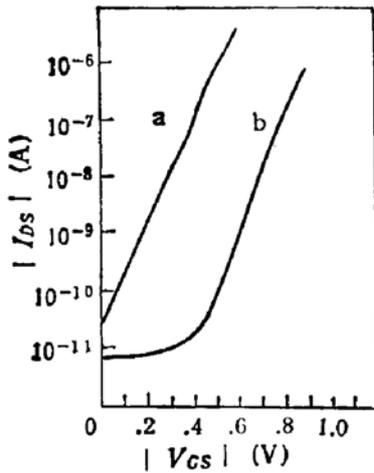


图6 次开启特性 ( $\frac{W}{L} = \frac{60\mu\text{m}}{2\mu\text{m}}$ ,  $|V_{Ds}| = 5\text{V}$ )  
 a. NMOS b. PMOS



图7 21级反相器环振链波形  
 (5V电源,  $\frac{W_n}{L_n} = \frac{W_p}{L_p} = \frac{40 \times 2\mu\text{m}}{2\mu\text{m}}$   
 每格 0.5V/0.01 $\mu\text{s}$ )

图6的a和b曲线分别是NMOS和PMOS的次开启特性。NMOS穿通电流( $V_{Gs} = 0$ )约为  $2 \times 10^{-11}\text{A}$ , PMOS穿通电流低于  $10^{-11}\text{A}$ 。尽管PMOS源漏结深比NMOS的大,但PMOS次开启电流比NMOS要小,这也是N阱CMOS的优点之一。从图6可以得到归一化的穿通电流  $I_p$ : NMOS的  $I_p \approx 10^{-12}\text{A}/\mu\text{m}$ , PMOS的  $I_p < 10^{-12}\text{A}/\mu\text{m}$ 。

测量表明,2 $\mu\text{m}$  CMOS反相器的转移特性,在尺寸比例  $\beta$ , ( $\equiv \frac{W_p}{W_n}$ ) = 2时具有较好的对称性,  $V_{TP}$  在-0.7—-1.2V之间变化对这一对称性影响不大。21级2 $\mu\text{m}$  CMOS反相器环振链的级延时可做到0.48ns(5V电源、扇出为1)。见图7,每级的延时功耗乘积为0.49pJ。

#### 四、外延 N 阱的抗 Latch-up 能力

在专门设计的 PNP 结构上,我们进行了 Latch-up 测试,并和非外延片作了对比。用两种方法产生 Latch-up: 一种是在横向 N<sup>+</sup>PN 管的 eb 结加正向触发脉冲,向衬底注入大量少子导致 Latch-up; 另一种是增加电源电压  $V_{DD}$ ,通过雪崩击穿引起 Latch-up。对于同一个 PNP 结构,外加频率  $f = 2\text{KHz}$ 、幅度  $V_A = 1\text{V}$  的触发脉冲,非外延样品可产生 Latch-up,而对外延样品,触发脉冲幅度即使增加到 2V,也没有产生 Latch-up; 利用雪崩击穿,非外延样品产生 Latch-up,其维持电流只有 2mA 左右,而外延样品可做到在电源电流  $I_{DD}$  为 50mA 时表现为硬击穿特性。在另一个测试图形中,我们做了 N 阱伪集电极保护环,图 8 是该测试图形非外延和外延样品测试结果的对比。结果表明,外延片的伪集电极保护能力远比非外延样品强,其 Latch-up 的维持电压  $V_H$  至少达 30V,对于现有电路来说,5V 电源是无法维持 Latch-up 效应的,因此外延结合伪集电极阱保护,即使在最易产生 Latch-up 的 I/O 电路中也足以阻止 Latch-up 的产生。由此可见,采用外延后,衬底中多子的势阱作用和横向寄生电阻的减小使得 N 阱 CMOS 抗 Latch-up 能力有了根本改观。另外,在测试中我们观察到:无论是外延或非外延样品,在接通电源瞬间,电路均不产生 Latch-up 效应,在关闭电源瞬间有瞬态大电流出现,但是因为电源已被切断,所以也不会产生 Latch-up。导致该现象的原因尚待于进一步研究。一种可能的解释

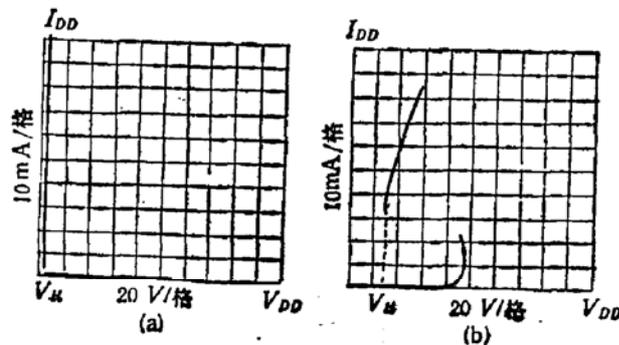


图 8 伪集电极保护能力对比  
(a) 非外延加伪集电极 (b) 外延加伪集电极

是, N 阱 CMOS 的 P 型衬底接系统的地电位,因此衬底电位比较稳定, N 阱接通电源的瞬间,阱和衬底的 PN 结势垒增高,势垒电容充电,其位移电流是发散的,因而密度较小,不易导致横向寄生双极管的正向导通。

#### 五、结 论

①通过对  $2\mu\text{m}$  N 阱 CMOS 工艺的研究,制定了合理的、可行的  $2\mu\text{m}$  外延 N 阱 CMOS 工艺流程;

②对于沟道长度小于  $2\mu\text{m}$  的 NMOS 器件,必须进行沟道区硼离子的深注入,才能保证  $V_{TN}$  的稳定性并使器件具有很小的次开启电流;

③  $V_{TN}$  和  $V_{TP}$  的调整可以通过一次浅注入硼来完成, PMOS 场隔离已经满足要求, 无需 PMOS 场注入;

④ 后栅氧工艺更有利于优化 NMOS 器件;

⑤ 成功地应用了红外瞬态退火技术, 做出了低阻、浅结、漏电可忽略的源漏 PN 结, N 阱结合红外瞬态退火使短沟 PMOS 的制作较容易了;

⑥  $2\mu\text{m}$  CMOS 器件的性能是较好的, 符合 VLSI 的要求。21 级  $2\mu\text{m}$  CMOS 反相器环振链的级延时是  $0.48\text{ns}$ , 每级延时功耗乘积为  $0.49\text{pJ}$ ;

⑦ N 阱 CMOS 电路在接通电源瞬间不产生 Latch-up, 外延工艺结合伪集电极阱保护, 可在最易产生 Latch-up 的 I/O 电路中保证不发生 Latch-up。

本工作是在和我所工艺线上的全体人员精心配合下一起完成的; 刘军同学设计了部分电路, 王嵩梅讲师帮助审图, 张明宝、杨肇敏、张树红讲师也给予了很多帮助; 外延、制版和加工分别得到了北京 605 厂、西安 691 厂和北京器件三厂的帮助, 在此表示衷心的感谢。

### 参 考 文 献

- [1] D. Takacs, *et al.*, *IEEE Trans. Electron Devices*, ED-31, 279(1984).
- [2] Gensuke Goto, *International Electron Devices Meeting Technical Digest*, 168(1983).
- [3] R. R. Troutman, *IEEE Trans. Electron Devices*, ED-31, 315 (1984).
- [4] R. R. Troutman, *IEEE Electron Device Letters*, EDL-4, 438(1983).
- [5] K. W. Terrill, *International Electron Devices Meeting Technical Digest*, 406(1984).
- [6] D. B. Estreich, *International Electron Devices Meeting Technical Digest*, 230(1978).
- [7] R. D. Rung, *IEEE Trans. Electron Devices*, ED-28, 1115(1981).
- [8] T. Yamaguchi, *IEEE J. Solid-State Circuits*, SC-19, 71(1984).
- [9] P. M. Zeitzoff, *IEEE J. Solid-State Circuits*, SC-20, 489(1985).
- [10] R. R. Troutman, *IEEE J. Solid-State Circuits*, SC-14, 383(1979).
- [11] 清华大学微电子所, 《红外瞬态退火技术总结报告》, 1984. 9.
- [12] 马槐楠, 《超大规模集成电路中  $2\mu\text{m}$  N-阱 CMOS 工艺的研究》, 清华大学硕士学位论文 (1986).

## Study of $2\mu\text{m}$ Epitaxial N-Well CMOS Technology

Ma Huainan and Xu Jiasheng

(Qinghua University)

### Abstract

Based on the process simulations and experiments, a  $2\mu\text{m}$  epitaxial N-well CMOS technology is described, and a reasonable and practical process of the technology is designed. The use of full ion-implantation and infrared transient annealing technologies in the process is successful. Experiments show that  $2\mu\text{m}$  CMOS devices have excellent  $I-V$  characteristics that can be applied to VLSI. The propagation delay time of the 21-stage CMOS ring oscillator is  $0.48\text{ns}$  and the speed-power product per stage is  $0.49\text{pJ}$ . The combination of the epitaxial layer and N-well pseudo-collector guard rings can prevent latch-up in CMOS I/O circuits, which are the most susceptible to latch-up. It is concluded that the  $2\mu\text{m}$  epitaxial N-well CMOS technology can be applied to VLSI.