

# 漏轻掺杂 MOSFET 的特性分析 及其解析模型

谢连生 陈学良 徐元森

(中国科学院上海冶金研究所)

1986年10月6日收到

制作了  $1\mu\text{m}$  沟道长度 LDD nMOSFET, 其衬底电流较常规结构的 MOSFET 降低了两个数量级, 击穿电压提高了 5 伏。此外, 还建立了包括热电子速度饱和和串联电阻在内的 LDD MOSFET 解析模型。

## 一、前言

半导体集成电路发展的一个重要标志即是器件集成度的逐年提高, 与之相适应的是器件尺寸的不断缩小。根据 Dennard 的理论<sup>[1]</sup>, MOS 器件按比例缩小之后, 性能可以获得成倍的提高。实际上, 由于考虑到噪声容限和与 TTL 兼容等原因, 电路的电源电压并没有按比例地降低, 这就导致了 MOS 器件沟道中的电场强度随着器件的缩小而不断增强, 使热电子效应对器件性能和可靠性的影响更加显著。当 MOS 器件的沟道长度缩至  $1\mu\text{m}$  或更小时, 热电子效应的影响已经成为设计者主要考虑的问题之一<sup>[2]</sup>。

漏轻掺杂 (Lightly-doped drain, 简称 LDD) 结构是针对热电子效应而提出的新型 MOS 器件<sup>[3]</sup>, 它在重掺杂的源漏区与沟道之间引入了一轻掺杂的缓冲区以降低沟道中的电场强度, 从而达到抑制热电子效应的目的。

本文利用反应离子刻蚀和全离子注入技术, 成功地制作了  $1\mu\text{m}$  沟道长度的 LDD nMOSFET, 对其特性进行了分析, 并提出了新的 LDD MOSFET 模型。

## 二、器件的制备

针对等离子和湿法腐蚀的工艺可控性和重复性较差的问题, 我们对文献 [3] 中的工艺加以改进, 用反应离子刻蚀技术 (RIE) 腐蚀多晶硅, 形成  $n^+$  和  $n^-$  两次自对准离子注入的掩蔽层 (如图 1 所示)。

首先, 在电阻率为  $6\Omega \cdot \text{cm}$  的 P 型衬底上热氧化生长厚度分别为  $8000\text{\AA}$  和  $400\text{\AA}$  的场氧化层和栅氧化层, 并淀积一层厚度为  $5000\text{\AA}$  的多晶硅, 多晶硅的掺杂采用磷注入; 在掺杂后的多晶硅上再淀积一层  $\text{Si}_3\text{N}_4$ , 厚度为  $1200\text{\AA}$ , 光刻后用干法腐蚀  $\text{Si}_3\text{N}_4$ , 形成如图 1(a) 所示的结构。在光刻胶和  $\text{Si}_3\text{N}_4$  的保护下, 用 RIE 腐蚀多晶硅, 同时选择刻蚀

条件造成多晶硅的侧向腐蚀[如图 1(b) 所示];然后以光刻胶和  $\text{Si}_3\text{N}_4$  作为掩蔽层,注 As 形成  $n^+$  源漏区,注入剂量为  $8 \times 10^{15} \text{ cm}^{-2}$ , 能量为 150 keV。最后去掉光刻胶和  $\text{Si}_3\text{N}_4$ , 用磷注入形成  $n^-$  缓冲区, 如图 1(c) 所示, 图 1(d) 为 LDD MOSFET 剖面结构的扫描电镜照片(见图版 I)。

为了比较不同的  $n^-$  掺杂浓度对器件性能的影响, 我们选择了三个不同的磷注入条件。此外, 还利用沟道注入的办法调节开启电压, 使其保持在 1V 左右。 $n^+$  和  $n^-$  区的结深则分别控制在  $0.4 \mu\text{m}$  和  $0.2 \mu\text{m}$ 。

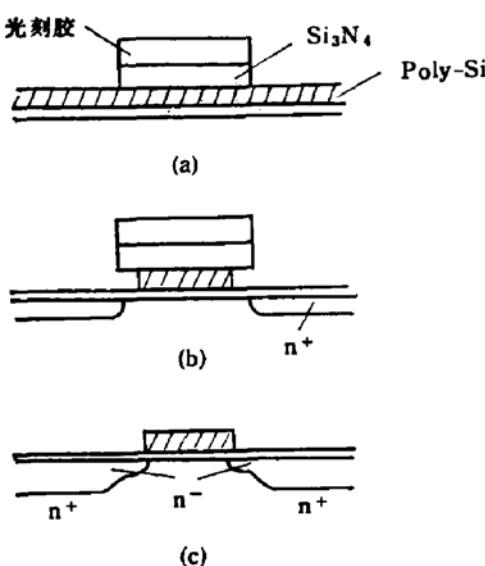


图 1 LDD MOSFET 的制作工艺

为了有效地形成 LDD 结构, 必须认真选择多晶硅的刻蚀条件和  $n^-$  注入以后热处理的工艺条件, 如降低磷硅玻璃再流和合金化的温度, 并减少再流和合金化的时间, 避免  $n^+$  区的横向扩散对  $n^-$  区的掩蔽。整个制作工艺以 E/D 工艺为基础, 只须增加一次  $\text{Si}_3\text{N}_4$  淀积和  $n^-$  磷注入, 与原有 E/D 工艺完全兼容。

### 三、实验结果及讨论

在室温下测量了 LDD 和常规 MOSFET 的栅电流、衬底电流、雪崩击穿电压和串联电阻, 并加以比较和分析。

图 2 为常规 MOSFET 栅电流的测量结果, 在相同或更高的源漏电压  $V_{ds}$  下, 都没有测量到 LDD MOSFET 的栅电流。由此可见 LDD 结构对热电子注入<sup>[4]</sup>的抑制作用, 应力试验(stress test)的结果同样证明了这一点。图 3 所示为应力试验前后源漏电流变化的情况, 源漏电流在试验后因热电子注入而下降。热电子注入栅氧化层后会诱发产生受主型界面态, 导致沟道中电子浓度和迁移率的下降<sup>[5]</sup>, 表现在端特性上即是源漏电流的损失。在我们所做的应力条件下, 常规 MOSFET 的源漏电流下降了 20%, LDD MOSFET 则为 10%。

$n^-$  区的引入还使 LDD 结构能够抑制由于碰撞电离产生的衬底电流, 提高源漏击穿电压。图 4 为 LDD 和常规 MOSFET 衬底电流峰值的比较, 在相同的源漏电压下, LDD 器件的衬底电流峰值较常规器件减小了两个数量级或更多, 并随  $n^-$  区掺杂

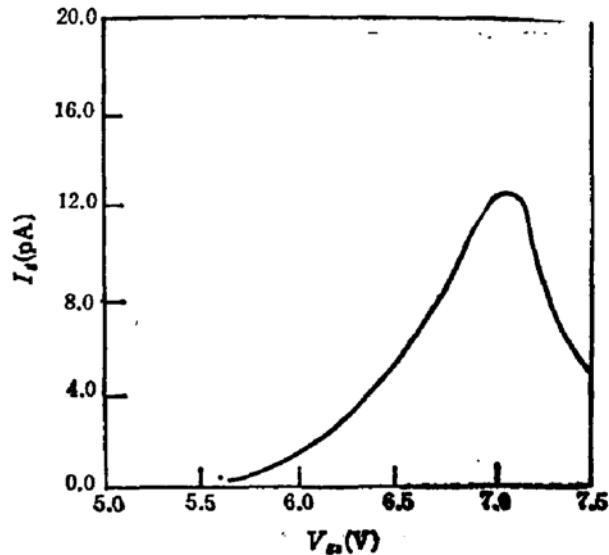


图 2 常规 MOSFET 的栅电流

( $V_{ds} = 7\text{V}$ ,  $W/L = 100/1$ )

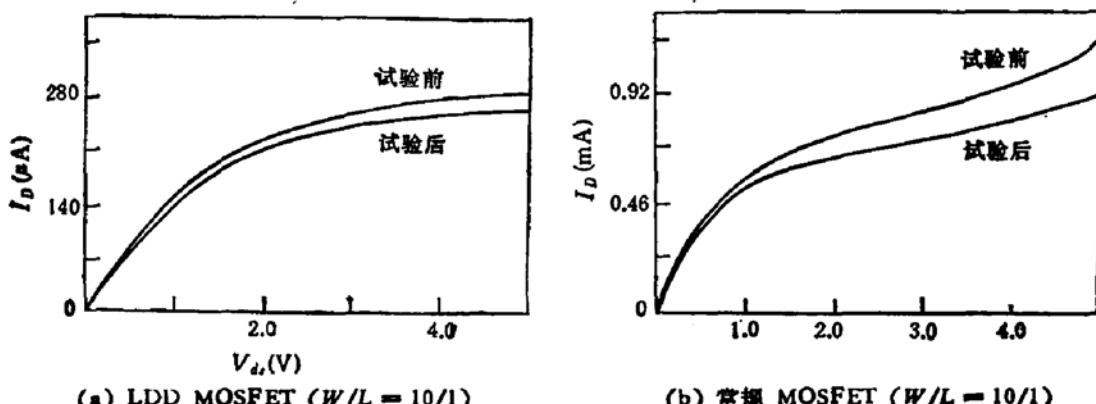


图3 应力试验前后源漏电流的比较  
( $V_{GS} = 2\text{V}$ ,  $V_{DS} = 5\text{V}$ ,  $t = 30\text{分钟}$ )

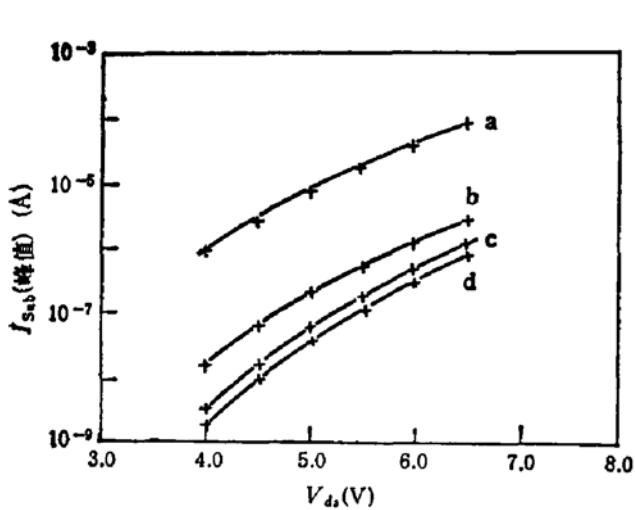


图4 衬底电流峰值的比较  
( $V_{BS} = -1.0\text{V}$ ,  $W/L = 10/1$ , 图中 a 为常规器件, 其余为 LDD 器件, b、c、d 的  $n^-$  区注入剂量依次为  $1 \times 10^{12}$ 、 $3 \times 10^{12}$  和  $1 \times 10^{13}\text{cm}^{-2}$ )

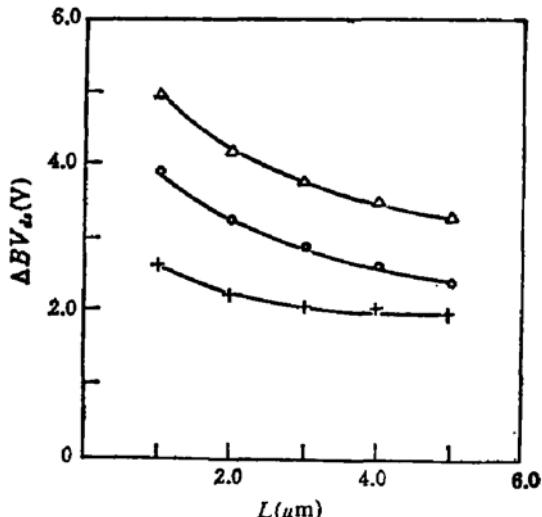


图5 LDD MOSFET 源漏击穿电压与沟道长度的关系  
( $n^-$  区的注入剂量分别为  $\triangle - 1 \times 10^{12}$ 、 $\circ - 3 \times 10^{12}$  和  $+ - 1 \times 10^{13}\text{cm}^{-2}$ )

表1 源漏串联电阻 ( $W/L = 10/1$ )

$n^-$ 注入剂量 ( $\text{cm}^{-2}$ )	$1 \times 10^{12}$	$3 \times 10^{12}$	$1 \times 10^{13}$	常规
串联电阻 ( $\text{k}\Omega$ )	2.0	1.5	1.1	0.3

浓度的不同而改变。降低  $n^-$  区的注入剂量, 能够进一步减少漏端耗尽层中的空间电荷, 电场强度相应地得到更大程度的衰减, 所以衬底电流下降得就越多。在衬底电流下降的同时, 器件的击穿特性也得到了改善, 源漏击穿电压较常规器件有较大的提高。图5为 LDD MOSFET 与常规 MOSFET 击穿电压的差值, 当沟道长度为  $1\mu\text{m}$  时, 击穿电压可提高 5V。源漏击穿电压的提高是因为衬底电流下降以后, 减少了寄生双极型晶体管的导通机会, 使得 LDD MOSFET 可以在较高的工作电压下工作。

值得指出的是, LDD 结构在抑制热电子效应的同时, 由于引入了轻掺杂的  $n^-$  缓冲

区,相应地增加了源漏串联电阻。表1为串联电阻的测量结果,图6为LDD MOSFET的直流特性曲线(见图版I)。

#### 四、LDD MOSFET 解析模型

##### 1. 基本假设

对于短沟道 MOSFET,通常采用的缓变沟道近似已不再适用。我们将沟道分为两部分:近源端的缓变区和近漏端的速度饱和区,两个部分的交界点为临界饱和点  $x_c$ , 临界饱和点的电场强度等于载流子速度饱和的临界场强  $E_c$ 。

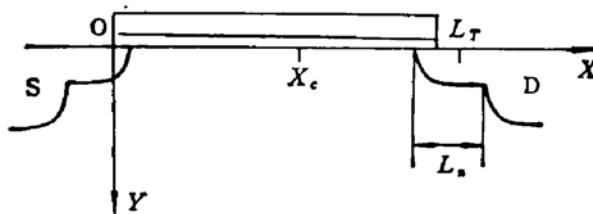


图 7 沟道的划分

在缓变区 ( $x < x_c$ ) 中,电场强度较弱,缓变沟道近似仍然成立,电子的迁移率与电场强度呈线性关系;当电子运动到临界饱和点  $x_c$  时,速度达到饱和值  $v_s$ ;进入速度饱和区 ( $x > x_c$ ) 后,缓变沟道近似不再成立,电子以饱和速度  $v_s$  运动,同时,电子浓度不再变化。

此外,还假设漏端的杂质分布为一指数函数:

$$N_{\text{ne}}(x) = N_D e^{A(x-L)} - N_A$$

其中

$$A = \frac{1}{L - L_{\text{eff}}} \ln \frac{N_D}{N_A},$$

$L$  和  $L_{\text{eff}}$  分别为栅长和有效沟道长度,  $N_A$  和  $N_D$  分别为衬底和  $n^-$  区的掺杂浓度。

##### 2. 模型方程的导出

在缓变区中,因为缓变沟道近似成立,沟道中的电子浓度可表为

$$n(x) \sim C_{\text{ox}}(V_g - V_T - \alpha V(x))$$

源漏电流则为

$$I_d = W C_{\text{ox}}(V_g - V_T - \alpha V(x)) \frac{v_s}{E_c} \cdot \frac{dV(x)}{dx} \quad (1)$$

式中  $W$  为沟道宽度,  $C_{\text{ox}}$  为单位面积的栅氧化层电容,  $\alpha$  为短沟道因子,  $V_T$  为开启电压,  $V(x)$  为沟道中  $x$  处的电位,  $V_g$  为栅电压。

在速度饱和区中,电子浓度保持不变,杂质为指数分布,故电荷密度为

$$\rho(x) = q(N_D e^{A(x-L)} - N_A - n)$$

解泊松方程

$$\frac{d^2V(x)}{dx^2} = -\frac{\rho(x)}{\epsilon_s}$$

可得速度饱和区中的电位分布:

$$V(x) = -\frac{qN_D}{\epsilon_s A^2} e^{A(x-L)} + k_1(x-L_T)^2 + k_2(x-L_T) + k_3 \quad (2)$$

其中  $k_1$ 、 $k_2$  和  $k_3$  三个常数可由以下边界条件确定:

$$\left. \frac{dV(x)}{dx} \right|_{x=x_c} = |E_e| \quad (3)$$

$$\left. \frac{dV(x)}{dx} \right|_{x=L_T} = 0 \quad (4)$$

$$V(x)|_{x=L_T} = V_{ds} - I_d R_n \quad (5)$$

$L_T$  为速度饱和区在漏端的边界,  $V_{ds}$  为源漏电压,  $R_n$  为  $n^-$  区电阻,  $R_n$  的大小与  $n^-$  区的长度和掺杂条件有关。

因此,

$$\begin{aligned} k_1 &= \frac{1}{2(x_c - L_T)} \left[ E_e + \frac{qN_D}{\epsilon_s A} (e^{A(x_c-L)} - e^{A(L_T-L)}) \right] \\ k_2 &= \frac{qN_D}{\epsilon_s A} e^{A(L_T-L)} \\ k_3 &= \frac{qN_D}{\epsilon_s A^2} e^{A(L_T-L)} + V_{ds} - I_d R_n \end{aligned}$$

利用边界条件(3)和  $x = x_c$  处电位、电场强度和电子浓度连续的条件, 将式(1)和式(2)联立, 即可获得以下模型方程, 其中  $V_e$  为  $x_c$  处的电位。

$$\begin{aligned} I_d &= W C_{ox} (V_{gs} - V_T - \alpha V_e) v_s \\ I_d &= C_{ox} \frac{W v_s}{x_c E_e} \left( V_{gs} - V_T - \frac{1}{2} \alpha V_e \right) V_e \\ V_e &= -\frac{qN_D}{\epsilon_s A^2} e^{A(x_c-L)} + k_1(x_c-L_T)^2 + k_2(x_c-L_T) + k_3 \\ x_c &= \frac{1}{A} \ln \left[ \left( 2k_1 - \frac{\alpha E_e}{V_{gs} - I_d R_n - V_T - \alpha V_e} \right) \frac{\epsilon_s}{qN_D} \right] + L \end{aligned}$$

### 3. 模拟结果

将上述模型方程联立, 可解得  $I_d$ 、 $V_e$ 、 $L_T$  和  $x_c$ 。图 8(a) 为源漏电流  $I_d$  计算值与测量值的拟合结果, 主要模型参数的拟合值分别为  $L = 1 \mu\text{m}$ 、 $W = 10 \mu\text{m}$ 、栅氧化层厚度  $T_{ox} = 430 \text{ \AA}$ 、 $E_e = 4.5 \times 10^4 \text{ V/cm}$ 、 $v_s = 1.55 \times 10^7 \text{ cm/s}$ 、 $\alpha = 1.563$ 、 $N_A = 1 \times 10^{16} \text{ cm}^{-3}$ 、 $N_D = 7.6 \times 10^{17} \text{ cm}^{-3}$ 、 $R_n = 338 \Omega$ , 以后的模拟均采用这组参数。由图 8(a) 可见, 模型的计算值与电流的测量值吻合得很好。将解模型方程获得的四个变量代入式(2), 还可以获得沟道中的电位和电场分布, 图 8(b) 给出常规和 LDD MOSFET 沟道电场分布的计算结果, LDD 结构中的轻掺杂  $n^-$  区不仅降低了漏端的电场强度, 还将电场的峰值位置移向栅外, 更加有利于减小热电子的注入几率、抑制热电子效应。

计算结果还表明,  $n^-$  区的掺杂浓度对 LDD MOSFET 的性能有直接的影响。降低

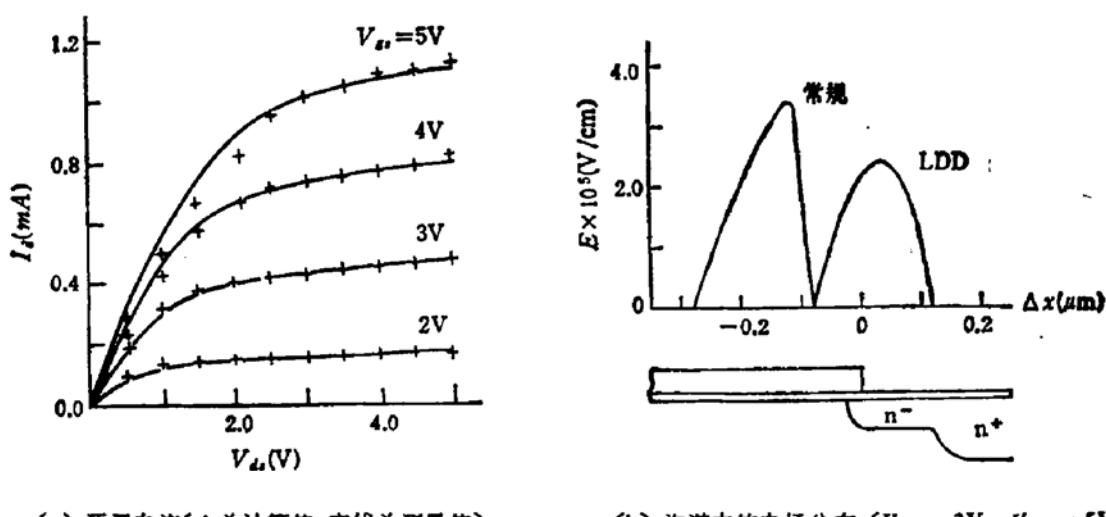
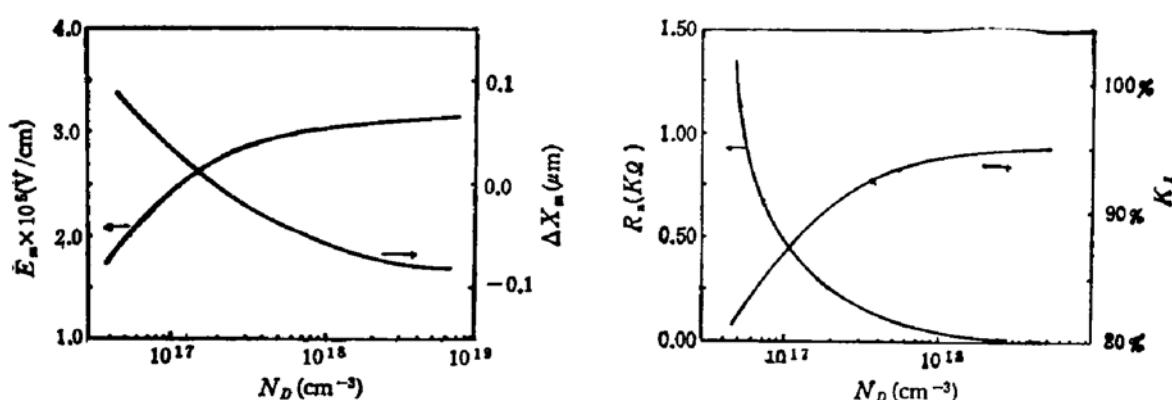


图 8 源漏电流与沟道电场的模拟结果

图 9 LDD MOSFET 源漏电流和沟道电场的模拟结果 ( $V_{gs} = 2V$ ,  $V_{ds} = 5V$ )

$n^-$ 区的掺杂浓度, 可以增大电场的衰减程度, 使得峰值位置更加靠近漏端, 这都对抑制热电子注入有利。如图 9(a) 所示, 图中  $E_m$  为峰值电场,  $\Delta x_m$  为峰值位置, 其中正的为近漏端, 负的则为沟道一端, 栅的边缘为坐标原点。由于  $n^-$ 区串联电阻的影响, LDD MOSFET 的源漏电流较常规器件有所下降, 图 9(b) 为  $n^-$ 区电阻  $R_s$  和源漏电流的模拟结果,  $K_I$  为 LDD 和常规器件源漏电流的比值。降低  $n^-$ 区的掺杂浓度虽然有利于减少热电子的注入, 却增大了源漏串联电阻。因此, 需要有一折中的考虑。在设计时, 可以先对器件进行模拟, 以确定合适的  $n^-$ 区掺杂浓度。

## 五、结 论

- (1) 利用反应离子刻蚀技术腐蚀多晶硅, 同时造成多晶硅的侧向腐蚀, 可以较为方便地形成 LDD 结构, 并且具有较好的重复性;
- (2) LDD 结构由于引入了轻掺杂的  $n^-$ 缓冲区, 减少了漏端耗尽层中的电荷密度, 因此, 能够降低沟道中的电场强度, 对热电子效应有明显的抑制作用, 并提高了源漏击穿电

压；

(3) 将沟道分为缓变区和速度饱和区，同时考虑了漏端杂质分布的影响所导出的 LDD MOSFET 解析模型，能够同时模拟器件的端特性和器件内部的电位、电场分布，弥补了其它模型的不足，可用于器件的优化设计。

作者衷心地感谢上海冶金所严金龙、刘晓岚、郑养榘等同志在器件制备过程中给予的帮助和支持。

### 参 考 文 献

- [1] R. H. Dennard *et al.*, *IEEE J. Solid-state circuits*, 9, 256(1974).
- [2] T. H. Ning *et al.*, *IEEE J. Solid-state circuits*, 14, 268(1979).
- [3] S. Ogura *et al.*, *IEEE Trans. on Electron devices*, 27, 1359(1980).
- [4] T. H. Ning *et al.*, *J. Appl. Phys.*, 48, 286(1977).
- [5] C. Hu *et al.*, *IEEE Trans. on Electron devices*, 32, 375(1985).

## Characterization and Modeling of LDD MOSFETs

Xie Liansheng, Chen Xueliang and Xu Yuansen

(Shanghai Institute of Metallurgy, Academia Sinica)

### Abstract

$1\text{ }\mu\text{m}$  channel length LDD MOSFET was fabricated with a novel processing technique proposed in this paper and characterized by means of the analysis of hot electron injection current, breakdown voltage and series resistance. The results show that the substrate current of the LDD devices is reduced by 2 orders of magnitude, and the source/drain breakdown voltage is increased by 5 volts as the channel length equals  $1\text{ }\mu\text{m}$ . In addition, an analytical model which includes hot electron effects is developed for the simulation of LDD MOSFETs. The calculated results are in good agreement with the measured data.