

电可擦除存储器单元模型^{*}

洪志良 韩兴成 李兴仁 付志军 黄 震 束克留

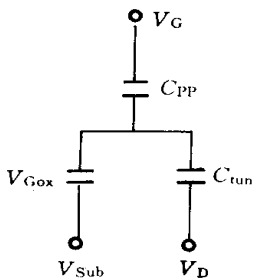
(复旦大学电子工程系 上海 200433)

摘要 本文采用绝大多数模拟器中已有模型的器件建立 EEPROM 单元器件的等效电路的模型, 利用本模型对 EEPROM 单元的擦、写、读进行了任意组合的瞬态模拟, 论文用实例验证了模型的正确性

EEACC: 1265D, 2560B, 2570D

1 引言

尽管 Fowler Nordheim 隧道氧化层生长在 1969 年已有报道^[1], 但一直到 80 年代初期, EEPROM 的单元电学模型^[2]和 32K EEPROM 电路^[3]才开发和报道出来。当时计算 EEPROM 单元在擦和写之后阈值变化的计算采用电容耦合比的方法^[4], 其简图如图 1 所示。图 1 中 C_{PP} 是栅多晶到浮栅多晶之间的电容, C_{tun} 是浮栅与漏极之间的电容, C_{Gox} 是栅与衬底之间电容。由图 1 所示模型计算出写时电压耦合比:



和擦时耦合比:

$$K_w = \frac{C_{PP}}{C_{PP} + C_{Gox} + C_{tun}} \quad (1)$$

$$K_e = 1 - \frac{C_{tun}}{C_{PP} + C_{Gox} + C_{tun}} \quad (2)$$

再由耦合的电压来计算隧道电流, 电荷积累和单元阈值的变化。尽管这个模型在隧道击穿之后可以应用, 但是明显存在两个问题, 一是在元电荷存取等效电路隧道电流形成(即隧道击穿)之前无模型, 二是在隧道击穿后电荷积累和消减的瞬态过程也难与实际情况吻合。本文将介绍一种完全采用了 CMOS 工艺已有模型的器件(MOS 管、稳压管、电阻、电容), 建立一个在绝大多数模拟器(HSPICE, Cadence 的 Spectre, PC 机 PSPICE)中可以运用的模型, 能对 EEPROM 单元擦、写、读任意组合的瞬态过程进行模拟, 为 EEPROM 电路的设计带来方便。

^{*} 国家经贸委产学研资助项目

洪志良 博士, 教授, 博士生导师, 从事集成电路设计与研制工作

1998-04-23 收到, 1998-06-27 定稿

2 EEPROM 单元模型

电可擦除存储器英文缩写为 EEPROM (Electrical Erasable and Programmable Read Only Memory) 在正常工作电源下是只读存储器, 其内容不可修改; 在高电源电压作用下, 可以对存储器的内容进行修改 EEPROM 是采用 CMOS 工艺加入带薄氧化层窗口的浮栅制造而成的, 其符号可以用图 2 来表示

EEPROM 有三种工作状态, 它们是擦、写、读, 在三种状态下 EEPROM 单元的各端点电位可以用表 1 来表示, 这里衬底(Sub)和源(S)短接

表 1 在三种状态下(擦、写、读)EEPROM 单元各端点电位

	擦(Erase)	写(Write)	读(Read)
G	V_h	地	V_{ref}
D	地	V_h	通过串接 MOS 管到 V_{DD}
S	悬浮	地	地

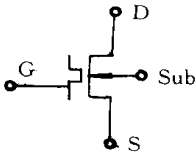


图 2 EEPROM 存储单元符号图

表 1 中 V_h 代表高压, 能使薄栅氧化层击穿, 但不损坏, V_{ref} 大于单元写之后的 EEPROM 单元的阈值电压, 小于单元擦之后的 EEPROM 单元的阈值电压

EEPROM 单元制造成功后, 浮栅中由于工艺和沾污会引入一些电子, 测试时阈值电压大于正常 NMOS 管的阈值电压, 经过数次擦或写初始化之后, 阈值电压会稳定到一个值, 擦之后是一个高阈值的 NMOS 管, 在正常栅电压 V_{ref} 下管子处于截止状态, 对外相当于存“1”的状态 写之后是一个低阈值的 NMOS 管, 在正常栅电压 V_{ref} 作用下处于导通, 相当于存储“0”的状态 根据上述原理, EEPROM 单元就可以成为常压下呈只读, 高压下可擦写编程的单元

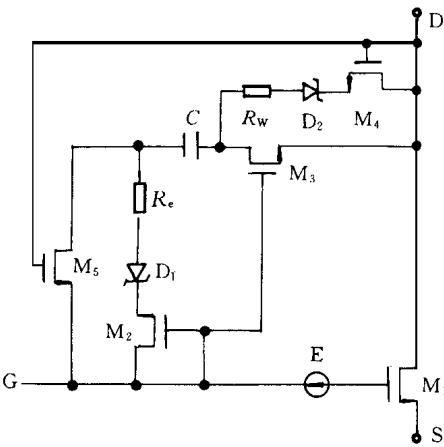


图 3 EEPROM 单元的模型等效电路图

迄今为止, EEPROM 单元没有一个合适的模型, 可以对 EEPROM 单元的擦、写、读过程进行瞬态的模拟 本节提出的 EEPROM 单元可以解决这个问题, 为 EEPROM 电路设计者提供瞬态模拟工具

基于擦、写过程是使 EEPROM 单元 NMOS 的阈值电压改变, 同时又需要将变化保存起来, 我们采用电容来保存擦、写过程 为了使一个 NMOS 管在不同状态下有不同的阈值电压, 采用一个普通 NMOS 晶体管和一个电压控制电压源的串联来等效阈值电压可变的 NMOS 管, 而这个电压控制电压源的大小是由记录擦、写过程电容二端电压决定的 根据上述思想, 图 3 表示了我们模型的等效电路图

图 3 中所用元件的意义及其数值范围如表 2 所示

示

表 2 图 3 中元件意义和大小

元件名	意义	数值
C	擦、写记忆电容	
D ₁	稳压管	稳压值小于擦除时栅漏电压
D ₂	稳压管	稳压值小于写时栅漏电压
E	电压控制电压源	写后 $E < V_G - V_{thn}$ 擦后 $E > V_G - V_{thn}$
M ₁	普通NMOS 管	阈值电压 V_{thn}
M ₂	普通NMOS 管, 组成擦记忆回路	阈值电压 V_{thn}
M ₃	普通NMOS 管, 组成擦记忆回路	阈值电压 V_{thn}
M ₄	普通NMOS 管, 组成写记忆回路	阈值电压 V_{thn}
M ₅	普通NMOS 管, 组成写记忆回路	阈值电压 V_{thn}
R _e	擦时间常数控制电阻	
R _w	写时间常数控制电阻	

利用图 3 的等效电路图, 可以实现 EEPROM 单元的擦、写、读三种状态与它们之间的转换

擦除时, G 是高电位, D 是低电位, M₂ 和 M₃ 导通, 当高电位大于 D₁ 管的稳压值时, D₁ 管击穿, 通过 R_e 对 C 充电, 电容两端的电压 V_c 又作用在 E 上, 使 E 有一个如图 3 所示反方向的电压, 它和 M₁ 的阈值之和大于读时 G 点电位, 使擦除后, M₁ 不导通, 与负载相连的 D 点为高电位

写入时, G 是低电位, M₄ 和 M₅ 导通, 当 D 的电位大于 D₂ 的击穿电压后, D₂ 击穿而稳压, 并通过 R_w 向 C 充电, 在 C 两端的电压又作用在 E 上, 写后读时, C 的充放电电路均断路, 由于 C 上电压的作用, E 有一个与其正方向相同的电势, 而使 M₁ 管在读出时 V_G 作用下导通, 使负载连接的 D 点读出低电位

3 模型参数的建立

不同的工艺会使图 3 所用元件的数值不同, 其中擦、写记忆电容主要决定于栅氧化层厚度 d 与栅氧化层与浮栅氧化层的重叠面积 S.

$$C = \epsilon\epsilon_{SiO_2}S/d$$

其中 ϵ 是真空介电常数; ϵ_{SiO_2} 为二氧化硅对真空的相对介电常数. 如 1.2 μ m CMOS 工艺的栅氧化层厚度为 23.5nm, 那么其电容大小为 0.021pF. D₁ 稳压后的稳压值应该小于擦除时浮栅窗口击穿电压, 实际取比浮栅窗口击穿电压小 1V 左右为宜, 而浮栅窗口的击穿电压与浮栅厚度成正比, 根据栅氧化层的击穿电场强度 E_b, 其击穿电压为 V_b = dE_b. 如果二氧化硅击穿电场 E_b 为每厘米 1.0 $\times$ 10⁷V, 在 11nm 浮栅厚度情况下的击穿电压为 11V.

同样, D₂ 的稳压值应该小于写入时浮栅窗口击穿电压, 在擦、写完全对称的情况下, D₁, D₂ 的稳压值可以取相同, 而实际加的擦高压会比写高压高一些, 以保证窗口.

电压控制电压源 E 的控制值设定是根据实际擦写高压与稳压管设定的电压之差, 和实际窗口决定的, 如普通 NMOS 管阈值为 0.7V, 擦除后阈值为 3.5V, 写入后的阈值为 -2V,

那么在擦写高压 V_{pp} 为 13V 时, 击穿电压为 11V 情况下, 可以取稳压值 10.75V, 电压控制电压源上的 1 阶系数为 1.2, 其公式如下:

$$\alpha = (V_{\text{the}} - V_{\text{thn}}) / (V_{\text{hve}} - V_z)$$

式中 V_{thn} , V_{hve} 和 V_z 分别为擦之后管子的阈值电压, 擦时的高电压和稳压管的击穿电压
 R_e 和 R_w 为擦写时间常数调节电阻, 由于存储单元的擦、写时间 (T_e , T_w) 有一个最大限制, 所以 $2.3R_eC$ 和 $2.3R_wC$ 应该小于擦、写时间

$$2.3R_eC < T_{\text{emax}}$$

$$2.3R_wC < T_{\text{wmax}}$$

在实际测试后, R_e , R_w 的值可以定下来, 在目前的电路中, 要求擦、写小于 2.5ms, 如果取 $2.3R_eC$, $2.3R_wC$ 为 1ms 就可以获得 R_e 和 R_w 的大小 但由于其他分布电容远大于存储电荷的浮栅窗口的电容, 所以擦写时间主要由其他分布电容决定的 考虑到隧道电流的大小, 实际值应比理论值小 1 万倍

根据以上推导, 现在可以用表 3 来表示 1.2 μm EEPROM 工艺的一组模拟等效元件数值

表 3 1.2 μm EEPROM 工艺模型等效元件数值

参数名	参数物理意义	数值
C	擦、写记忆电容大小	0.021pF
V_{D1}	D_1 管准稳压电压值	10.75V
V_{D2}	D_2 管准稳压电压值	10.75V
α	电压控制电压源 1 阶系数	1.2
V_{thn}	普通 NMOS 的阈值电压	0.7V
R_e	擦除时间控制电阻阻值	2.07×10^{10}
R_w	写入时间控制电阻阻值	2.07×10^{10}

4 模型参数的验证

如果用图 3 的模型和表 3 的参数对 1.2 μm CMOS EEPROM 工艺的单元 (3.2/2.2) 进行模拟, 可以获得其窗口与 V_h 的关系如图 4(a) 所示, 而实际测得的窗口如图 4(b) 所示

再利用该模型对单元的 $I_{ds}-V_{ds}$ 进行写入后模拟, 其特性如图 5(a) 所示, 实际测得的特性如图 5(b) 所示 实验中读电流比模拟的稍早进入饱和, 是由于实验测试的单元还存在一个源漏电阻

比较图 4(a) 和图 4(b), 又比较图 5(a) 和图 5(b), 就可以看到本模型能很好吻合于单元的性能 实验是逐点测试的, 在九点中有一点偏离是由于测试时干扰造成的

将 EEPROM 本文的单元作为一个子电路, 将所有的 EEPROM 单元用子电路替换, 就可以对整个 EEPROM 的所有瞬态过程进行模拟, 这也是本模型建立的目的

致谢 本文的 EEPROM 二个单元特性是由复旦大学材料系袁权和李明先生提供的, 在此表示衷心的感谢

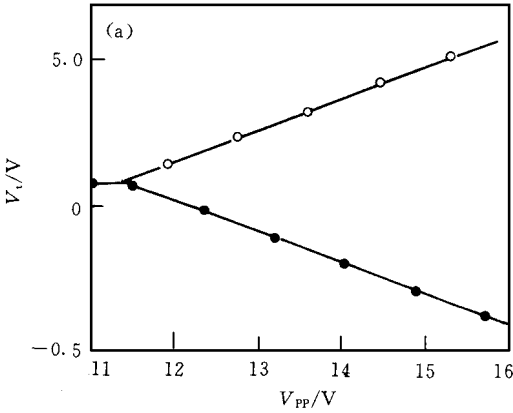


图 4(a) 用本文模型模拟的 EEPROM 窗口与窗、写电压关系

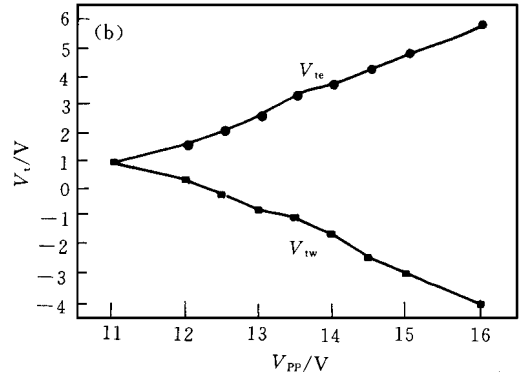


图 4(b) EEPROM 窗口与擦、写电压关系测试结果

测试条件:
Erase- $V_d = V_b = 0V, V_s = \text{float}, V_g = V_{PP}, t = 2.5ms$;
Write- $V_g = V_b = 0V, V_s = \text{float}, V_d = V_{PP}, t = 0.5ms$

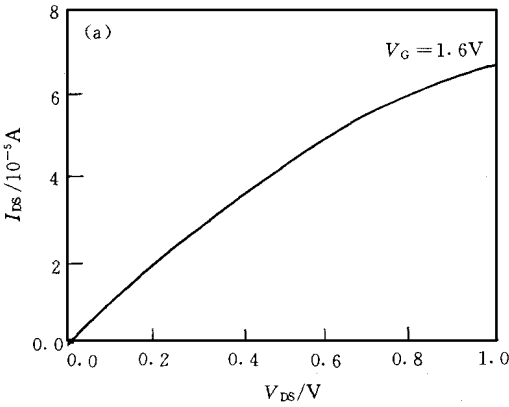


图 5(a) EEPROM 单元 I_{ds} 与 V_{ds} 模拟结果

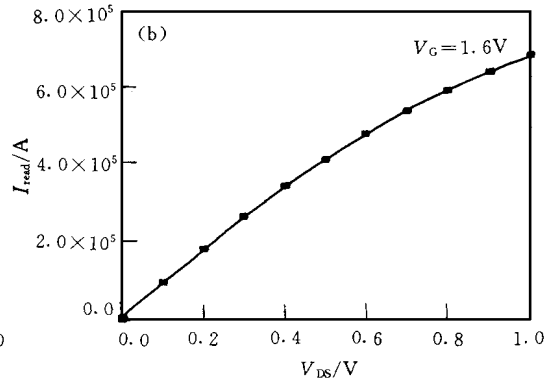


图 5(b) EEPROM I_{ds} 与 V_{ds} 的测试结果

测试条件:
Erase- $V_d = V_b = 0V, V_s = \text{float}, V_g = 13.5, t = 0.5ms$;
Write- $V_g = V_b = 0V, V_s = \text{float}, V_d = 12.8, t = 0.5ms$

参 考 文 献

- [1] M. Lenzlinger and E. H. Snow, J. Appl Phys , 1969, **40**: 278
- [2] P. I. Sucin, B. P. Cox, D. D. Rinerson *et al* , "Cell Model for EEPROM floating-gate memories." in DEM Tech Dig (San Francisco), P. 737, 1982
- [3] C. Kuo, J. R. Yeargain, W. J. Downney *et al* , IEEE J. Solid-State Circuits, 1982, **5C-17**: 821.
- [4] Avinoam Kolodny *et al* , IEEE Trans Electron Devices, 1986, **ED-33**(6): 835~ 844

EEPROM Cell Model and Its Application

Hong Zhiliang, Han Xingcheng, Li Xingren, Fu Zhijun, Huang Zhen, Shu Keliu

(Department of Electronics Engineering, Fudan University, Shanghai 200433)

Received 23 April 1998, revised manuscript received 27 June 1998

Abstract This paper set up a new model of EEPROM cell, which can be used to do transient simulation of ERASE, WRITE and READ of EEPROM cells. The model is verified by comparison of the measured results and simulated results.

EEACC: 1265D, 2560B, 2570D