

# 适用于实时图像处理的阵列 处理芯片 BAP-128<sup>\*</sup>

张 明 陈晓初 姚庆栋

(浙江大学信息与智能系统研究所 ASIC 设计研究室 杭州 310027)

**摘要** 具有 16 万门规模的并行阵列处理芯片 BAP-128 (Bit-serial Array Processor with 128 Process Elements) 芯片在法国一次性流片成功。本文介绍该芯片的主要结构与参数指标, 以及该芯片在开发实时图像处理系统中的应用。

EEACC: 2570, 6140C, 0290

## 1 引言

图像处理的特点是其极大的运算量。在中低层次的处理运算中, 一方面, 由于操作通常是针对每个象点进行的, 因而运算量非常大, 尤其是在有实时要求的情况下, 必须采用并行处理技术; 另一方面, 这些操作又相对比较简单, 每个象点的位数不多, 采用通用的高性能 DSP 处理芯片, 将造成资源上的浪费, 而且难以实现处理系统的小型化。正是基于这二方面的考虑, 并结合自身的应用要求, 设计了面向实时图像处理应用的超大规模专用集成电路 BAP-128。

## 2 BAP-128 的芯片结构与参数指标

BAP-128 以 SMD 方式工作, 每个芯片中有 128 个处理单元 (Process Element), 以图 1 所示  $8 \times 16$  的二维网形 (MESH) 排列, 图 2 给出了 PE 单元的内部结构, 主要包括:

1. 一个 1bit 的 ALU

它是处理单元完成对数据进行算术、逻辑运算操作的核心部件, 可以进行一位全加、减和各种组合逻辑运算。

2. 一个 1bit 的工作状态控制标志寄存器 FLG

为每个 PE 设置标志寄存器的作用是控制特定 PE 单元是否接受主控指令。FLG 等于 1

\* 国家自然科学基金资助项目 (批准号 69872033)

张 明 1962 年出生, 1995 年获通信与电子系统专业博士学位。现为浙江大学信息与智能系统研究所副教授, 主要从事 ASIC 设计, 图像处理, 并行结构方面的研究 (Email: Zhangm@isee.zju.edu.cn)

1998-05-03 收到, 1998-07-01 定稿

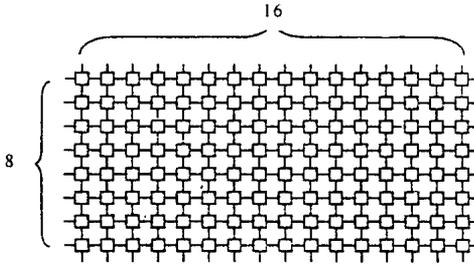


图 1 BAP-128 单元互连结构

个输入端 同时,NS 还负责与南北方向邻接单元的数据通信,EW 负责东西方向通信 由于 NS 和 EW 的输入MUX 相互独立,因而可以同时二个方向的数据传送 C 寄存器的输入 MUX 中有 0 位和 1 位端,因而可由指令产生编程所需的立即数

CM 寄存器则提供了沿阵列南北方向的另一个独立的数据传送通道,它不受上述标志寄存器 FLG 的控制,无论处理单元内部处于何种工作状态,都不影响图像数据通过该通道的进阵出阵

4. 一个 16bits 的可编程长度(4bits, 8bits, 12bits, 16bits)移位寄存器 SH IFT

移位寄存器 SH IFT 通常用于存放部分积累加的中间结果,可以大大提高乘法运算的速度,不同的长度选择用于适应不同字长与不同的运算精度要求 必要时也可当作一个普通的数据缓存区,以便节省对内存单元的占用 它与标志寄存器 FLG 及局部 RAM 的灵活配合,可以进一步使阵列完成诸如开平方,浮点运算,直至 FFT 等各种复杂的信号处理操作 文献[1]中给出了这些运算的算法描述

5. 256bits 的片上局部 RAM

在 BAP-128 芯片中,为每个 PE 单元配置了 256bits 的局部 RAM. 由于所有运算操作都是 PE 单元围绕送入 RAM 内的数据进行的,为提高对 RAM 的存取速度,在设计时进行了专门考虑 即在一个指令周期内,RAM 完成先读后写二步操作,因而在一条指令中,可以同时实现对 RAM 的读出和写入操作,从而提高了处理单元的运算速度 RAM 的大小主要受芯片面积的限制,在可能的条件下,配置较大的 RAM,通过虚拟缓存技术,可以用较小的处理器阵列,实现对较大帧图像的运算操作

从图 2 可以看到,由于设置了独立的传送通道,可以在不影响 PE 单元内部运算的前提下,借助于 CM 寄存器实现图像数据的进阵出阵 另外,EW 寄存器可以直接从 RAM 读得

时,PE 单元处于正常工作状态;FLG 等于 0 时,该单元将不接受来自主控的指令而进入锁定状态 FLG 的输入来自局部 RAM,因而选定内存单元的值将直接决定相应 PE 单元的工作状态 引入 FLG 后,大大增强了处理单元的自主性,可以为一系列图像处理算法的实现带来极大的方便

3. 四个 1bit 的寄存器 CM、NS、EW、C

NS、EW、C 寄存器构成了运算器 ALU 的三

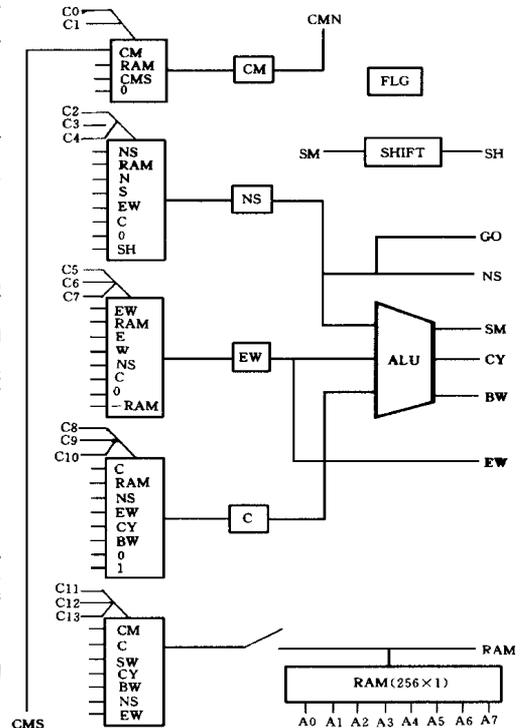


图 2 处理单元内部结构

反码, 这为取反与求补运算提供了一种快捷的手段。芯片还设有一个全局或非输出 (GO 线输出), 它连接到每个 PE 单元的 NS 寄存器上, 可以从外部快速判断整个芯片的工作状态, 用于加速或者终止程序的执行。如在进行直方图统计时, 依据 GO 线判断, 如果没有象点落在指定的灰度值内, 则可以跳过对该灰度值的二阶归并统计操作。而对于迭代运算, 则可依据 GO 线输出, 判断出迭代过程是否已经结束。

在构成  $8 \times 16$  阵列的 BAP-128 芯片时, 阵列边缘的处理单元与片外单元的数据传送采用输入输出双向复用方式, 这一方面大大减少了芯片的管脚数目, 同时也使得芯片间的互连变得非常简单。芯片按  $0.8 \mu\text{m}$  CMOS 工艺设计, 集成规模为 16 万门, 芯片面积  $70\text{mm}^2$ , 采用 PGA 封装, 管脚数为 144 条。芯片的工作电压为 5V, 系统时钟 40MHz, 工作频率 20MHz。

BAP-128 芯片是在国内用 COMPASS 软件设计完成的, COMPASS 工具所独有的中间库支持方式, 为芯片设计人员带来了很大的便利。芯片在法国 ES2 一次性流片成功 (ES2 提供多项目搭载试片服务, 且支持 COMPASS 的中间库)。为进一步确认芯片的工作性能, 并为在今后的实际使用中拥有

方便、可靠的检测手段, 专门开发了 BAP-128 的测试电路扩展板, 与 PC 机组成一套完整的测试系统。表 1 给出了 BAP-128 芯片在不同工作频率下的实测功耗, 表 2 给出了用 BAP-128 芯片构成不同规模处理器阵列的运算性能。

表 1 BAP-128 芯片功耗 (工作电压: 5V)

系统时钟频率/MHz	40	20	10
指令工作频率/MHz	20	10	5
动态工作电流/ $\mu\text{A}$	< 100	< 60	< 40
动态功率/ $\text{W}$	< 0.5	< 0.3	< 0.2
静态电流/ $\mu\text{A}$	0.2	0.1	0.1
静态功率/ $\text{mW}$	1	0.5	0.5

表 2 BAP-128 芯片及处理器阵列的运算性能 (工作频率: 20MHz)

处理速度	单片 $16 \times 8$	$32 \times 32$	$64 \times 32$	$64 \times 64$	$128 \times 128$	$256 \times 256$
1 位加法	64MOPS	5.12GOPS	10.2GOPS	20.5GOPS	81.9GOPS	327GOPS
8 位加法	102MOPS	819MOPS	1.64GOPS	3.28GOPS	13.1GOPS	52.4GOPS
12 位加法	69.1MOPS	553MOPS	1.1GOPS	2.21GOPS	8.85GOPS	35.4GOPS
16 位加法	52.0MOPS	418MOPS	833MOPS	1.67GOPS	6.68GOPS	26.7GOPS
8 位乘法	7.1MOPS	57.3MOPS	113MOPS	229MOPS	917MOPS	3.67GOPS
12 位乘法	4.74MOPS	37.9MOPS	75.8MOPS	152MOPS	609MOPS	2.43GOPS
16 位乘法	3.56MOPS	28.4MOPS	56.9MOPS	114MOPS	453MOPS	1.82GOPS
8 位乘加	54.5MOPS	438MOPS	877MOPS	1.76GOPS	7GOPS	28GOPS
12 位乘加	36.9MOPS	293MOPS	590MOPS	1.18GOPS	4.7GOPS	18.8GOPS
16 位乘加	27.9MOPS	223MOPS	446MOPS	0.89GOPS	3.55GOPS	14.2GOPS

注: MOPS, 每秒  $10^6$  次运算操作; GOPS, 每秒  $10^9$  次运算操作。

### 3 用 BAP-128 芯片构成的实时图像处理系统及其软件设计

图 3 给出了典型的由 BAP-128 芯片组成的实时图像处理系统的原理框图, 在缩主机控制下, 它主要由处理器阵列、转角处理部件和阵列控制器三部分构成。

由于采用了 MESH 结构及数据线的 I/O 复用技术, 片间互连十分简便, 可由多片 BAP-

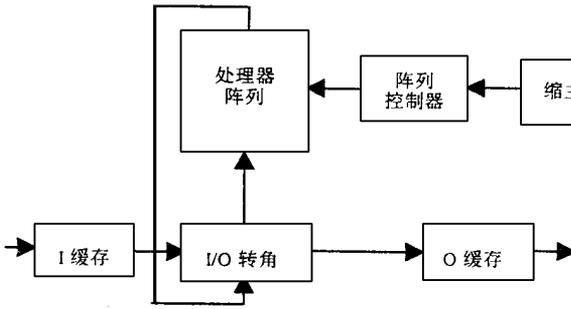


图 3 典型实时图像处理系统结构

128 组成一个可缩放的处理器阵列用于完成图像数据进阵、出阵的 I/O 转角处理部件同样由 BAP-128 芯片担当。在用作输入转角时，它将字串行位并行方式的图像数据转换成以字并行位串行的方式送入处理阵列，而在用作输出转角时则完成相反操作，用以恢复图像数据。阵列控制器的任务是从缩主机接受发送来的相当于汇编的宏指令，再将其解释为一系列阵列

控制微指令，通过 25 条信号线（指令和地址总线）发向处理器阵列

在软件设计方面，对照图 2 给出的 PE 单元结构图，每个多路选择器由不同的信号线组所控制，由于各组信号相互独立，因而保证了操作上的并行性。阵列处理指令被定义成专门的汇编指令集，在阵列控制器中，依据相应的控制及定序的需要编写成微程序，并被固化在微程序存储器中。在缩主机中，进一步将汇编指令嵌入 C 语言中，并且为常用的阵列处理算法建立 C 库函数。对于一般的用户而言，可以用 C 函数调用方式在 C 或 C++ 环境下完成对阵列处理器的算法编程。

BAP 芯片可以嵌入式地应用于各种实时图像处理系统中，用于完成运算量极大的中底层处理操作，由于其硬件结构与图像的数据结构相匹配，因而可以获得极高的并行处理效率。另一方面，复杂度更大，但计算量较小的高层处理可提交下一级的高性能 DSP 芯片来完成。目前，该芯片已成功地应用于 863 项目“导引头信号处理机”中，用于完成图像的预处理，以及目标检测、识别与跟踪处理。

## 4 结束语

1. 具有 16 万门规模的 BAP-128 芯片在法国 ES2 (European Silicon Structures) 一次性流片成功，实测参数完全符合设计要求。芯片具有自主产权，可以进一步设计成 MCM (多芯片封装) 模块，减少处理阵列的面积。随着深亚微米技术的发展，在一个芯片上集成 512 个 PE 单元的 BAP-512 芯片已在设计之中。

2. BAP-128 综合了国外已有的 SMD 商业化芯片的功能，在设计中充分考虑了图像处理领域的应用需要，使得功能结构更加完善。尤其是为每个处理单元设置的标志寄存器 FLG 和长度可编程移位寄存器 SHIFT，大大增强了编程的自由度，可以使处理阵列完成较复杂的处理运算操作。

3. 结合芯片的开发，设计了相应的测试电路，并完成了 BAP-128 仿真系统的研制工作。在此基础上已设计出多种高效的适合于阵列处理的并行算法<sup>[1,4-7]</sup>。

## 参 考 文 献

[1] 张明, 阵列处理芯片的设计与并行算法的研究, 浙江大学博士论文, 1995.

- [ 2 ] 863 项目,“导引头信号处理机方案”,浙江大学信息与智能系统研究所,1997 年 10 月.
- [ 3 ] 陈晓初,姚庆栋,“导引头信息处理机技术”,第二届精确制导信号处理研讨会,1995 年 10 月,北京
- [ 4 ] 陈晓初,保铮,电子学报,1995,23(7): 21~ 24
- [ 5 ] 张明,叶铭,姚庆栋,电子学报,1994,22(4): 98~ 101.
- [ 6 ] 陈晓初,电子科学学刊,1997,19(6),751~ 755.
- [ 7 ] 陈晓初,电子学报,1997,26(4): 32~ 37.

## BAP-128: Array Processor for Real-Time Image Processing

Zhang Ming, Chen Xiaochu, Yao Qingdong

(ASIC Design Laboratory Information and Intelligent System Institute Zhejiang University, Hangzhou 310027)

Received 3 May 1998, revised manuscript received 1 July 1998

**Abstract** BAP-128 (Bit-serial Array Processor with 128 processing elements on one chip) is an ASIC circuit designed for real-time image processing. It has been fabricated with 0.8 $\mu$ m CMOS process in ES2, France. In this paper, we introduce its logic architecture, main performance, and its application in developing a real-time image processing system.

**EEACC:** 2570, 6140C, 0290