

背栅效应对 GaAs MESFET V_{th} 均匀性的影响*

刘汝萍 赵建龙 夏冠群 吴剑萍 顾成余 詹 琰

(中国科学院上海冶金研究所 上海 200050)

摘要 研究了背栅效应对全平面选择离子注入自隔离 GaAs MESFET 的阈值电压及其均匀性的影响。结果表明,背栅效应使 GaAs MESFET 的阈值电压绝对值变小,均匀性变差。

EEACC: 2560N

1 引言

GaAs MESFET 数字电路具有高速、低功耗和抗辐照等优点,在通讯、航天和数据处理方面有着重要应用。随着 GaAs MESFET IC 集成度和速度的不断提高,对阈值电压 (V_{th}) 均匀性的要求也越来越高。国内外许多研究者报道了 Si-GaAs 衬底的位错密度、电阻率和迁移率等材料参数,以及器件制备工艺参数等对 V_{th} 均匀性的影响^[1~3],但是还未见背栅 (BG) 效应对 V_{th} 均匀性的影响的报道。在 GaAs MESFET 衬底背面或相邻近处的半绝缘 GaAs 处施加一个负偏压时, MESFET 的漏电流会减小,这种沟道调制现象就称为背栅效应^[4,5]。背栅效应对界面耗尽层的这种调制,导致 V_{th} 变化。本文探讨了全平面选择离子注入 GaAs MESFET 器件的背栅效应与 V_{th} 均匀性的关系,结果表明,背栅效应对 GaAs MESFET V_{th} 均匀性有一定影响,它使 V_{th} 绝对值变小, V_{th} 均匀性变差。

2 实验

2.1 测试结构设计

根据背栅效应原理本文设计了 GaAs MESFETs 阈值电压及背栅效应的 $\phi 76\text{mm}$ 测试版图。图 1 给出了测试单元结构和原理示意图。其中 MESFET 器件结构为:栅长为 $2\mu\text{m}$,栅宽为 $10\mu\text{m}$,漏源间距为 $6\mu\text{m}$,背栅尺寸为 $10\mu\text{m} \times 10\mu\text{m}$,背栅电极与 MESFET 之间的距离

* 国家自然科学基金(批准号: 69676003)和 GaAs 集成电路开放实验室资助项目

刘汝萍 女, 1973 年出生, 硕士研究生, 主要从事半导体器件与微电子技术研究

夏冠群 男, 1942 年出生, 研究员, 主要从事半导体器件与微电子技术研究

赵建龙 男, 1969 年出生, 助理研究员, 主要从事半导体器件与微电子技术研究

1998-09-12 收到, 1998-12-15 定稿

为 $10\mu\text{m}$, 压焊电极大小为 $80\mu\text{m} \times 80\mu\text{m}$, 测试单元的尺寸为 $0.54 \times 0.54\text{mm}^2$.

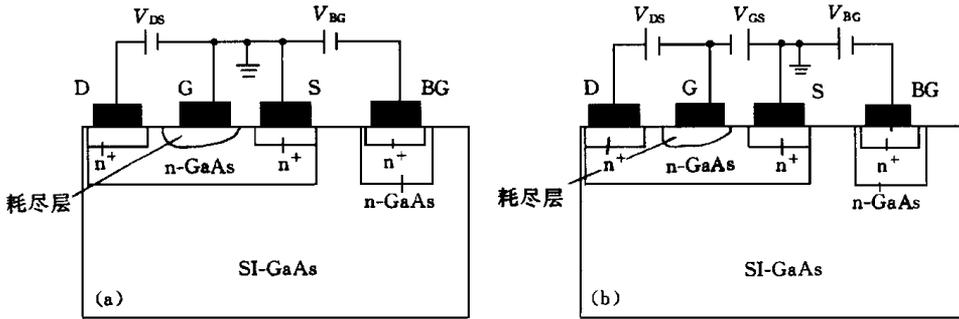


图1 MESFET V_{th} 和背栅效应测试单元结构示意图

(a) 背栅效应测试结构; (b) V_{th} 测试结构

2.2 制备工艺

采用平面选择注入自隔离工艺在非掺杂的半绝缘 GaAs 衬底上制备 GaAs MESFETs 和背栅电极 制作流程如下:

SI-GaAs 双面抛光片的清洗与表面处理, 分别选择离子注入能量为 60, 30keV, 注入剂量为 6.2×10^{12} 、 $1.5 \times 10^{13}\text{cm}^{-2}$ 的 $^{29}\text{Si}^+$ 作为 n 区和 n^+ 区的掺杂, 940 45s 快速退火形成作为 n 和 n^+ 有源区, 在 n^+ 区上蒸发 AuGeNi/Au, 合金化形成 S(源)、D(漏)、BG(背栅)的欧姆接触, 在 n 区上蒸发 TiPtAu 形成肖特基栅

2.3 测量

MESFETs 器件 $I-V$ 特性曲线以及 MESFETs 的阈值电压和背栅效应由 HP4145B 半导体参数测试仪测得 在 GaAs MESFET 的背栅电极分别施加不同负偏压时, 测量 GaAs MESFET 的阈值电压及其均匀性 测量原理如图 1 所示:

(1) 背栅效应测量原理(如图 1(a)所示): 源(S)和栅(G)共同接地, 源漏电压(V_{DS})固定为 1.5V, 改变背栅(BG)与源之间所施加的负偏压 V_{BG} , 测量 V_{BG} 和饱和漏电流 I_{DS} 的关系, 当 I_{DS} 突然下降时所对应的背栅压 V_{BG} 就称为背栅阈值电压 $V_{th(BG)}$.

(2) 阈值电压测量原理(如图 1(b)所示): 源(S)接地, 源漏电压(V_{DS})固定为 1.5V, 背栅(BG)与源的偏压 V_{BG} 固定在 0V 或 -1.5V, 改变栅(G)偏压 V_{GS} , 测量 V_{GS} 和饱和漏电流 I_{DS} 的关系, 阈值电压定义为饱和漏电流 I_{DS} 等于 $5\mu\text{A}$ 时的栅压

3 结果与讨论

图 2 为 $V_{BG} = 0$ 时实验测得的典型的 MESFETs 器件的 $I-V$ 特性曲线及 $V_{GS}-I_{DS}$ 关系曲线, 其中图 2(a) 对应 MESFETs 器件的 $I-V$ 特性曲线; 图 2(b) 对应 MESFETs 的 $V_{GS}-I_{DS}$ 关系曲线, 饱和漏电流 I_{DS} 等于 $5\mu\text{A}$ 时的栅压 V_{GS} 就是 MESFET 的阈值电压 V_{th} , 图中标示点对应的栅压 V_{GS} 即阈值电压 V_{th} . 图 3 为实验测得的 MESFET 的 $I_{DS}-V_{BG}$ 关系曲线, 图中纵坐标 I_{DS} 为归一化坐标 ($I_{DS} = I_{DS}/I_{DS0}$, 其中 I_{DS0} 为 $V_{BG} = 0\text{V}$ 时的饱和漏电流), 由图可见, 随着背栅电压 V_{BG} 负值的增加, 开始 I_{DS} 几乎没有变化, 当超过 -1.0V 时, I_{DS} 电流骤然下降, 这 -1V 就是背栅阈值电压 $V_{th(BG)}$. 随着 V_{BG} 的继续增加, I_{DS} 不断下降, 在 4~5V 间达到最小

值, 然后 I_{DS} 电流回升.

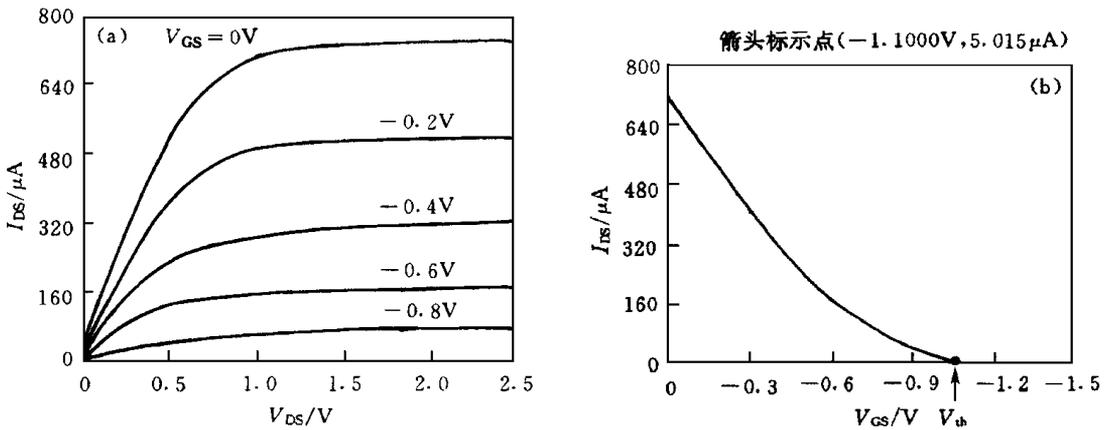


图 2 不加背栅压时实验测得MESFETs 器件的 $I-V$ 特性曲线及 $I_{DS}-V_{GS}$ 关系曲线
(a) MESFETs 器件的 $I-V$ 特性曲线; (b) 源漏电压 $V_{DS}=1.5V$ MESFETs 的 $I_{DS}-V_{GS}$ 关系曲线

表 1 给出了实验测得的 V_{BG} 分别为 $0V$ 和 $-1.5V$ 时 GaAs MESFET 的 V_{th} 平均值、标准偏差和相对偏差. 结果表明, 在背栅电极施加一定的负偏压, GaAs MESFET 的 V_{th} 将发生变化, 其绝对值将变小. $V_{BG} = -1.5V$ 时, GaAs MESFET 的 V_{th} 标准偏差 σ_{th} 为 $346.0mV$ 、相对偏差为 48.4% , 与不加背栅压的情况相比, σ_{th} 大了将近 $80mV$ 、相对偏差增加 16% , 这表明加背栅压将使 GaAs MESFET 的 V_{th} 均匀性变差.

表 1 不同背栅压下 GaAsMESFET 的阈值电压平均值、标准偏差和相对偏差

V_{BG}/V	\bar{V}_{th}/V	σ_{th}/mV	$(\sigma_{th}/\bar{V}_{th})/\%$
0	-0.551	266.8	48.4
-1.5	-0.537	346.0	64.4

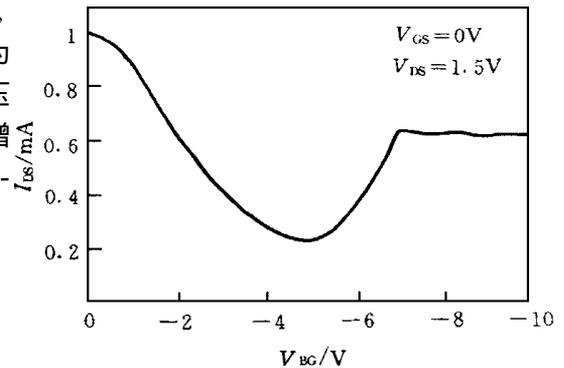


图 3 MESFET 的 $I_{DS}-V_{BG}$ 关系
图中 I_{DS} 为归一化坐标 $I_{DS} = I_{DS}/I_{DS0}$, I_{DS0} 对应 $V_{BG} = 0V$ 时的饱和漏电流

图 4 分别给出了两种情况下的 GaAs MESFET V_{th} 均匀性分布图. 从图中可以清晰地看出, 与 $V_{BG} = -1.5V$ 相比, $V_{BG} = 0$ 时 V_{th} 的分布曲面更平缓. 这表明, 当背栅压超过背栅阈值电压时, 器件的阈值电压数值上下波动幅度增大, 从而影响阈值电压的均匀性.

随着背栅电极的负值增加, 衬底/沟道界面的耗尽层也随着展宽, 沟道变窄, I_{DS} 变小, 相应 V_{th} 的绝对值也变小. 图 3 中曲线的前半段, 反映背栅效应对源漏电流的调制作用, 而后半段当 V_{BG} 超过 $4.5V$ 时, I_{DS} 电流上升, 其可能原因是衬底的电子-空穴对发生碰撞产生击穿而造成的.

背栅效应的存在导致沟道/衬底界面的耗尽层变宽的原因, 文献[5]指出, 与器件有源区的深陷阱能级有关. 而沟道/衬底界面的深陷阱浓度, 主要取决于 Si-GaAs 衬底片的质量, 衬底片深陷阱浓度不均匀, 会引起沟道变窄程度不同, 导致器件 V_{th} 数值的起伏, 最终影响

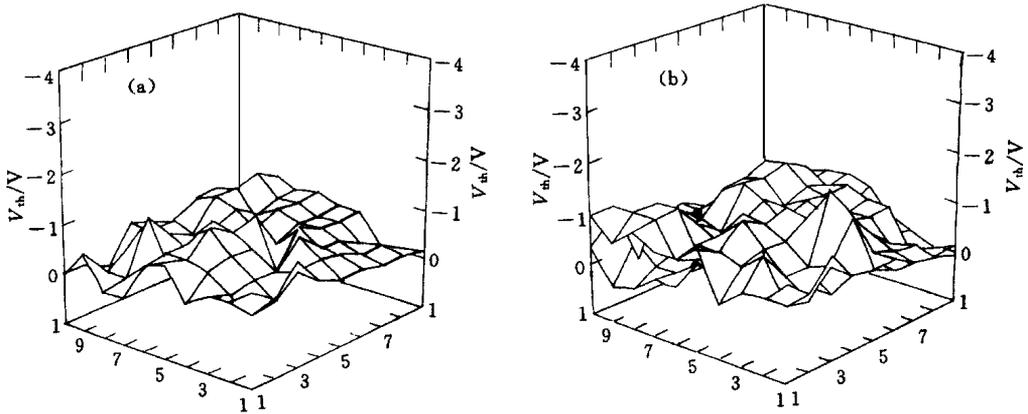


图 4 MESFET 阈值电压三维分布图

(a) $V_{BG} = 0$ MESFET 阈值电压分布; (b) $V_{BG} = -1.5$ V MESFET 阈值电压分布

V_{th} 的均匀性 此外, 根据 Norio Goto^[6] 等人的空穴注入理论, 当在衬底的背栅电压上施加负偏压时, 从肖特基栅注入的空穴会向背栅转移, 并在背栅处堆积, 随着背栅压的负值增加, 堆积在背栅处的空穴越来越多, 空穴堆积区变宽, 当背栅压达到或超过背栅阈值电压时, 空穴堆积区立即扩展到 FET 附近 按照此理论, 当 GaAs MESFET 的背栅电极上所施加的负偏压超过背栅阈值电压时, 空穴堆积区扩展到了 FET 附近, 相应地沟道内的电子数也会发生变化 对于整个 Si-GaAs 衬底片而言, 由于材料本身的均匀性, 会引起各个 FET 的背栅效应程度不同, 空穴扩展状况也不一样, 使得各沟道的电子分布不同, 最终导致阈值电压不均匀

4 结论

本文研究了背栅效应对平面选择离子注入自隔离 GaAs MESFET 的阈值电压及其均匀性的影响 实验结果表明, 背栅效应对 GaAs MESFET 的阈值电压及其均匀性有一定影响 当背栅电压超过背栅阈值电压 -1V 时, 器件源漏电流骤然下降, 阈值电压绝对值减小, 而阈值电压均匀性明显变差

致谢 感谢信息产业部电子 46 所为本研究无偿提供了 GaAs 衬底材料

参 考 文 献

- [1] Christopher Kocot *et al*, IEEE Trans Electron Devices, 1982, **ED-29**: 1059~ 1064
- [2] Shintaro Miyazawa *et al*, Appl Phys Lett, 1984, **44**(4): 410~ 412
- [3] C. P. Lee *et al*, Semi-Insulating III-V Materials, 1984, 347~ 353
- [4] 吴巨, 等, 半导体学报, 1997, **18**: 558~ 559
- [5] Chang-Feng Wan, Hisashi Shichijo *et al*, IEEE trans Electron Devices, 1989, **36**: 839
- [6] Norio Goto *et al*, Threshold voltage model for side-gating effect in GaAs MESFETs based on hole injection and

recombination, Proceeding of the 16th Int. Symp. GaAs and Related Compounds, Karuizawa, Japan, 1989, 671~676

Effect of Back-Gate on GaAs MESFET V_{th} Uniformity

Liu Ruying, Zhao Jianlong, Xia Guanqun, Wu Jianping, Gu Chenyu, Zhan Yan

(Shanghai Institute of Metallurgy, The Chinese Academy of Sciences, Shanghai 200050)

Received 12 September 1998, revised manuscript received 15 December 1998

Abstract The effect of back-gating on V_{th} uniformity of GaAs MESFET using planar selective ion implantation was investigated. The results show that the back-gating has some effect on GaAs MESFET V_{th} and its uniformity, the absolute value of V_{th} is smaller and its uniformity is bad for GaAs MESFET when back-gate is applied a negative bias.

EEACC: 2560N