

新结构 MOS/晶闸管的器件机理与研制*

李学宁 李肇基 吴世勇 唐茂成

(电子科技大学微电子所 成都 610054)

摘要 本文提出了两种新结构 MCT 器件,通过器件模拟器 PISCES-IB 对其关断机理进行了二维数值求解.采用自对准三重扩散工艺,成功地实现了两种新结构 MCT 器件.其电流关断能力分别达到 $114\text{A}/\text{cm}^2$ 和 $41\text{A}/\text{cm}^2$.

EEACC: 1210, 2560L, 2560, 0170E

1 引言

本世纪八十年代中期以来,以 MCT 为代表的 MOS/晶闸管相结合的新型功率器件不断出现.由关断机理的不同可将它们分为四类.第一类是短路关断机理的器件,如 DMT^[1]、BRT^[2]、DOFMCT^[3]以及本文提出的两种新器件结构;第二类为 MOS 栅位移电流关断机理的器件,如 DMT^[4]、MCCI^[5];第三类为发射极开关机理的器件,如 EST^[6]等;第四类为对 n⁻基区过剩载流子抽取机理的器件,如 FATO-Thyristor^[7].

在正向通态下短路关断机理的 MOS/晶闸管器件的电流主要流经闭锁的 pnpn 晶闸管结构,器件的阴极和阳极分别注入电子和空穴,使 n⁻基区处于强电导调制状态,器件的通态特性类似于 pin 二极管.其关断是当 MOS 栅加以 $|V_G| > |V_{TP}|$ 的栅电压后,集成于阴极表面的 PMOSFET 导通,有效短路了器件的晶闸管结构的阴极发射结,实现器件的关断.

器件的电流关断能力即最大可控电流密度是 MOS/晶闸管器件的重要指标.它不仅取决于构成阵列的单元的关断能力,也取决于由单元所构成的阵列关断的电流不均匀性.

采用 VLSI 技术实现的 MOS/晶闸管器件,其单元尺寸得以缩小,使有限面积上的单元数大大增加.而阴极区域光刻套准精度限制了器件单元尺寸的缩小,成为制约发展大可控电流器件的主要因素之一.

另一制约发展大可控电流器件的主要因素是由于多阴极结构的存在,使短路关断机理的 MOS/晶闸管器件在关断过程出现电流分布的均匀性.它表现在关断时电流集中于某些单元的阴极,当超过该单元的关断能力时,使整个器件无法关断,甚至可导致器件由于电流

* 国家自然科学基金重点项目

李学宁 1963 年生,博士,目前从事功率器件与智能集成电路等工作

李肇基 1942 年生,教授,长期从事新型功率 MOS 器件和智能功率电路、CAD 等研究

1995 年 11 月 6 日收到初稿,1996 年 3 月 11 日收到修改稿

集中而烧毁. 器件关断电流的不均匀性主要来自于以下两个方面: 一是阵列中单元位置的差异引起. M. Stoisiek 等人^[8]和 F. Bauer^[9]等人分析了四个单元存在情形, 处在边缘的单元在正向时将流过较大的电流, 在关断时也将流过更大的电流, 当器件电流超过某一临界值时, 器件无法关断. 二是阴极区掺杂浓度的分布不均匀等工艺因素也将导致器件关断电流的不均匀^[10].

以上难点成为短路关断机理的 MOS/晶闸管器件发展中引人注目的课题. 为此, 本文提出了两种新结构 MOS/晶闸管器件, 与传统 MCT 不同的是: 它们分别具有器件的晶闸管结构和关断 PMOSFET 沟道的自对准特点和两个双扩散 PMOSFET 的结构特点. 加之对器件版图的优化设计, 有效地解决了发展大可控电流的主要障碍.

通过 PISCES-IB, 对新结构器件的关断过程进行了二维数值求解与关断机理的分析. 在此基础上优化器件单元结构参数. 采用自行设计的三重扩散工艺成功地实现了这两种新器件.

2 器件结构和特点

2.1 New1

New1 器件结构如图 1(a)(见图版 I)所示, 它由传统的 MCT 结构与短路关断结构组成. 其阴极发射结的关断短路电阻等于 p 基区横向电阻和两个并联的自对准双扩散的 PMOSFET 沟道电阻. 与传统 MCT 相比, 它具有更低的关断短路电阻, 因此 New1 的单元关断能力更大. New1 的开启可通过设计的 IGBT 单元作为开启单元. 图 1(b)(见图版 I)为 New1 的芯片照片, 它由 28 个 New1 单元和 44 个 IGBT 单元构成. 由此, 它完全实现了 MOS 栅对器件晶闸管结构的开启和关断.

2.2 New2

New2 的结构如图 2(a)(见图版 I)所示, 它由晶闸管结构和栅控短路结构组成. 和传统 MCT 不同的是: 关断 PMOSFET 与晶闸管的阴极完全分开. 可独立设置在有源区内, 合理的设计可使常规 MCT 关断过程中电流不均匀现象得到缓和. 在常规 MCT 制作的光刻过程中, n^+ 阴极与多晶硅都与 Si 衬底套准, 而 p^+ 短路区与多晶硅套准, 因此 n^+ 阴极与 p^+ 短路区之间的对准误差为 3 倍最小光刻套刻精度, 由此带来的掺杂分布不均匀将导致器件在关断过程的不均匀性. 同时, 该对准误差还限制了器件的最小单元尺寸. New2 的 n^+ 阴极与 p^+ 短路区由多晶光刻版实现完全自对准, 与光刻对准精度无关, 使阴极区掺杂分布均匀.

New2 的版图如图 2(b)(见图版 I)所示, 它的开启由 MSS 结构的 IGBT 单元和 1762 个 New2 单元构成, 器件的开启与关断均由 MOS 栅电压控制.

由于在关断过程中器件的电流和边缘单元集中, 因此, 在 New1 和 New2 的版图优化设计中增加了边缘单元的 PMOSFET 沟道宽度, 它使边缘单元的电流集中现象得到缓和. 同时, 由于单元尺寸的缩小, 提高单元电流关断能力的设计使器件电流可控能力增大.

3 器件关断机理

由于功率器件工作于大注入, 强电导调制状态, 对其关断过程须求解双载流子连续性方

程和 Poisson 方程,并考虑 SRH 复合、Auger 复合、迁移率与杂质浓度及电场的依赖关系以及高掺杂所引起的禁带变窄效应.由于两新结构均具有 MOS 栅控短路结构,因此,对 New2 结构在典型电流下的关断求解与分析具有普遍意义.

器件结构参数由表 1 给出.通过求解,得到了图 3(见图版 I)示出的关断瞬态曲线,即阳极电流 I_A ,阴极电流 I_K 以及 PMOSFET 沟道电流 I_{ch} 随时间的变化.栅压以 $t=0$ 时刻起,由 +5V 以斜坡下降至 -4.5V,下降时间为 50ns.当 $t=25\text{ns}$ 时, $|V_G| > |V_{TP}|$,关断过程开始.

表 1 器件结构参数

n ⁺ 阴极宽	(W_{n^+})	6 μm
多晶栅长	(L_{poly})	8 μm
p ⁺ 短路宽	(W_{p^+})	6 μm
n ⁺ 结深	(x_{jn^+})	2.5 μm
n 阱结深	(x_{jn})	2 μm
p 阱结深	(x_{jp})	6 μm
n ⁻ 外延层厚	(w_{n^-})	55 μm
p 阱表面浓度	(n_{ps})	$5 \times 10^{16} \text{cm}^{-3}$
n ⁻ 区浓度	(n_B)	$2 \times 10^{14} \text{cm}^{-3}$

随着 PMOSFET 的导通,沟道电流迅速由零上升至 $1.1 \times 10^{-5} \text{A}/\mu\text{m}$,此后略有降低,基本维持在 $7 \times 10^{-6} \text{A}/\mu\text{m}$ 左右.而阴极电流 i_k 相应由 $2.5 \times 10^{-5} \text{A}/\mu\text{m}$ 下降至 $1.4 \times 10^{-5} \text{A}/\mu\text{m}$,此后维持在 $1.8 \times 10^{-5} \text{A}/\mu\text{m}$ 左右.此时,器件处于关断的存贮过程,其特征为阳极电流基本保持不变.p 基区超量存贮电荷由于 PMOSFET 沟道的导通破坏了正向通态时所维持的平衡而不断减少.而阴极电流由维持晶闸管结构闭锁的 p 基区最小过剩电荷 $Q_{p,\min}$ 决定,因此 i_k 保持不变.

当 $t_s = 1.365 \mu\text{s}$ 时,存贮过程结束,此刻 p 基区过剩电荷 Q_p 等于 $Q_{p,\min}$.此后随着 Q_p 的降低, i_k 迅速下降,至 i_k 减小到存贮时的值的 10% 时,这个过程称为阴极注入停止过程,所经历的时间 $\Delta t = 0.15 \mu\text{s}$.

随着阴极注入的停止,晶闸管结构终止闭锁,阴极电流也随之减少,进入关断的下降过程.

阴极注入停止后,器件等效为基极开路的 pnp 晶体管,n⁻ 基区内存在大量的过剩载流子对,过剩电子通过复合和阳极背注入消失,阳极电流缓慢下降.下降过程完全等同于 IGBT 器件在 MOS 沟道电流截止后的关断过程.对其分析可参考文献[11]、[12]对 IGBT 关断过程的分析.

通过数值计算得到,单元面积越小,单元的关断能力越大,因此,以缩小单元尺寸来实现器件的单元结构的优化.同时以表 1 参数计算得到了关断电流与 PMOSFET 的沟道长度 L_{PMOS} 的关系密切.由表 2 可知 L_{PMOS} 越短,关断电流越大.因此须采用缩短 PMOSFET 沟道长度来提高单元关断能力.在实际工艺水平基础上,对本文设计的两种新结构器件的单元的关断能力进行的二维数值求解得到:New1 与 New2 单元关断能力分别为 $100 \text{A}/\text{cm}^2$ 和 $64 \text{A}/\text{cm}^2$.

表 2 电流关断能力与 PMOSFET 沟道长度的关系

$L_{\text{PMOS}}/\mu\text{m}$	1	2	3
$i_{\text{off,max}}/(\text{A} \cdot \mu\text{m}^{-1})$	2.8×10^{-5}	1×10^{-5}	2.6×10^{-6}

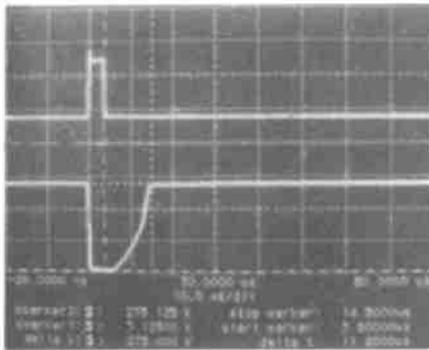
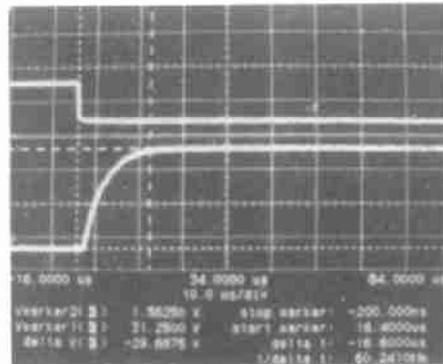
4 实验结果与讨论

通过对器件的二维数值计算,优化设计了 New1 和 New2 版图. 器件耐压终端结构采用了场限环与场板结构,设计值为 660V. 实测达到 620V.

通过 SUPREM-III 工艺模拟,优化设计器件工艺参数,采用自对准三重扩散工艺^[12],成功实现了具有亚微米关断 PMOSFET 沟道的新结构 New1 和 New2 器件.

图 4(见图版 I)为 New2 正向转折区 I - V 特性,从图中可看到,器件由 IGBT 工作模式进入器件晶闸管结构闭锁的工作模式的转折. 在 IGBT 区阴极电流 I_A 与栅压 V_G 有关,而晶闸管结构闭锁后, I_A 与 V_G 无关,转折电流 $I_b \leq 2\text{mA}$.

在阻性负载下,对器件关断过程进行了测试. 图 5 为 New2 在 278V 阻断电压下,关断 1.1A 的关断过程. 图 6 为 New1 在 31V 阻断电压下,关断 0.2A 的电流关断瞬态曲线,正如二维数值求解所得的情形,阳极电流的变化反映了器件关断经历的存贮过程和下降过程,测试得到存贮时间为 $2\mu\text{s}$ 与二维数值求解吻合. 下降时间为 $9.2\mu\text{s}$. 它验证了短路关断机理的 MCT 器件存在特有的关断存贮过程.

图 5 New2 关断过程($t_{\text{off}}=11.2\mu\text{s}$, $R_L=250\Omega$)图 6 New1 关断过程($t_{\text{off}}=16.6\mu\text{s}$, $R_L=140\Omega$)

New1 的最大关断能力为 $111\text{A}/\text{cm}^2$ (0.288A), New2 为 $41\text{A}/\text{cm}^2$ (1.8A), 与解析求解结果 $100\text{A}/\text{cm}^2$ 和 $64\text{A}/\text{cm}^2$ 工本一致. New1 具有较大关断能力是由于其单元的阴极具有双 PMOSFET 结构,关断短路通路具有更小的电阻的缘故. 阵列关断能力的测试值与单元二维数值求解值吻合较好. 特别是 New2 由 1762 个单元所构成,其阵列关断能力的测试值与单元关断能力数值求解值的一致性说明:新器件的自对准结构使阴极区掺杂分布均匀和边缘单元较中心单元的 PMOSFET 沟道宽度大的设计有效地解决了关断电流不均匀性.

5 结语

本文所提出的两种新结构短路关断机理的 MOS/晶闸管器件成功地实现了 MOS 对晶闸管结构器件的开启和关断。

对器件关断过程的二维值求解得到了器件关断过程所经历的内部物理与外部电流的变化规律,并指出存在关断的存贮过程和下降过程。

New1 的双短路 MOSFET 的结构使器件电流可控能力提高。

New2 器件的自对准结构,使器件单元阴极掺杂分布均匀,也可缩小单元尺寸。

边缘单元的 MOSFET 沟道宽度较大,有助于克服关断过程中电流的不均匀性。

参 考 文 献

- [1] V. A. Temple, IEDM Tech. Dig., 1984, 282~285.
- [2] M. Nadakumar, B. J. Baliga, M. S. Shekar *et al.*, IEEE Trans. Electron Device, 1992, **39**:1938~1945.
- [3] 李学宁,吴世勇,唐茂成,等,第八届全国 IC&Si 材料学术会议论文集,1993,413~414.
- [4] B. J. Baliga and H. Chang, IEEE Electron Device Letter, 1988, **9**:411~413.
- [5] Q. Huang, G. A. J. Amaratunga, E. M. S. Narayanan *et al.*, Solid State Electronics, 1992,**35**(2):187~191.
- [6] M. S. Shekar, B. J. Baliga, M. Nadakumar *et al.*, IEEE Trans. Electron Device, 1991, **38**:1619~1623.
- [7] C. J. Petti and J. D. Plummer, IEDM Tech. Dig., 1987, 662~665.
- [8] M. Stoisiek, K. G. Oppermann and G. Wachutka, AEU, 1989, 320~327.
- [9] F. Barer *et al.*, IEEE Trans. Electron Device, 1991, **38**:1605~1611.
- [10] A. A. Jaeklin, IEEE Trans. Electron Device, 1992, **39**:1507~1513.
- [11] J. G. Fossum and R. J. McDonald, IEEE Trans. Electron Device, 1986, **33**:1377~1382.
- [12] A. R. Hefer and D. L. Blackburn, Solid State Electronics, 1988,**31**:1515~1532.
- [13] 李学宁,唐茂成,李肇基,等,电子学报,1996, **24**(5):63.

Device Mechanism Analysis and Fabrication of New Structural MOS Controlled Thyristors

Li Xuening, Li Zhaoji, Wu Shijong and Tang Maocheng

(University of Electronic Science and Tehnology of China, Cbengdu 610054)

Received 6 November 1995, revised manuscript received 11 March 1996

Abstract Two kinds of new structures of MOS-Controlled Thyristor devices are proposed. The turn-off mechanism of the ddevices is analyzed by the 2D numerical device simulator PISCES-IIB. The devices with new structures are fabriated successfully by a self-align triple-diffusion process. The turn-off current capability of the two kinds of devices reaches $114\text{A}/\text{cm}^2$ and $41\text{A}/\text{cm}^2$, respectively.

EEACC: 1210, 2560L, 2560, 0170E

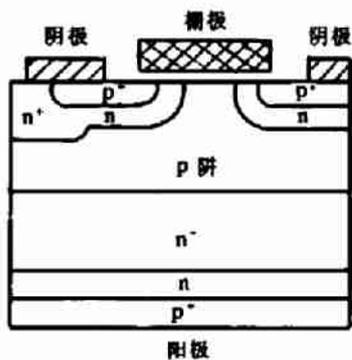


图 1(a) New1 器件结构

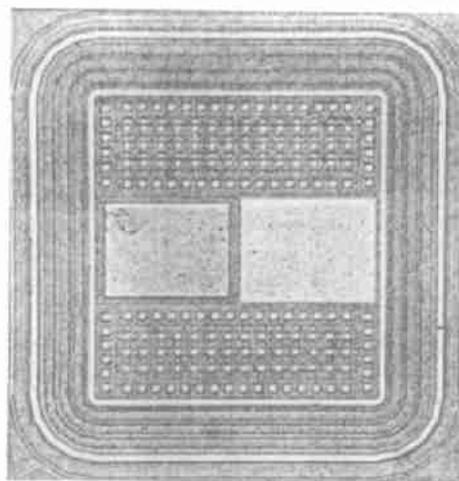


图 1(b) New1 芯片照片

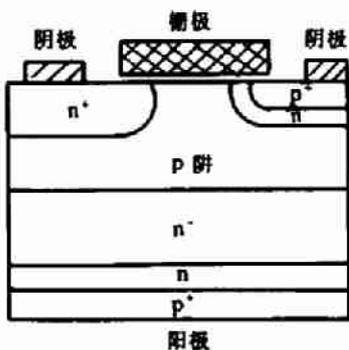


图 2(a) New2 器件结构

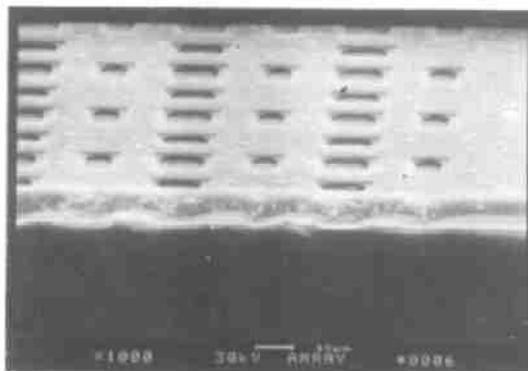


图 2(b) New2 芯片照片

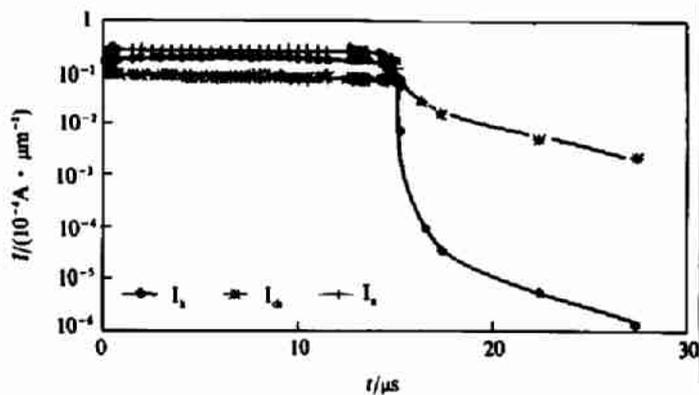


图 3 器件关断过程中电流变化关系

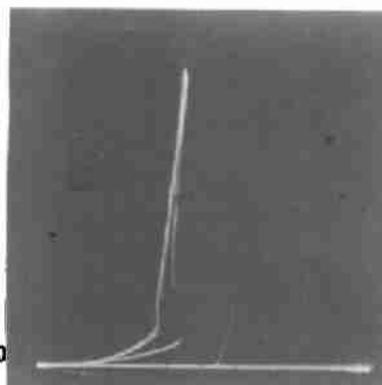


图 4 New2 正向 $I-V$ 特性
 $x=0.2V/div, y=1mA/div$