

电荷 DLTS 及其对硅上砷化镓材料中深能级的测量

董 琪 郑心畲 陈培毅 费新礮

(清华大学微电子学研究所,北京,100084)

1990年7月5日收到, 10月14日定稿

本文提出并建立了具有漏电补偿功能的电荷 DLTS 方法。该方法具有与电容 DLTS 方法相同的率窗特性, 同时又能直接测量深能级热发射的电荷响应而不必依赖耗尽区厚度的热发射调制, 因此能用于半绝缘材料及耗尽层厚限定(如 PIN, SOI 结构)材料中的深能级测量。所建立的测量系统利用微机控制, 可以在一次温度扫描中完成测量过程。利用该系统首次测量了 MBE 生长硅衬底砷化镓材料上 LED 二极管有源区中的深能级密度及位置, 证实了其中高密度深能级的存在。

一、引言

GaAs/Si 异质外延材料为光电子集成电路 (OEIC) 的实现提供了新的途径, 同时也提供了单片砷化镓与硅集成 (MGS) 的可能, 因此受到国内外高度的重视^[1,2]。目前, 在硅上砷化镓层上制作的多子器件(如 MESFET, HEMT) 已达到或接近了同质材料砷化镓器件的水平, 但少子器件(如 LD, LED, HBT) 与同质材料器件相比仍有一定差距, 这一差距很可能与硅上砷化镓层中高达 10^7cm^{-2} 的位错密度有关^[3]。源自晶格失配及热失配的高密度位错如果在电学上表现为禁带中部的深能级缺陷必然会严重地影响少子器件的性能。

为了测定和研究硅上砷化镓层中的深能级缺陷, 我们发展了一种新型的深能级谱方法, 即电荷 DLTS 方法。电荷 DLTS 方法, 象电容 DLTS^[4] 方法一样, 具有良好的率窗特性; 另一方面, 它又象电流 DLTS 方法^[5]一样, 具有基本上不受掺杂浓度及掺杂层次结构影响的灵敏度, 因此这是一种有特点的深能级谱方法。针对电荷测量中的“漏电影响”, 我们的测量系统中引入了漏电消除技术。利用该测量系统测定了制作于硅上砷化镓层上的 LED 器件及肖脱基二极管有源区中的深能级密度及能级位置, 证实了高密度深能级缺陷的存在, 据信这是国内外文献中关于此类测量的首次报道。文中叙述了电荷 DLTS 方法的原理, 微机化电荷 DLTS 测量系统的结构软件及其实际应用, 并在最后一节给出了简短的小结。

二、电荷 DLTS 方法的原理

我们曾利用电容 DLTS 方法测量了具有 P^+IN^+ 结构的硅上砷化镓 LED 器件，结果检测不到 DLTS 信号。这是因为，对所述的结构，耗尽区被 P^+ 及 N^+ 层所限制，这使 I 区中深能级热发射所产生的耗尽层厚调制小到无法测量。对低掺杂硅上砷化镓外延层进行测试同样存在着类似问题，此时 $2-4\mu m$ 厚的未掺杂缓冲层很容易被完全耗尽，使耗尽层边界进入硅衬底。鉴于 $GaAs/Si$ 异质结特性难以很好地控制，所产生的电容信号的分析将是困难的。对 SOI 硅材料也存在测不准的问题。

电流 DLTS 技术可以解决上述测试任务。但由于与其微分特征相联系，该方法对高频干扰缺乏抑制能力，而低频端灵敏度又显著下降。它的率窗特性（一般取 $t_2/t_1 \sim 10$ ）也是不理想的^[6]。我们的电荷 DLTS 方法正是为解决上述矛盾而提出的。

考虑如图 1 所示的 P^+N 结构。

其中 N 区杂质浓度分布不必均匀。当其中密度为 N_T 的电子陷阱存在时，电子热发射过程中耗尽层厚由初始的 W 收缩至 W_0 。设 W_0 至 W 间的杂质浓度为 N_{D0} 。

在陷阱电子热发射过程中，耗尽层中电荷变化量为

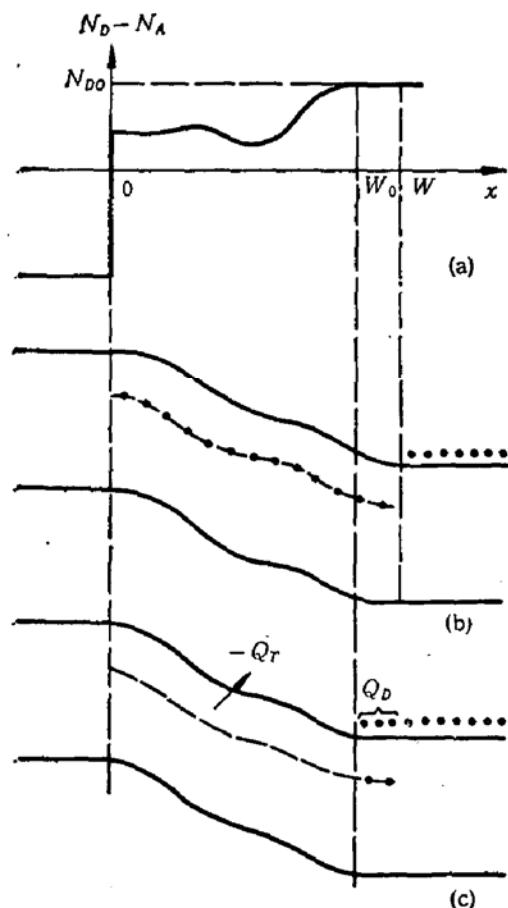


图 1 电荷 DLTS 测量过程中耗尽层内及边界处电荷分布的变化 (a) 掺杂分布示意图 (b)(c) 热发射开始前及结束后的状态

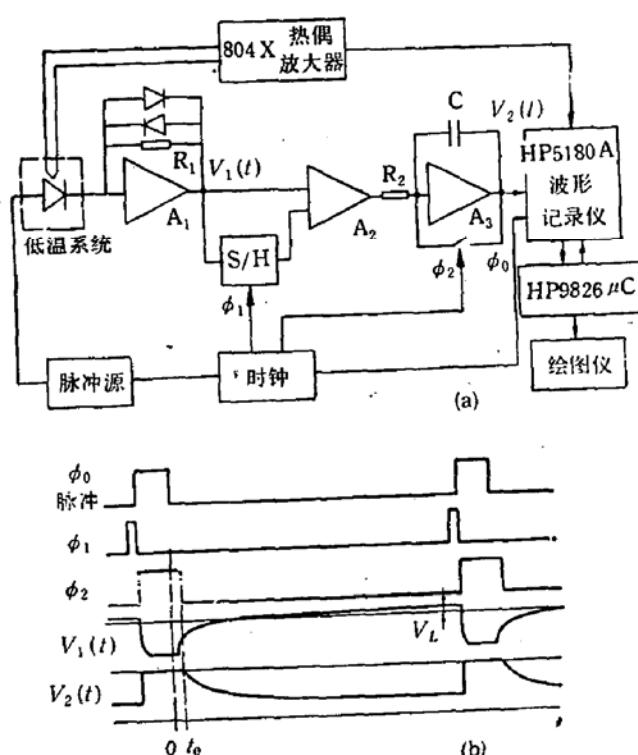


图 2 电荷 DLTS 测量系统的原理框图 (a) 及波形图 (b)

$$Q_T = eAW_0 \cdot N_T \quad (1)$$

其中 e 为电子电荷, A 为样品面积。

为了维持恒压条件, 此过程中, $W_0 \leq x \leq W$ 区间退出耗尽, 因而必定积累总量为 Q_D 的自由电子电荷。根据耗尽层近似, 应有

$$Q_D = -\frac{W_0}{W + W_0} Q_T \quad (2)$$

实际上, 热发射的电子一部分成为 Q_D 完成耗尽区边界的移动, 另一部分则流出 N 区, 与此对应, 此期间内流入 N 区的电荷量为

$$Q = Q_T + Q_0 = eA \left(\frac{WW_0}{W + W_0} \right) N_T \quad (3)$$

在空穴陷阱的情况下, (3)式仍然成立。

在电荷指数变化的情况下, 可以测到的 PN 结电荷变化量为

$$Q(t) = eA \left(\frac{WW_0}{W + W_0} \right) N_T (1 - e^{-t/\tau}) \quad (4)$$

在 $N_T \ll N_{D0}$ 情况下, $|W - W_0| \ll W$, 此时

$$Q(t) = \frac{1}{2} eAWN_T (1 - e^{-t/\tau}) \quad (5)$$

(4)式与(5)式与电容 DLTS 响应有相似的形式。但由于(4)及(5)式中, 不象电容 DLTS 响应那样, 显含 $\frac{1}{N_{D0}}$ 因子, 因此在掺杂浓度较高或耗尽区边界高浓度掺杂 (P^+IN^+ 结构) 的条件下仍能对 N_T 进行测定, 这一点对层状结构材料的表征是很有利的。在 SOI 结构的情况下 $Q_D = 0$ 。 (5)式变为

$$Q(t) = eAWN_T (1 - e^{-t/\tau}) \quad (6)$$

由于(4)–(6)式中不包含电流 DLTS 响应所含的 $\frac{1}{\tau}$ 因子, 在电荷 DLTS 测量时, 可以采用与电容 DLTS 方法相同的率窗值, 如 $t_2/t_1 = 1.5, 2, 3, \dots$ 而不必如电流 DLTS 那样采用相关特性较差的 $1/10$ 率窗。这对准确确定深能级位置是很有利的。

图 2 是我们所提出和建立的电荷 DLTS 测量系统原理图。

其中 I/V 变换器 A_1 将 PN 结电流 $I(t)$ 转变为电压输出

$$V_1(t) = R_1 I(t) + V_L \quad (7)$$

上式中 V_L 是样品漏电等所产生的偏移量。 V_L 由取样保持电路采集并贮存, 经减法器 A_2 从 $V_1(t)$ 中减除, A_2 的输出在时钟 $\phi_2 = "0"$ 期间 ($t > t_0$) 由 A_3 积分, 在 $\phi_2 = "1"$ 期间, A_3 输出为 0, 由(4)式

$$V_2(t) = -eA \left(\frac{WW_0}{W + W_0} \right) N_T \left(\frac{R_1}{R_2 c} \right) (e^{-t/\tau} - e^{-t_0/\tau}) \quad (8)$$

其中 c 为积分电容。

PN 结正向注入电流及 $0 < t < t_0$ 期间的空间电荷区多子弛豫电流由 A_1 的二个反向并接二极管短路, 而积分器在 $\phi_2 = "1"$ 期间被短路。因此 $V_2(t)$ 中仅包含深能级热

发射的电荷响应。 t_0 的典型值为 0.1ms, 而脉冲周期可达几十 ms 至 100ms, 因此电荷 DLTS 方法具有比较宽的时间常数测量范围。

测量系统由脉冲源触发的时钟电路同步, 样品温度信号经一个 804X 精密放大器 放大后与 $V_2(t)$ 同被 HP5180A 波形记录仪采集, 并经 IEEE488 口输入至 HP9826 微机, 波形的分析处理及谱峰的提取由计算机完成。图 3 是实时采得的一幅瞬态电荷波形。

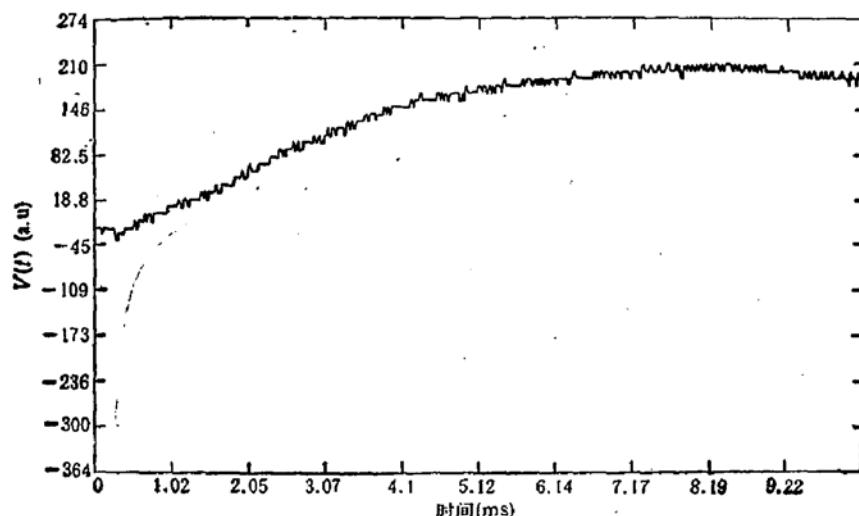


图 3 实际采集的一幅电荷波形 (192K)

三、系统软件

我们为该测量系统研制的软件具有多次平均及低通数字滤波功能。平均次数取决于升温速率。在升温较慢时, 0.5K 的温度间隔内可以进行 10 次平均。 $V_2(t)$ 信号中的高频噪声采用巴特沃兹低通数字滤波器除去^[3], 又用五点平滑技术进一步除去测量噪声。利用这三个措施提高信噪比后, 便由操作者输入多组率窗值 t_2/t_1 对 $V_2(t)$ 波形进行处理。所得到的 $S(T) = V_2(t_2) - V_2(t_1)$ 关于温度 T 的曲线显示于屏幕上。采用自动或人机对话方式指定谱峰。以获得该能级的 Arrhenius 曲线。一个样品仅作一次温度扫描即可获得所需的陷阱信息。图 4 给出了该软件的框图。

表 1 陷阱参数模拟对比

种类 \ 参数	能级位置 (eV)		陷阱浓度 (cm^{-3})		俘获截面 (cm^2)	
	设置值	模拟值	设置值	模拟值	设置值	模拟值
陷阱 1	0.30	0.31	1×10^{16}	1.05×10^{16}	1×10^{12}	1.35×10^{12}
陷阱 2	0.39	0.42	9×10^{15}	9.5×10^{15}	1×10^{12}	8.01×10^{11}

为了验证软件功能, 设定了二个具有相同俘获截面的电子陷阱进行了模拟。模拟所采用的率窗是 $t_2/t_1 = 2$, 波形采集温度间隔是 2K。表 1 是这两个陷阱的设定参数和模拟的测量参数对比。

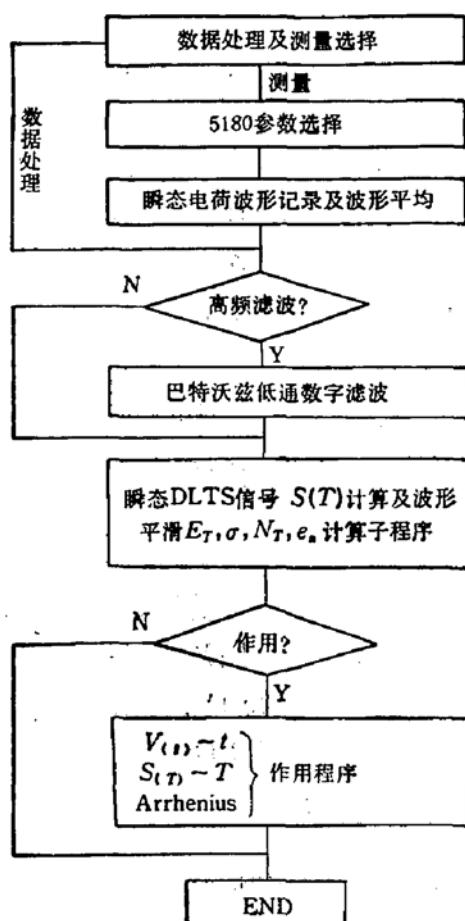


图 4 测量及处理软件流程框图

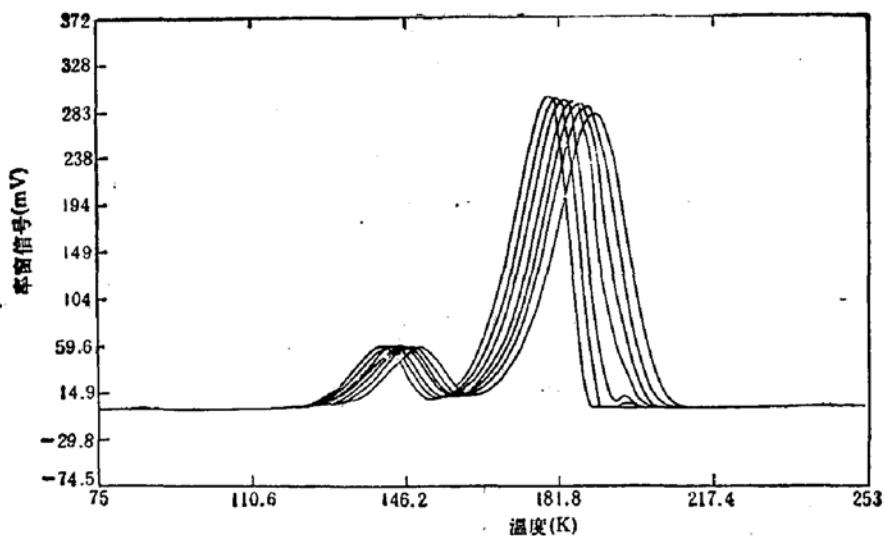


图 5 对设定的两个能级进行模拟测量得到的电荷 DLTS 谱
 率窗 t_2/t_1 自左至右为 25/12.5, 19/9.5, 15/7.5, 11/5.5, 9/4.5, 7/3.5 及 5/2.5ms

结果表明，即使在温度间隔为 2K 条件下，软件引入的能级误差为 0.03eV。深能级密度误差为 5%，仍然是令人满意的。图 5 是这两个陷阱能级在不同率窗下的 $S(T)$ 谱。

四、测量结果

利用本文所叙述的电荷 DLTS 测量系统测量了硅上砷化镓肖脱基二极管及 LED 器件。在两种样品中都发现了较同样条件下 MBE 生长的砷化镓衬底砷化镓器件密度高得多的深能级。这里主要介绍 LED 二极管的测量结果。

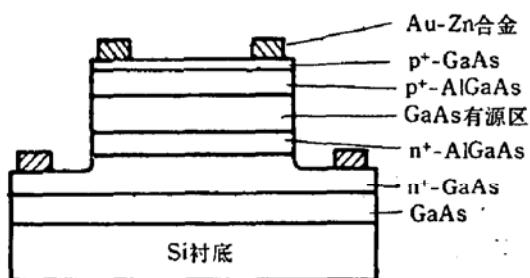


图 6 LED 器件结构示意图

LED 器件的结构如图 6 所示。其面积为 $100 \times 100 \mu\text{m}^2$ 。测量中耗尽层宽即有源区厚度为 3000\AA 。

我们曾用灵敏的电容 DLTS 仪对其进行测量, 未发现任何 DLTS 信号。图 7、图 8 分别是电荷 DLTS 方法所获得的 $S(T)$ 谱图及能级的 Arrhenius 曲线。所用的测量条件是 $R_1/R_2c = 2.5 \times 10^{-3}/\text{pF}$, 反向偏压为 1V。波形记录时间间隔为 $20\mu\text{s}$, 脉冲周期为 20ms 。所获得的二个能级的信息列于表 2 中。其中 E_{T_1} 可能就是 E16 电子陷阱^[8], E_{T_2} 可能是与硅衬底化学污染有关的陷阱。

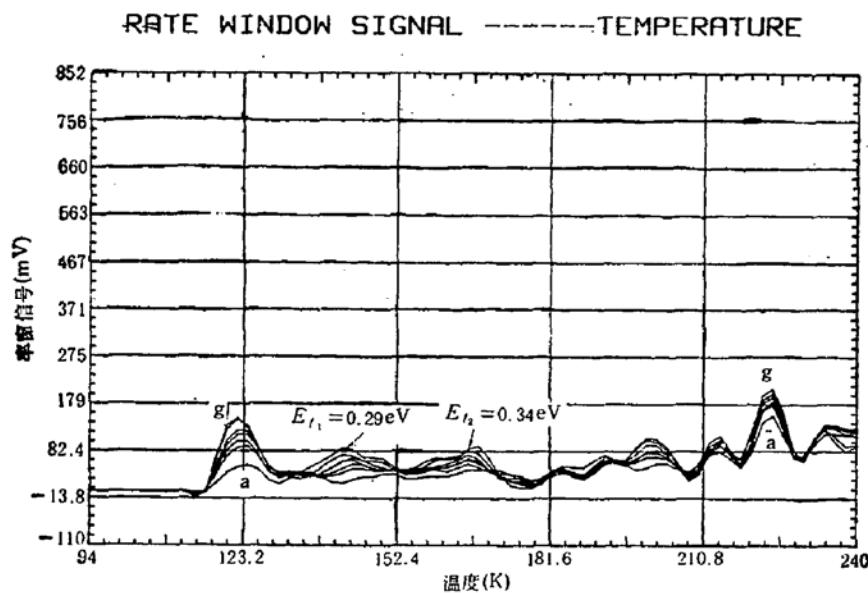


图 7 GaAs/Si 材料上 LED 器件的电荷 DLTS 谱

率窗 t_2/t_1 依次为 a $4/2$, b $4.8/2.4$, c $5.6/2.8$, d $6/3$, e $6.4/3.2$, f $7.6/3.8$ g $8.4/4.2\text{ms}$

图 7 中还显示了其它深能级的存在, 但除了 0.29eV 及 0.34eV 两组谱峰, 其余峰的性质目前尚不能确定。这有两方面原因: 一方面, 这些不明的峰可能与 GaAs/Si 界面复杂结构中的缺陷有关; 另一方面, 现在的测试装置主要是从方法上证明电荷 DLTS 方法的可行性, 其抗干扰能力及测量精度有待提高。在新的测量装置中, 为克服这些弊病提高了信噪比。缩短了取样温度间隔, 数据点的增多将明显改善计算结果的精度, 有关结果将陆

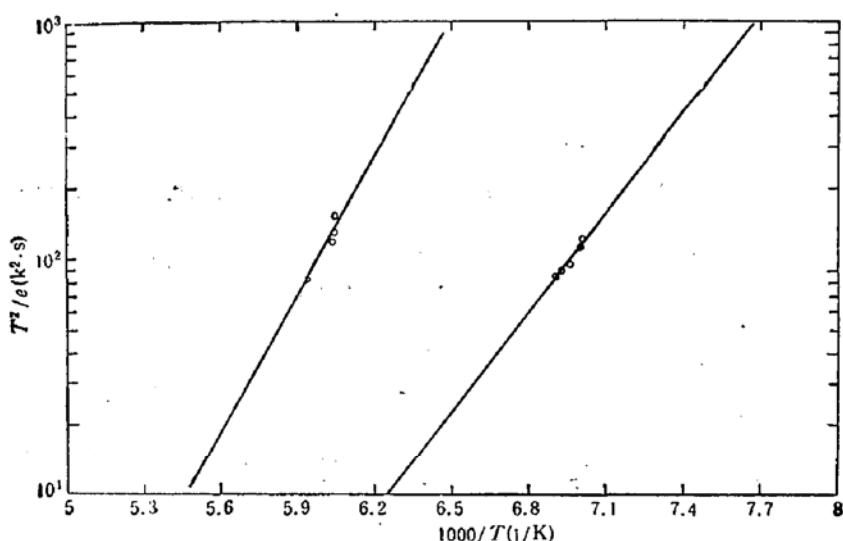


图 8 图 7 中二组谱峰的 Arrhenius 图

注: e 为发射率, 单位为 $1/s$

表 2 LED 样品测量结果

陷阱种类 斜线	实测参数	能级位置 (eV)	陷阱密度 (cm^{-3})	俘获截面 (cm^2)
1. 电子陷阱	0.29	1.1×10^{16}	9.1×10^{-13}	
2. 电子陷阱	0.34	1.0×10^{16}	1.2×10^{-13}	

续发表。

值得注意的是, 在 LED 有源层中, 深能级密度高达 10^{16} cm^{-3} , 该二极管的电荧光量子效率约为 10 mA 下数微瓦, 比砷化镓衬底上的对照 LED 器件低 2 个量级以上。这一点与高密度深能级的存在是一致的。由此可见, 提高硅上砷化镓少子器件的性能必须大大降低其深能级密度, 而这一高密度的深能级缺陷可能与现存的高密度位错相联系。

五、结 论

本文的工作包括两方面。首先它提出了一种同时具有电容及电流 DLTS 方法优点的电荷 DLTS 方法, 分析及实践均证明。与电流 DLTS 方法相比, 这一方法具有更好的率窗特性和更宽的时间常数测量范围。同时其测量灵敏度受掺杂浓度影响比电容 DLTS 方法小得多, 因而适用于各种结构。特别是 PIN, SOI 等层状结构材料的表征。通过取样相减, 消除了影响电荷测量的漏电因素。利用微机控制的测量系统能自动采集温度及电荷信息, 并进行 DLTS 谱分析。

另一方面的工作是对硅上砷化镓 LED 器件的 DLTS 测量。据我们所知, 这是这种材料深能级测量的首次报道。测量结果肯定了 MBE 生长硅上砷化镓材料中高密度深能

级陷阱的存在。

本工作得到了 863 高科技计划的支持。

参 考 文 献

- [1] See, for example, Mat. Res. Soc. Symp. & Proc., Vol. 67, edited by J. C. C. Fan, Material Research Society, Pittsburgh (1986).
- [2] H. Morkoc, H. Unlu, H. Zabeli and N. Otsuka, *Solid State Tech.*, March, 71(1988).
- [3] Russ Fischer and H. Morkoc, Extended Abstract of the 18th Conference on the Solid-State Device and Materials, (1986) P109.
- [4] D. V. Lang, *J. Appl. Phys.*, 45, 3014(1974).
- [5] J. A. Borsuk and M. Swanson, *IEEE Trans. Electron. Dev.*, ED-27, 2217(1980).
- [6] G. M. Martin, A. Mitonneau and A. Mircea, *Electron Lett.*, 13, 191(1977).
- [7] 丁海曜《生物运动信息检测处理》, 清华大学无线电系内部讲义, 清华大学出版社, 第31页, 1988.
- [8] G. F. Neumark and K. Kossi, *Semiconductors and Semimetals*, 19, 431(1983).

Charge DLTS and Its Application to Deep Level Measurement of Gallium Arsenide on Silicon

Dong Qi, Zheng Xinyu, Chen Peiyi and Fei Xinbo

(Institute of Microelectronics, Tsinghua University)

Abstract

A novel charge DLTS method with leakage current compensation function is put forward and demonstrated. Possessing the same spectroscopic characteristics as the conventional DLTS technique has, it directly measures the charge response of deep level thermal emitting rather than relies on modulation of the depletion region width. Therefore, the new method can be used for materials such as semi-insulator, PIN and SOI structures. A micro-computer controlled measurement system is established. All the DLTS information is available by simply one temperature scanning. The densities and positions of the deep levels in the active region of the LED device on GaAs grown on Si by MBE have been measured for the first time. Existence of high density deep levels in the material is proved.