

单层布线硅栅 CMOS 门阵列设计 系统 Galstar

张钦海 万 斌 钱黎明 章开和 唐璞山

(复旦大学电子工程系, 上海, 200433)

1990年6月22日收到, 8月30日修改定稿

本文介绍了开发完成并实用化的单层铝布线硅栅 CMOS 门阵列设计系统 Galstar。并从应用的角度, 介绍 galstar 系统的特点。

一、Galstar 的系统结构和设计流程

门阵列设计方法对发展专用集成电路 (Application Specific Integrated Circuits, 或 ASIC) 的发展起着重要的作用。其设计周期, 生产周期, 制造成本等都较标准单元设计

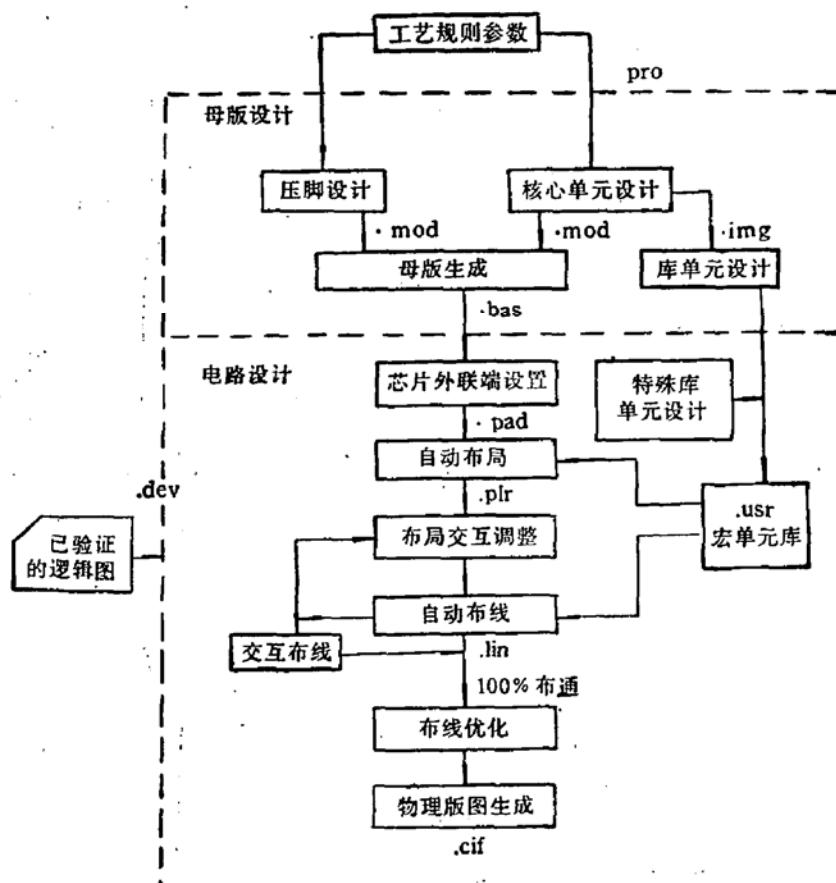


图1 Galstar 的系统结构和设计流程

方法和宏单元设计方法来得优越，特别适用于小批量多品种随机逻辑数字电路的开发。

Galstar 系统是一个适合我国目前微电子工业生产工艺的单层布线硅栅 CMOS 门阵列设计系统。该系统的结构和相应的设计流程如图 1 所示^[1]

整个门阵列芯片的设计可以划分为两个阶段。

1. 母版设计阶段

这通常是由 IC 生产单位来完成的，根据不同 IC 生产单位的工艺流程和设计规则，利用交互图形编辑工具，完成门阵列中所需要的压脚 (pad) 和核心单元 (core cell) 设计，galstar 中提供的 base 程序，则按照芯片规格 (1000 门，2000 门等) 自动生成母版。在这同时，IC 生产单位可利用 galstar 中的 celedit 工具建立该系统中的各种宏单元。

2. 电路设计阶段

这一阶段可以由 IC 生产单位来完成，也完全可以由电路设计单位来完成。在已有母版、宏单元库的条件下，根据所要求的逻辑图；利用 galstar 中提供的压脚分配，布局，布线等工具，完成对应该逻辑图的集成电路掩膜版设计。

二、Galstar 中的母版结构和生成

Galstar 中提供了直接根据芯片规模要求自动生成母版的工具 base，其生成的母版基本结构如图 2 所示(见图版 I)。

整个母版可分为三个区域：①晶体管区，是由核心单元进行阵列排列的结果。②通道区，它又分为水平通道区，用作通道内的水平连线；垂直通道区，它由核心单元行与行之间的多晶硅条构成，用作各通道之间的连线；边缘通道区，它由横向排列的多晶硅条构成，用以实现水平通道区与左右压脚之间的连线。③输入、输出 pad 区。

在通常的门阵设计系统中，通道区中的网格设置都是均匀的，而在 galstar 中，通道区中的多晶硅宽度可以根据设计规则和空间的许可，设置成非均匀网格，从而可以加宽多晶硅条，适当减小多晶硅电阻引起的延时。除此以外，在水平通道区中的垂直多晶硅条是多段式的。用户可方便地在 1~4 段之间任意设置，从而可以避免由于垂直约束所造成的多晶硅条分配困难问题。

母版的物理层次包括了除引线孔，铝线以外的所有层次，由于所有的晶体管已经在母版制备过程中就已完成了，所以将来电路的基本电性能，包括门延迟，门驱动能力，芯片的负载能力等都在母版中决定了。

三、母版中核心单元的设计考虑和宏单元库建立

门阵列设计方法是由预先设计完成的各种宏单元（也称为 Macro cell）通过布局布线生成最终母版的。而库单元是建立在核心单元 (core cell) 基础上的，核心单元的设计是门阵列设计中的重要环节。

在核心单元设计时，要考虑到以下的多种因素：

(1) 隔离方法，门阵列中晶体管阵列可以用通常的场区隔离，也可以用接电源或地的

多晶硅栅进行隔离,这时 PMOS 与 NMOS 管子的栅极必须是断开的,以便可分别接电源和地。

(2) 核心单元内部网格的安排,该网格决定了核心单元中的内部连线(构造宏单元时用)、到布线通道区的引出端数,同时也决定了晶体管的宽长比,延时特性。

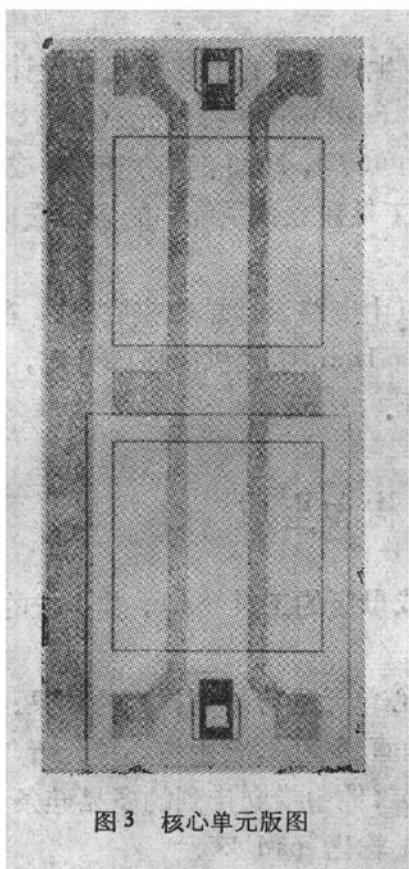


图 3 核心单元版图

在 galstar 中可以有不同结构的核心单元,图 3 是一种共栅 2 对管,场隔离结构的核心单元,核心单元的最基本描述是 CIF 格式的物理版图。然而, CIF 格式是与设计规则相关的,这对宏单元库的设计带来很大不方便。为了希望宏单元库与设计规则无关,在 galstar 中对应于不同的核心单元结构,建立了一个 image 文件,这相当于是一个拓扑版图,它只与核心单元的网格结构有关,所有的库单元都是以 image 文件为基础建立的。因此,当设计规则改变时整个宏单元库是不变的。

celedit 是 galstar 中的交互式宏单元库拓扑版图设计程序。一个完整的库单元,包括以下六种描述,逻辑图(或真值表),线路图,拓扑版图,物理版图,由物理版图提取的 SPICE 格式的电路描述文件,SPICE 的分析结果^[4]。在图 4 中给出了异或非门 xn2 的逻辑图,线路图,拓扑版图及 SPICE 分析结果(见图版 I)。

四、PAD 设计及其性能分析

门阵列中的 PAD 设计同样可分成 PAD 的基本母版设计以及连线设计两部分,基本母版设计决定了整个 PAD 的电性能,而连线设计决定了在 PAD 中能够实现的不同的逻辑功能。

PAD 设计中需考虑的主要因素包括:

①电流负载能力。

②电容负载时的延时特性。

③在同样一个 PAD 的基本母版结构下,通过不同的连线,实现输入、输出、逻辑倒相、逻辑同相、三态…多种逻辑功能的可行性。

④与外界 TTL, CMOS 等不同逻辑电路系列进行电平匹配。

⑤避免 Latch up 效应。

图 5 是在 galstar 中采用的一种 PAD 结构,图 5(a) 是 PAD 的基本母版图,而图 5(b) 是由图 5(a) 加上连线构成的非倒相三态输出 PAD。在图 5(c) 中给出的是用 SPICE 对输出 PAD 进行分析的结果,在 1K 负载时的输出电平反映了该 PAD 的电流

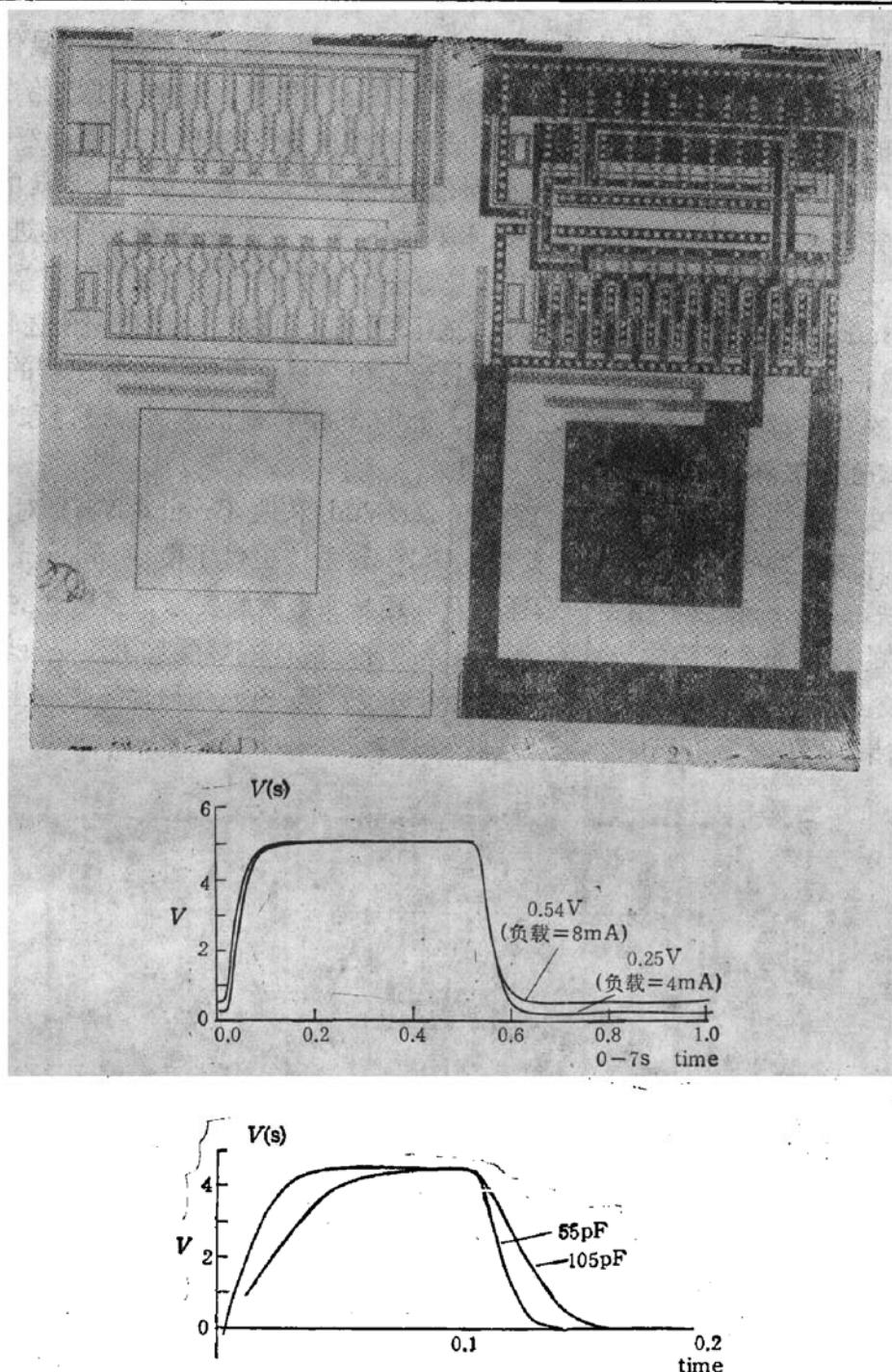


图5 (a) PAD 的基本母版 (b) 非倒相三态输出 PAD (c) SPICE 分析结果

负载能力 (4 mA)。而在 $C_2 = 55\text{pF}$, 105pF 时的输出波形的上升,下降时间反映了该 PAD 的电容负载能力。

五、电 路 设 计

电路设计阶段是最终完成对应于给定逻辑电路的引线孔和铝线两层版图设计。

在有力的 CAD 工具支持下,已经把一个集成电路版图设计中最繁琐、最困难而不易

掌握的布图问题变成非常方便的工作。在母片设计完成以后，对于每一个具体的逻辑电路，主要设计工作将是逻辑图形输入和逻辑模拟，在这过程中，还完成了原始逻辑图到门阵列库单元的分割，TTL 门逻辑到 CMOS 逻辑的转换等。在实际工作中，这一过程占总的设计时间的比例将会超过 80~90%，而对输入的电路进行模拟以后，系统的用户除了可能需要补充该具体电路中的若干个特殊库单元外，其它工作几乎全部自动进行的，而且这里不需要有关集成电路方面的专门知识，是每一个系统设计人员都能自己掌握的。

在 Galstar 中提供的布局、布线工具（文献[3][4]），可以自动地把一个逻辑电路设计要求，转换成一个以 cif 格式描述的物理版图。为了使该系统更符合实际工程的需要，进一步提高电路的性能，除了基本的布图工具外，galstar 中还提供了以下设计和优化工具。

① 压脚分配工具 padasn

为了解决逻辑图 I/O 端（包括电源 Power Vdd 和地 Ground Vss）对封装管座（Pin）和母片压焊端（PAD）的分配要求，Galstar 系统提供了模块 padasn 完成这一功能。模块 padasn 可以根据用户选择的双列还是四边封装要求，多电源封装要求以及根据芯片的尺寸和管座腔体尺寸的大小选择芯片在腔体的零度放置还是旋转 90° 的放置，自动和交互地分配 I/O 信号表中的各项到封装管座 Pin 和母片压焊端上，并最终地给出设计结果，见图 6。

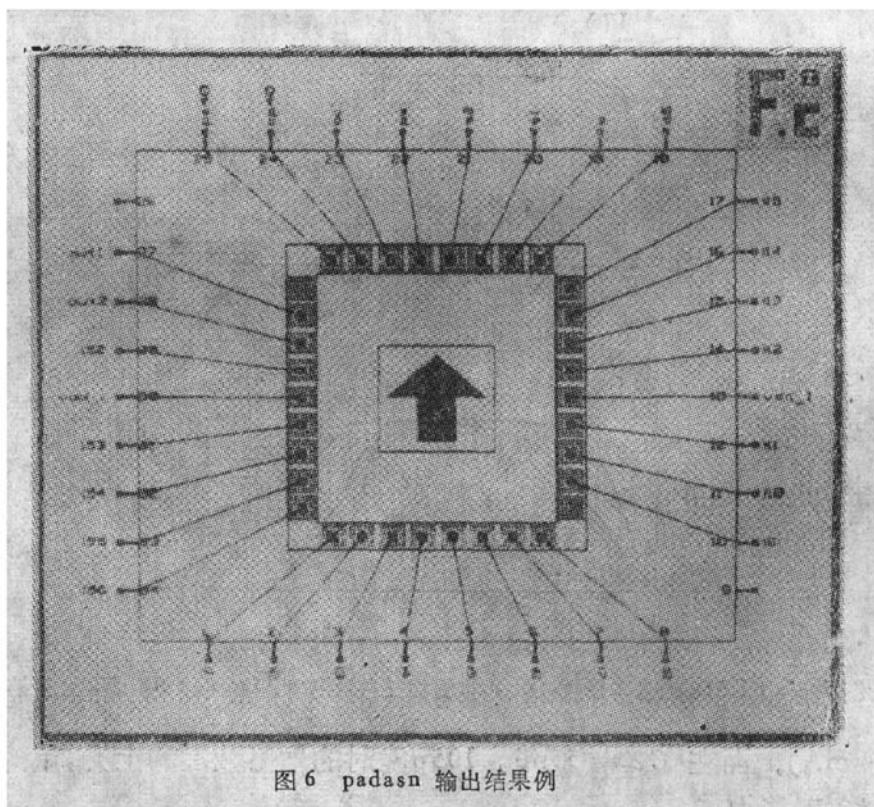


图 6 padasn 输出结果例

② 交互布局工具 talk

在电路设计过程中，设计者往往会对某些单元的物理位置进行人为的指定，以满足它们之间的电学性能要求。同时，自动布局过程在要求单元利用率较高的情况下，亦有其一定的局限性。为此在自动布局以后系统中提供了一个交互布局模块 talk，可以方便用户进行单元位置的改变和最终布局形状的修正。该模块可以根据当前布局结果显示相应各

模块有关线网的走线状态和走线密度分布图, 为用户提供了一个如何移动单元以及向什么方向移动有利的判据。实际证明, 交互布局过程对改善布局结果, 提高系统的布图效率和自动化程度有显著的效果。图 7 是由 talk 输出的一个布局结果实例(见图版 II)。

③自动/交互布线和布线优化

布线过程是最终完成门阵列布图设计的关键。对单层金属布线的门阵列结构而言, 布线问题主要存在以下两个困难: (1) 布线面积是固定的, 不能随具体电路设计的实际需要而变化, 这就难以保证 100% “线”的自动布通率; (2) 内部单元的输入、输出端须经水平通道中预先预置好的多晶硅条方能引出, 不及双层布线的灵活, 因而也同样难以保证 100% “点”的自动布通率。Galstar 系统中的自动布线模块 garop, 通过库单元等价端的交换和库单元的镜象对称操作, 在不改变单元整体布局结果的前提下, 重新确定各单元的输入、输出端的分布, 然后再利用无约束状态下布线密度映象和线网的二次构造以及子树连接全局调整方法完成全局布线过程, 最后再利用适合于多段式水平通道的改进型贪婪布线方法进行水平通道布线。对布不通的“线”和“点”最终再通过全局迷宫方法来解决。由于以上各手段的组合利用, 使布通率等指标大大增加, 在布线面积利用率达 50% 的情况下(布线面积利用率=实际布线面积/总的布线面积), 自动布通率达 98% 以上, 其中 50% 的情况可直接获得 100% 的自动布通率。

交互式布线设计模块 grid 是 Galstar 系统能否 100% 地完成布图设计的最终保证。grid 模块所提供的线网跟踪和布线的正确性检查以及有利的交互操作, 为门阵列芯片设计最终实现提供了可靠的保证和设计者对自己完成设计的确信度。

在完成 100% 的布线设计以后, 为了提高电路的工作频率, 减少不必要的时间延迟, Galstar 系统中的 ropt 模块将对布线结果进行优化。优化的目标原则上是以金属铝布线代替作为“桥”使用的相应多晶硅条, 在一般情况下, 布线优化可以得到 30% 的效益。(优化效益=优化前后实际使用的多晶硅条总长之差/优化前实际使用的多晶硅条总长)。

六、设计结果及评价

利用 Galstar 已经进行了各种规模电路的设计, 图 8 是一个设计完成的门阵列物理版图例(见图版 II)。部分设计结果列于表 1。

表 1 数据中, 布通率是指布局经过人工干预后, 布通线网数与总线网数之比, 在交互布线后, 则布通率均为 100%。另外, 这里的水平通道有效通道容量不是整数, 因为在 Galstar 系统中, 对于绝大多数的电路, 布线是中间密而边缘疏, 所以在母片设计时, 各通道区的容量可以是不相同的, 这儿给出的是平均值。

除了自动布图的布通率, 芯片中单元的利用率等这些数据可以反映该系统的布图质量外, 通道区的面积(或者说每个通道区的通道容量)也反映了布图系统的优劣。对于同样的布线问题若放在两个不同的布图系统中, 则好的系统所要求的通道容量少。Rent's 法则是反映了某个芯片的外压脚数 P 与构成该芯片的内部模块数 G 的关系的一个经验法则, 其表示式为:

表 1 门阵列部分设计结果

母片门数	416	756	1701	2250
内部单元管 W/L	$31\mu\text{m}/3\mu\text{m}$	$24\mu\text{m}/3\mu\text{m}$	$24\mu\text{m}/3\mu\text{m}$	$24\mu\text{m}/3\mu\text{m}$
PAD 中 N 管 W/L	$840\mu\text{m}/3\mu\text{m}$	$510\mu\text{m}/3\mu\text{m}$	$510\mu\text{m}/3\mu\text{m}$	$510\mu\text{m}/3\mu\text{m}$
芯片面积 (mm)	9.85	11.92	25.67	32.31
芯片长*宽 (mm)	$3.48*2.83$	$3.68*3.24$	$5.60*4.58$	$4.81*6.72$
芯片长宽比	1.23	1.14	1.22	0.72
压脚数	30	32	50	56
实际使用门数	270	725	1602	2101
门利用率	64.9%	95.9%	94.2%	93.4%
总线网数	203	427	1102	1157
布通率	100%	99.3%	99.8%	98.5%
水平通道有效平均通道容量	6.5	7.4	9.9	9.9

$$P = mG^n$$

其中 m 是所有 G 模块的 I/O 端的平均值, n 是一个经验常数。对该关系的直接理解是: 若 G 数量增大, 则内部单元面积增大; 而若 G 中每一模块的 I/O 端 m 增大, 则布线通道区面积增大, 所以这两个因素作用的总效果是整个芯片的 PAD 数 P 增大。

有人曾经用 Rent's 法则来预估通道区的大小, 现在, 我们想用该法则来评价设计的结果。

按文献[5]介绍, n 的值在 0.57~0.75 之间。我们认为, n 值的大小, 一定程度上反映了芯片中通道区的面积的大小, 因为对给定的电路而言, G , m 这些值都是确定的, 也即基本单元数是确定的, 这样若由 n 决定的 P 值小(即总面积小)则反映通道区的面积小, 布图系统的质量优。

对上述 400 门, 2250 门电路的实际计算结果见表 2。

表 2

	G	m	P	$n = \lg(P/m)/\lg G$
400 门	91	3.48	30	0.47
2250 门	495	3.53	50	0.44

这里求出的 n 值较之文献上提供的 0.57~0.75 小, 当然这里未计及 PAD 和内部单元本身的面积, 这仅仅是一个经验公式, 但从 n 小这点, 可以得出这样的概念, 即在该设计中的通道区面积比通常其它设计系统中所要求的通道区面积来得小, 这也是 Galstar 系统的重要优点之一。

七、结 语

本文介绍了我校在国家科技攻关项目中开发完成的 Galstar 门阵列系统，以及利用该系统进行的芯片设计的过程。随着国内工艺水平的进展，硅栅 CMOS 工艺已基本成熟，成品率正在逐步提高，我国自行开发设计系统已完全达到了实用化，这将为门阵列专用集成电路的发展开辟广阔的前景。在国际市场上，在 Semicustom 芯片中，门阵电路与标准单元电路的产量比是 4:1，其设计和工艺流程快，成本低等优点将很快能变成我国微电子工业发展中的一种实际体会。

本文作者衷心地感谢上海冶金所二部冯根宝、周寅初同志，北京凯德公司黎心源、刘越同志，上无十四厂周庆猷同志等的热忱、无保留的帮助；感谢尚中庆，何佩琪，侯嘉敏，顾韵等同志长期参与的各项工作；感谢我校其他组室的多方协助。电路的流片是在上海冶金所二部，北京半导体器件三厂进行的。

参 考 文 献

- [1] 张钦海，章开和，唐璞山，门阵列版图设计系统 Galstar 用户手册，复旦大学电子工程系 CAD 研究室。
- [2] 尚中庆，章开和通用电路分析程序 SPICE 2H. 1 用户手册，通用电路程序的后处理器 Nutmeg 用户手册，复旦大学电子工程系 CAD 研究室。
- [3] 周电，唐璞山，半导体学报，5(4)，396(1984)。
- [4] 张钦海，唐璞山，半导体学报，6(6)，602 (1985)。
- [5] E. E. Hollis, Design of VLSI Gate Array ICs. Prentice-Hall Inc., (1987).

Single Metal Silicon Gate CMOS Gate Array Design System Galstar

Zhang Qinhai, Wan Bin, Qian Liming

Zhang Kaihe and Tang Pushan

(Department of Electronics Engineering, Fudan University, Shanghai, 200433)

Abstract

A single metal silicon gate CMOS gate array design system Galstar and its application are introduced. A gate array chip design is divided into two phases: master design and circuit design. The master design phase is very dependent on the IC process and it should be accomplished by IC houses in general. The circuit design phase can be either done by IC houses or the original circuit designers with the help of powerful automatic layout tools, for instance, galstar. The two phase design process and the related problems are described in detail in the paper. The statistical design data of different scale chips are listed. Finally, the evaluation of the results is also addressed with Rent's rule.