

# 低压高速 CMOS/SOI 器件和电路的研制

张 兴 奚雪梅 王阳元

(北京大学微电子学研究所 北京 100871)

**摘要** 采用全耗尽 CMOS/SIMOX 工艺成功地研制出了沟道长度为  $0.5\mu\text{m}$  的可在  $1.5\text{V}$  和  $3.0\text{V}$  电源电压下工作的 SOI 器件和环形振荡器电路。在  $1.5\text{V}$  和  $3.0\text{V}$  电源电压时环振的单级门延迟时间分别为  $840\text{ps}$  和  $390\text{ps}$ 。与体硅器件相比,全耗尽 CMOS/SIMOX 电路在低压时的速度明显高于体硅器件,亚微米全耗尽 CMOS/SOI 技术是低压低功耗和超高速集成电路的理想选择。

EEACC: 2570D, 1230B, 1265B

## 1 引言

随着电路特征尺寸的缩小和时钟频率的提高,高性能 ULSI 的功耗已成为一个十分重要的问题,开展低压低功耗器件和电路的研究已成为 ULSI 的关键技术之一。同时低压低功耗器件在卫星、便携式计算机以及移动通讯等领域中有着十分广阔的应用。而与体硅 CMOS 器件相比,SOI 器件特别适合于低压低功耗电路,这主要是由于在体硅 CMOS 集成电路中,由于体效应的作用,降低电源电压会使结电容增加和驱动电流减小,而在薄膜全耗尽 CMOS/SOI 集成电路中,这两个效应都很小<sup>[1]</sup>,因此国际上在低压低功耗 CMOS/SOI 集成电路方面进行了广泛的研究,现在已取得了较大的进展。

SOI 器件和电路,特别是薄膜全耗尽 SOI 器件和电路在航天、航空、武器、核能和平利用以及通讯等领域中有着极其广泛的应用前景,因此开展高速 CMOS/SOI 器件和电路的研究既是当前航天、现代武器、信息高速公路等应用领域的急需,又是迎头赶上国际最新发展趋势和发展我国的微电子技术、提高国防现代化水平的必要措施<sup>[2]</sup>。

美国 IBM 公司已研制成功工作电压为  $1\text{V}$ 、存取时间仅为  $3.5\text{ns}$  的 CMOS/SOI  $512\text{kbit}$  SRAM,而相应的体硅电路在相同工作条件下存取时间为  $11.5\text{ns}$ ,约为 SOI 电路的  $3.3$  倍<sup>[3]</sup>。1992 年,Berkeley 的 Chen 等利用耗尽型 NMOS 反相器制作的超高速 SIMOX 环振电路,在  $V_{dd}$  为  $1.5\text{V}$  时其单级门延迟时间仅为  $14\text{ps}$ <sup>[4]</sup>。1994 年,Motorola 公司报道了他们制作的 SOI 256 分频器电路,电源电压为  $1\text{V}$  时的工作频率可达  $500\text{MHz}$ ,功耗仅为  $60\mu\text{W}$ <sup>[5]</sup>。

张 兴 1965 年生,博士,主要从事 SOI 工艺、设计、模拟等方面的研究

奚雪梅 1967 年生,博士,主要从事 SOI 器件模型、模拟、工艺等研究

王阳元 1935 年生,教授,中国科学院院士,主要从事集成电路新器件、新结构和新工艺研究

1995 年 11 月 23 日收到初稿,1996 年 1 月 16 日收到修改稿

## 2 材料及器件制备工艺

为了获得高质量的 SIMOX 材料, 对形成 SIMOX 材料的各种工艺条件进行了大量的实验研究, 通过对剂量、能量、注入方式及退火气氛等的实验研究, 得到了优化的 SIMOX 材料制备工艺, 制作出了性能优良的 SIMOX 材料。制作 SIMOX 材料的工艺步骤为: 衬底采用 P 型(100) CZ 硅单晶, 电阻率为  $5 \sim 8 \Omega \cdot \text{cm}$ ,  $\text{O}^+$  离子注入采用三重注入方式, 三次注入能量和注入剂量均为  $170 \text{ keV}$  和  $0.6 \times 10^{18} \text{ cm}^{-2}$ , 注入时衬底温度为  $680^\circ\text{C}$ , 每次注入之后在  $1300^\circ\text{C}$ 、 $\text{Ar} + 1\% \text{ O}_2$  气氛中退火 6 小时。采用这种工艺制作的 SIMOX 材料的参数如表 1 所示。

表 1 SIMOX 材料的参数

最小背散射产额 $\chi_{\min}/\%$	表面硅层厚度/nm	埋 $\text{SiO}_2$ 层厚度/nm	表面硅层掺杂浓度/ $\text{cm}^{-3}$	表面硅层电阻率/( $\Omega \cdot \text{cm}$ )
3.6	120	380	$1 \times 10^{15}$	3

我们采用了全离子注入的低温  $\text{CoSi}_2$  SALICIDE 工艺制备薄膜全耗尽低压 CMOS/SOI 器件和电路, 图 1 是相应器件的截面示意图。为了抑制硅岛边缘寄生效应, 采用了反应离子刻蚀技术形成边缘陡直的硅岛, 然后分别利用离子注入硼和磷形成有源的  $\text{P}^-$  和  $\text{N}^-$  区, 高质量加固栅介质的制备采用了在  $850^\circ\text{C}$  下的氢气-氧气合成“三步氧化法”(即先干氧氧化 5 分钟, 之后氢气-氧气合成氧化, 再干氧氧化 5 分钟)<sup>[6]</sup>, 并在  $900^\circ\text{C}$   $\text{N}_2$  气氛下进行退火, 栅氧化层的厚度为  $30 \text{ nm}$ , 界面态密度低于  $4 \times 10^{10} \text{ cm}^{-2}$ 。采用 LPCVD 设备淀积多晶硅, 多晶硅厚度为  $500 \text{ nm}$ , 为了形成亚微米细线条多晶硅栅, 我们采用了双层胶光刻技术。完成多晶硅栅刻蚀后, 淀积  $400 \text{ nm}$  厚的  $\text{SiO}_2$ , 经各向异性反应离子刻蚀形成侧壁  $\text{SiO}_2$ , 然后将  $36 \text{ nm}$  的 Co 膜溅射在多晶硅栅和裸露的源漏区以二步快速退火工艺(退火条件分别为  $580^\circ\text{C}$ 、 $20 \text{ s}$  和  $750^\circ\text{C}$ 、 $20 \text{ s}$ )形成  $\text{CoSi}_2$  自对准硅化物<sup>[7]</sup>。最后进行源漏区注入、金属互连、钝化等, 完成器件的全部制作工序。

持续的高温过程会大大增加栅及埋  $\text{SiO}_2$  层的界面电荷密度和硅中的晶格缺陷密度, 导致高的器件泄漏电流, 降低器件的可靠性, 同时还会使器件抗辐照能力降低, 为此我们采取了最高温度为  $900^\circ\text{C}$  的低温工艺, 整个工艺过程中最高温过程为三步氧化后的退火温度, 其它的高温过程均低于此值, 实现了真正的低温工艺。该工艺的具体参数见表 2。

表 2 短沟道 CMOS/SOI 工艺参数

参数	NMOS	PMOS
硅膜厚度 $t_{\text{Si}}/\text{nm}$	120	120
沟道长度 $L/\mu\text{m}$	0.5	0.5
沟道区注入剂量 $D_a/\text{cm}^{-2}$	$\text{B}^+ : 5 \times 10^{12}$	$\text{P}^+ : 2 \times 10^{11}$
栅氧化层厚度 $t_{\text{ox}}/\text{nm}$	30	30
多晶硅厚度 $t_{\text{poly}}/\text{nm}$	500	500
多晶硅注入剂量 $D_p/\text{cm}^{-2}$	$\text{P}^+ : 5 \times 10^{15}$	$\text{P}^+ : 5 \times 10^{15}$
源漏区注入剂量 $D_d/\text{cm}^{-2}$	$\text{P}^+ : 4 \times 10^{15}$	$\text{P}^+ : 2 \times 10^{15}$

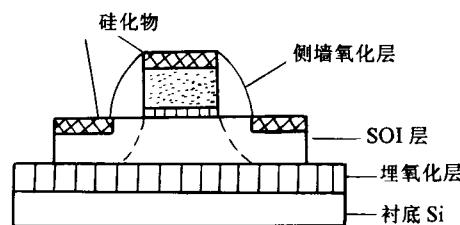


图 1 SOI MOS 器件的截面示意图

### 3 结果及讨论

图 2 和图 3 分别给出了硅层厚度为 90nm、沟道长度为  $0.5\mu\text{m}$  的 N 沟 SIMOX MOSFET 的典型亚阈值特性和电流电压特性曲线。从图 1 可以看出, 当漏源电压大于 3.1V 时, 器件出现单管闩锁效应, 由此引起了全耗尽 SOI MOSFET 的击穿电压降低(约为 4V, 见图 2)。这说明该器件的工作电压不应超过 4.0V, 但当  $V_{ds} \leq 3.0\text{V}$  时表现出极好的特性, 它特别适合于低压范围内使用。N 沟道和 P 沟道 MOSFET 的阈值电压分别为  $0.4\text{V}$  和  $-0.5\text{V}$ , 亚阈值斜率分别为每量级  $85\text{mV}$  和  $105\text{mV}$ , 其泄漏电流分别为  $1.0 \times 10^{-12}\text{A}/\mu\text{m}$  和  $8.0 \times 10^{-13}\text{A}/\mu\text{m}$ 。

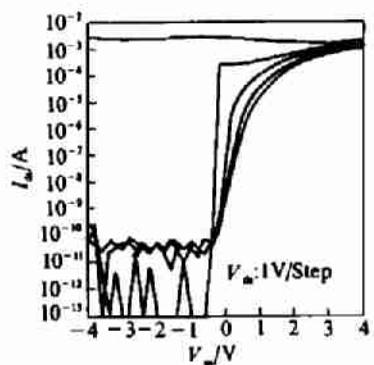


图 2 SIMOX NMOSFET 的转移特性曲线  
起始  $V_{ds} = 0.1\text{V}$ ; 电压阶梯 =  $1\text{V}$ 。

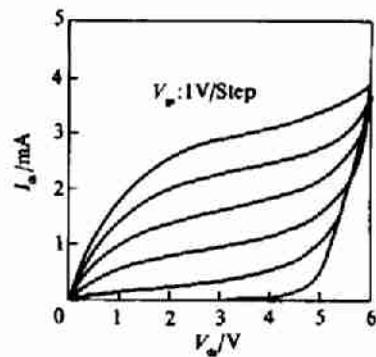


图 3 SIMOX NMOSFET 的  $I_d \sim V_d$  特性曲线

图 4 给出了电源电压为  $1.5\text{V}$  时的 19 级全耗尽 CMOS/SIMOX 环形振荡器 ( $L = 0.5\mu\text{m}$ ) 的振荡波形照片, 它的单级门延迟时间为  $840\text{ps}$ 。图 5 为采用相同工艺的 CMOS/SIMOX 和 CMOS/体硅振荡器的门延迟时间与电源电压的关系曲线。很明显, SIMOX 器件的延迟时间小于体硅器件的延迟时间, 而且电源电压越低, SIMOX 器件的优势越明显。全耗尽 CMOS/SOI 器件的低压高速现象主要是由于薄膜 SOI 结构的寄生电容和体效应降低引

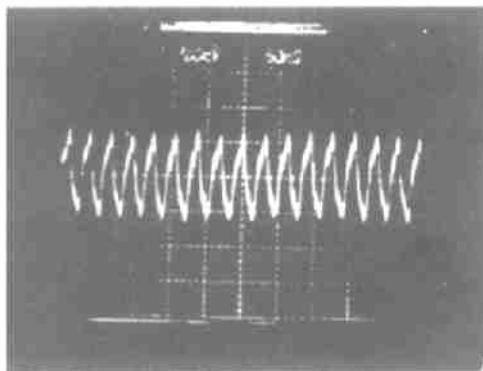
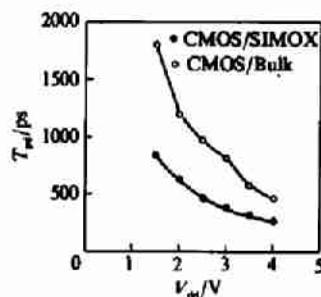


图 4 全耗尽 19 级 CMOS/SIMOX 环形振荡器振荡波形  
 $V_{dd} = 1.5\text{V}$ ,  $L = 0.5\mu\text{m}$ .



$L = 0.5\mu\text{m}$ .

起的。从这一结果可以看出,薄膜 CMOS/SOI 技术特别适合于低压低功耗器件。

## 4 结论

成功地研制了可在 1.5V 和 3.0V 电源电压下工作的沟道长度为  $0.5\mu\text{m}$  的薄膜全耗尽 CMOS/SIMOX 环振等电路。N 沟道和 P 沟道 MOSFET 的阈值电压分别为 0.4 和 -0.5V, 泄漏电流分别为  $1.0 \times 10^{-12}\text{A}/\mu\text{m}$  和  $8.0 \times 10^{-13}\text{A}/\mu\text{m}$ 。在 1.5V 和 3.0V 时 19 级环形振荡器的平均单级门延迟时间分别为 840ps 和 390ps, CMOS/SIMOX 器件的速度明显优于相应的体硅器件,且在低电源电压时 SIMOX 器件的优势更加明显。亚微米全耗尽 CMOS/SOI 技术是低压低功耗和超高速集成电路的理想选择。

## 参 考 文 献

- [1] J. P. 考林基著,武国英译,SOI 技术,科学出版社,1994.
- [2] 张兴,王阳元,电子学报,1995, 23(11):139.
- [3] G. G. Shahidi *et al.*, Int. Conf. on SSDM, Yokohama, 1994:265.
- [4] J. Chen *et al.*, IEDM Tech. Dig., 1992:35.
- [5] B. Y. Hwang *et al.*, Int. Conf. SSDM'94, Yokohama, 1994:268.
- [6] 张兴,等,电子学报,1995, 23(8):25.
- [7] 奚雪梅,等,半导体学报,1995,16(4):291.

## Development of Low-Voltage and High-Speed CMOS/SIMOX Devices and Circuits

Zhang Xing, Xi Xuemei and Wang Yangyuan

(Institute of Microelectronics, Peking University, Beijing 100871)

Received 23 November 1995, revised manuscript received 16 January 1996

**Abstract** The low voltage high performance  $0.5\mu\text{m}$  CMOS full depleted (FD) SOI/SIMOX devices, ring oscillators with 1.5V and 3.0V supply voltage have been developed. Both N- and P-MOSFETs have well-behaved characteristics. The propagation delay per stage of 19-stage CMOS/SIMOX ring oscillator are 840ps and 390ps with 1.5V and 3V supply voltage, respectively. The speed of FD CMOS/SIMOX ring oscillator is much faster than CMOS/bulk's in the field of low voltage.

In summary, the submicron fully depleted CMOS/SOI technology is the ideal choice of high speed, low voltage and low power integrated circuits.

EEACC: 2570D, 1230B, 1265B