

高温工艺对 $TiSi_2/n^+-Poly-Si$ 复合栅 MOS 电容特性及 $TiSi_2$ 膜性质的影响

陶 江 武国英 张国炳 陈文茹 王阳元

(北京大学微电子学研究所, 北京, 100871)

1990年6月15日收到, 10月31日修改定稿

本文研究了高温退火过程对 $TiSi_2/n^+-Poly-Si$ 复合栅 MOS 电容电学性能及 $TiSi_2$ 膜特性的影响。结果表明, 当炉退火温度高于 900°C 时, $TiSi_2$ 层厚度变的不均匀, 甚至在某些地方不连续; $TiSi_2/n^+-Poly-Si$ 界面十分不平整; 多晶硅中杂质外扩散十分严重; MOS 电容的性能和电学参数变差。对于 RTA 过程, 高温退火对 MOS 电容的电学特性没有产生不利影响, $TiSi_2$ 膜仍很均匀。所以, 在 $TiSi_2/Poly-Si$ 复合栅结构工艺中, 高温退火过程最好采用 RTA 技术。

一、引言

随着微细加工技术的不断发展, 集成电路中器件的最小尺寸目前已进入微米和亚微米范围, 因而互连线的 R_c 延迟时间及源漏区的薄层电阻已成为限制电路速度的主要因素。在微米和亚微米 ULSI 电路中, 通常采用硅化物/多晶硅复合栅 (Polycide) 和硅化物自对准 (Salicide) 技术以解决上述问题。

$TiSi_2$ 的 Polycide 和 Salicide 技术在超大规模集成电路的研制和生产中已经获得许多成功应用, 但它在和常规 I_c 工艺的兼容性方面仍然有若干值得深入研究的问题^[1-3]。我们曾研究过多晶硅厚度对硅化钛/多晶硅栅 ($TiSi_2/Poly-Si$) MOS 电容和 MOSFET 特性的影响^[3], 发现多晶硅层的厚度小于 1500 Å 时, MOS 电容性能变差, MOS 器件合格率迅速下降。许多研究工作表明, $TiSi_2/Poly-Si$ 结构经高温热退火时, 多晶硅中的杂质(砷、磷、硼)迅速扩散经 $TiSi_2$ 而损失^[4], 势必影响 MOS 电容和 MOSFET 特性。本文系统地研究了炉退火和 RTA (快速热退火) 的温度对 $TiSi_2/Poly-Si$ MOS 电容特性的影响, 测量和比较了不同退火条件的 $C-V$ 特性, SIMS 方法研究砷杂质在复合栅结构中的再分布, TEM 横截面观察 $TiSi_2$ 膜及 $TiSi_2/Poly-Si$ 界面的形貌。我们的研究结果表明, $TiSi_2/Poly-Si$ 复合栅结构所经历的最高炉退火温度应低于 900°C, 以保证器件性能的稳定和 $TiSi_2$ 膜的均匀和连续。实验证明快速退火较炉子退火优越。

二、实验

本实验所用原始硅片为 P-(100) 单晶, 电阻率为 30—50 Ω·cm; 首先热氧化生成

500 Å SiO_2 , 然后淀积 2000 Å Si_3N_4 ; 光刻去除电容区外的 Si_3N_4 层, 场区注入硼, 能量为 60 keV, 剂量为 $4 \times 10^{13} \text{ cm}^{-2}$; 场氧化生成 700 Å SiO_2 层, 除去电容区的 Si_3N_4 和 SiO_2 ; 干氧氧化生成 500 Å 栅 SiO_2 , LPCVD 淀积 4300 Å 厚多晶硅, 然后注砷, 能量为 120 keV, 剂量为 $5 \times 10^{15} \text{ cm}^{-2}$; 多晶硅表面低温淀积 5000 Å SiO_2 层, 将样品经 1060°C, 20 分钟炉退火(在高纯 N_2 保护下), 以消除注入引起的损伤、激活和推进杂质; 然后腐蚀掉表面 SiO_2 层; 刻蚀多晶硅栅, 同时去除样品背面的多晶硅。一部分样品蒸铝制成常规硅栅 MOS 电容, 另一部分样品用 S-枪溅射系统淀积 500 Å 的 Ti 膜, 溅射系统的本底真空为 3×10^{-7} 托, 工作真空为 5×10^{-3} 托, Ti 的淀积速率为 100 Å/min; 样品在高纯 N_2 保护下, 先经炉子和 RTA 低温退火, 炉退火温度为 600°C, 时间为 30 分钟; RTA 温度为 730°C, 时间为 10 秒。然后用 $\text{H}_2\text{SO}_4 + \text{H}_2\text{O}_2$ 混合液对样品进行选择腐蚀, 去除未反应的 Ti; 再将样品在 N_2 保护下经历 812°C, 30 分钟炉退火或 930°C, 10 秒 RTA 退火, 形成稳定的 TiSi_2 膜, 并使电阻率降到最低。至此, 完成了 $\text{TiSi}_2/\text{Poly-Si}$ 复合栅 MOS 电容的制备。为研究高温过程对器件及 TiSi_2 膜性能的影响, 我们将炉退火样品再经 900°C, 30 分钟, RTA 样品再经 1050°C, 15 秒的高温处理。

TEM (横截面) 形貌观察使用 Philips EM-420 (加速电压为 120 kV) 透射电镜, C-V 测量采用 CSM 半导体参数测试系统, As 在复合栅结构中的再分布是用 SIMS 测量的。

三、实验结果

图 1 分别示出 $\text{TiSi}_2/\text{Poly-Si}$ MOS 电容经 812°C, 30 分钟炉退火和 930°C, 10 秒钟快速热退火的高频 C-V 曲线。多晶硅注砷剂量为 $5 \times 10^{15} \text{ cm}^{-2}$ 。做为比较, 图中还给出硅栅 MOS 电容的高频 C-V 曲线。从图 1 可见, 上述退火条件下, $\text{TiSi}_2/\text{Poly-Si}$

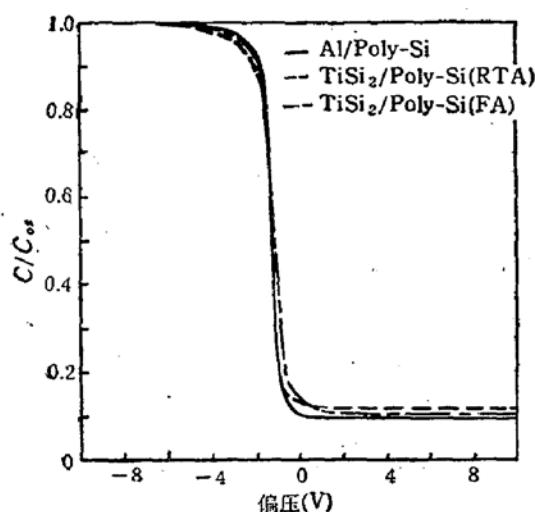


图 1 $\text{TiSi}_2/\text{Poly-Si}$ 复合栅和 Poly-Si 栅 MOS 电容 C-V 特性

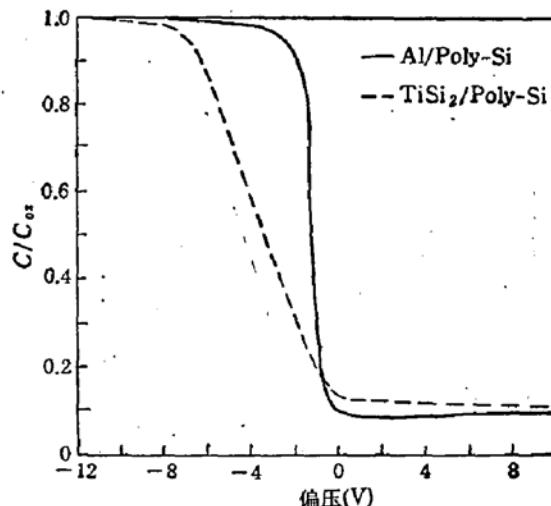


图 2 经 900°C, 30 分钟炉退火后, $\text{TiSi}_2/\text{n}^+\text{Poly-Si}$ 复合栅 MOS 电容的高频 C-V 特性曲线及多晶硅中具有同等掺杂水平的硅栅 MOS 电容的高频 C-V 特性曲线

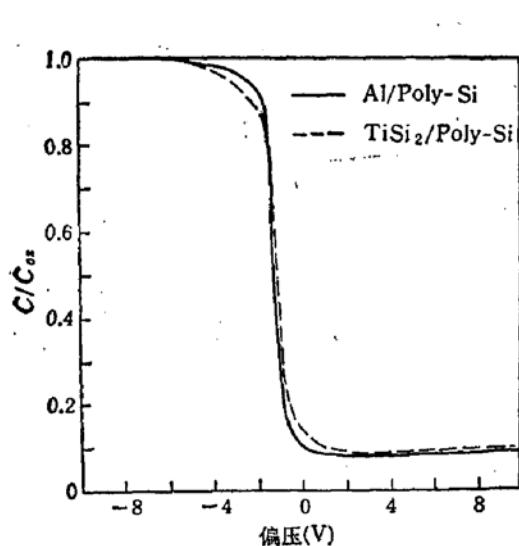


图3 经 1050℃, 15 秒 RTA 退火后, $\text{TiSi}_2/\text{n}^+\text{-Poly-Si}$ 复合栅 MOS 电容的高频 C-V 特性曲线及多晶硅中具有同等掺杂水平的硅栅 MOS 电容的高频 C-V 特性曲线

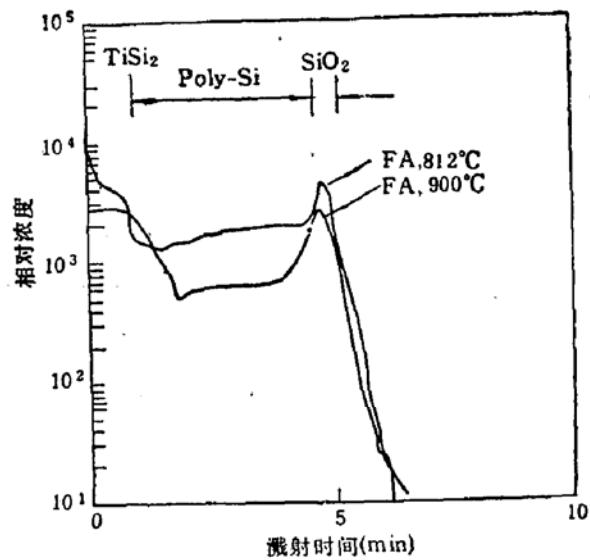


图4 分别经 812℃ 及 900℃, 30 分钟炉退火后, As 杂质在 $\text{TiSi}_2/\text{Poly-Si}$ 复合栅结构中分布的 SIMS 测量结果

MOS 电容特性和硅栅 MOS 电容特性基本一致。SIMS 分析结果表明, 上述退火条件下多晶硅中砷的损失很少, 快速退火砷损失更少, 如图 4 和 5 的 SIMS 结果所示。

图 2 和 3 分别给出了不同退火条件下 $\text{TiSi}_2/\text{n}^+\text{-Poly-Si}$ 复合栅 MOS 电容与多晶硅中具有同等掺杂水平的硅栅 MOS 电容的高频 C-V 特性曲线。从图中我们可以看到, 对炉退火样品, 当退火温度高于 900℃ 时, 复合栅 MOS 电容的 C-V 特性曲线与多晶硅中具有同等掺杂的硅栅 MOS 电容的 C-V 特性曲线相比特性明显变差, 平带电压向负方向有较大的漂移; 在弱积累区, 其电容值较硅栅 MOS 电容值明显减小; 而在弱反型区, 其电容值比硅栅 MOS 电容值略大, 如图 2 所示。对 RTA 样品, 经 1050℃, 15 秒的高温过程, 其 C-V 特性曲线与硅栅 MOS 电容的 C-V 特性曲线几乎没有差别(见图 3)。

图 4 和 5 分别给出炉退火温度分别为 812℃ 和 900℃ 及 RTA 温度分别为 930℃ 和 1050℃ 时, $\text{TiSi}_2/\text{n}^+\text{-Poly-Si}$ 复合栅结构中 As 分布的 SIMS 测量结果。从图 4 中我们可以看到, 对炉退火样品, 当退火温度高于 900℃ 时, 多晶硅中 As 杂质外扩散严重, 浓度明显降低; 而对 RTA 样品, 多晶硅中 As 杂质的外扩散较少, 浓度的降低也较小(见图 5)。

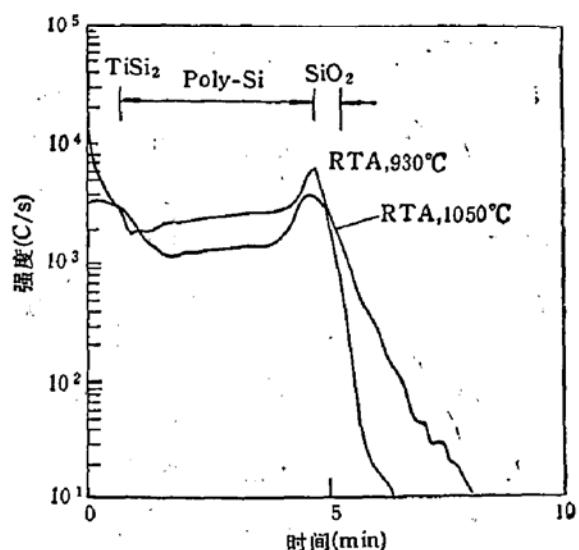


图5 分别经 930℃, 10 秒和 1050℃, 15 秒 RTA 退火后, As 杂质在 $\text{TiSi}_2/\text{Poly-Si}$ 复合栅结构中分布的 SIMS 测量结果

图 6 和 7 分别给出了经 812°C , 30 分钟炉退火和 930°C , 10 秒钟 RTA 退火后, $\text{TiSi}_2/\text{Poly-Si}$ 结构的 TEM (横截面) 形貌照片(见图版 I). 从图中我们可以看到, 在该退火温度下, 两种样品 TiSi_2 层均匀、连续, 相比之下 RTA 样品的界面比炉退火样品更为平整.

图 8 和 9 分别为 $\text{TiSi}_2/\text{Poly-Si}$ 结构样品再经 945°C , 30 分钟炉退火和 1050°C 、15 秒钟 RTA 退火后的 TEM (横截面) 形貌照片(见图版 I). 从图 8 中我们可以看出, 当样品再经 945°C , 30 分钟炉退火后, TiSi_2 层变的厚薄不均匀, 在某些地方 TiSi_2 层向多晶硅中浸入, 聚集成团状, 而在另一些地方, TiSi_2 层变得不连续, $\text{TiSi}_2/\text{Poly-Si}$ 界面十分不平整. 图 9 所示的 RTA 样品的 TEM 照片表明, 1050°C 、15 秒钟的高温快速退火, TiSi_2 层仍均匀连续, $\text{TiSi}_2/\text{Poly-Si}$ 界面仍较平整.

四、讨 论

当 $\text{TiSi}_2/n^{+}-\text{Poly-Si}$ 复合栅结构 MOS 电容经过 900°C 以上的炉退火时, 一方面, 大量的杂质将从多晶硅层中向 TiSi_2 膜中扩散而损失, 多晶硅中杂质浓度大大降低, 如图 4 SIMS 结果所示; 另一方面, 在高温下 Ti 等重金属杂质也可能会通过晶粒间界扩散而聚集在 $\text{Poly-Si}/\text{SiO}_2$ 界面, 从而使 $\text{Poly-Si}/\text{SiO}_2$ 界面处的缺陷态密度增大, 能俘获更多的载流子, 导致多晶硅与 SiO_2 相接的表面形成一个薄的高阻层, 其厚度大约为 100 \AA ^[5,6]. 薄电阻层的存在对多晶硅的方块电阻不会产生明显的影响, 但它对 MOS 电容的 $C-V$ 特性却会产生一定的影响, 如图 2 所示的情况. 借助图 10 所示的 $\text{Poly-Si}/\text{SiO}_2/\text{Si}$ 结构的能带图可以解释这个现象. 在平衡状态下, $V_G = 0$ 时, SiO_2 层下的 Si 衬底表面处于耗尽状态, 如图 10 (a) 所示. 其中虚线相应于多晶硅掺杂不够高因而 $\text{Poly-Si}/\text{SiO}_2$ 界面存在一个薄的耗尽层情况, 而实线则对应于多晶硅是重掺杂情况下的能带图.

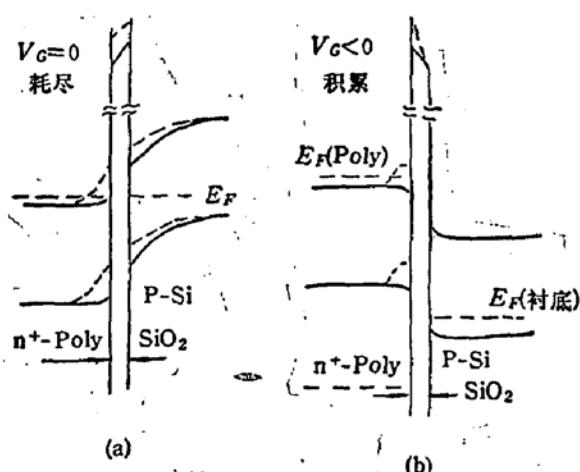


图 10 $\text{Poly-Si}/\text{SiO}_2/\text{Si}$ 结构的能带图

(a) $V_G = 0$ 时的耗尽状态 (b) $V_G < 0$ 时的积累状态
其中虚线对应于多晶硅中掺杂不够高致使 $\text{Poly-Si}/\text{SiO}_2$ 界面存在一个薄的耗尽层情况, 实线则相应于多晶硅中是重掺杂的情况

基于上述模型, 我们可以定性地解释实验结果. 首先, 如图 10 所示, 多晶硅中这一薄电阻层的存在, 使 n 型多晶硅和 P 型 Si 衬底之间的电势差减小, 从而使 P 型 Si 衬底更容易被反型, 即平带电压变小, MOSFET 的开启电压降低, 这将导致 MOS 电容的 $C-V$ 特性曲线向左平移. 当 V_G 向正方向增大时, $\text{Poly-Si}/\text{SiO}_2$ 界面存在的薄电阻层将吸一部分电压, 使加在 SiO_2 和 Si 衬底之间的电压降较一般情况下小, 所以硅衬底表面的耗尽层宽度也比一般情况下小, 故 MOS 电容值比一般情况的电容值略大. 当 V_G 向负电压方向增加时, $\text{Poly-Si}/\text{SiO}_2$ 界面的薄耗尽层相当于一

个电容, 它与 MOS 电容串联, 导致总电容值比正常值低。当加更大的负偏压时, 由于有足够的载流子(电子)填充 $Poly-Si/SiO_2$ 界面电子陷阱, 最终使薄耗尽层消失, 此时 MOS 电容值将和正常情况下的电容值逐渐趋于一致。

如果多晶硅中具有足够高的杂质浓度, 晶粒中的自由电子浓度远高于晶粒间界陷阱态密度, $Poly-Si/SiO_2$ 界面缺陷态被饱和, 多晶硅层中自由载流子浓度基本不受陷阱或缺陷态的影响, $Poly-Si/SiO_2$ 界面不会形成高阻层, 则 MOS 电容特性自然没有什么变化。由于 RTA 所经历的退火时间很短, 从而 Ti 等重金属杂质沿晶粒间界的扩散较小, 而且 SIMS 测量结果(如图 5 所示)表明, 多晶硅中杂质的外扩散较小, 所以 $TiSi_2$ Polycide MOS 电容的高频 $C-V$ 特性曲线和硅栅 MOS 电容的 $C-V$ 特性曲线基本相同。

TEM(横截面)形貌照片(如图 8、9)显示, 经高温炉退火后, $TiSi_2$ 层变得不均匀, 甚至在某些地方不连续, $TiSi_2/Poly-Si$ 界面变得不平整, 这主要是由于 $TiSi_2$ 层在经历高温长时间退火过程中, 为减小其表面能, $TiSi_2$ 将收缩成团状, 从而导致 $TiSi_2/Poly-Si$ 复合栅结构方块电阻明显增大, 甚至可增大到和多晶硅方块电阻具有相同的量级, 失去了 Polycide 栅结构的优点。从上面的讨论可以看出, 在电路的制造工艺中, $TiSi_2/Poly-Si$ 复合栅结构所经历的最高炉退火温度应低于 $900^\circ C$, 如采用快速退火, 高温对 MOS 器件性能和 $TiSi_2$ 膜特性的影响均不大。

五、结 论

通过对 $TiSi_2/Poly-Si$ 复合栅 MOS 电容电学特性的研究和 TEM(横截面)形貌观察表明, $TiSi_2/Poly-Si$ 复合栅结构所经历的最高炉退火温度应低于 $900^\circ C$, 以保证其电学性能的稳定和 $TiSi_2$ 层的均匀连续。在实际生产中, 为确保产品产率和重复性, 形成 $TiSi_2$ 膜后, 器件所经历的最高炉退火温度最好不要超过 $850^\circ C$ 。如用 RTA 退火, 由于退火时间十分短, 高温不会引起复合栅多晶硅层中杂质的严重外扩散, 而且 TEM(横截面)结果表明, $TiSi_2$ 层仍十分均匀, MOS 电容的电学特性没有明显变化。所以, 在 $TiSi_2/Poly-Si$ 复合栅结构器件制备工艺中, 采用 RTA 较炉退火更为有利。

参 考 文 献

- [1] C. Y. Ting, F. M. d'Heurle, S. S. Lyer and P. M. Fryer, *J. Electrochem. Soc.*, 133, 2621(1986).
- [2] L. R. Zheng, L. S. Hung, S. Q. Feng, P. Revesz, and J. W. Mayer, *Appl. Phys. Lett.*, 48, 767(1986).
- [3] 陶江, 赵铁民, 张国炳, 王阳元, 汪锁发, 李永洪, 半导体学报, 10(10), 781(1989).
- [4] I. Ohdomari, K. Konuma, M. Takano, T. Chikyow, H. Kawarada, J. Nakamishi, and T. Ueno, *MRS Symposia Proceedings. Thin Films-Interfaces and Phenomena*, 54, 63(1985).
- [5] B. Swaminathan, E. Demoulin, T. W. Sigmon, R. W. Dutton, and R. Reif, *J. Electrochem. Soc.*, Vol. 127, No. 10, 2227(1980).
- [6] N. Lifshitz, and S. Luryi, *IEDM'82*, P. 54.

Effects of High Temperature Process on Characteristics of TiSi₂/Poly-Si MOS Capacitor and TiSi₂ Films

Tao Jiang, Wu Guoying, Zhang Guobing, Chen Wenru and Wang Yangyuan

(Institute of Microelectronics, Peking University, Beijing, 100871)

Abstract

Thermal stability of TiSi₂ on polycrystalline silicon is investigated by cross-sectional transmission electron microscopy. The results show that when the additional furnace annealing temperature is higher than 900°C, discontinuity of TiSi₂ film, and a penetration of TiSi₂ into polycrystalline silicon layer occur, causing a rough TiSi₂/poly-Si interface. The electrical property of TiSi₂/poly-Si polycide MOS capacitor is worse than that of poly-Si gate MOS capacitor. While for high temperature RTA process, no unfavorable effects are observed.