

砷化镓单电源电路研究*

赵建龙 夏冠群 范 恒 施 健

(中国科学院上海冶金研究所 上海 200050)

摘要 本文对 BFL 单元电路进行了改进, 首次提出一种新型的 GaAs 单电源单元电路, 并研究了该单元电路与 Si TTL 电路的接口电路, 实验结果表明该单元电路的设计是可行的, 适合于制作中、小规模集成电路.

EEACC: 1265B, 2520D, 2570H

1 前言

砷化镓器件与电路具有高速、低功耗、抗辐照等优点, 是新一代的高性能器件与电路, 广泛应用于超高速计算机、高速信号处理、卫星和微波通讯系统中. GaAs 数字电路逻辑形式主要有 BFL、SDFL、DCFL 等, 其中 BFL、SDFL 速度快、逻辑电平摆幅大、制作工艺比较简单, 但必须使用双电源, 给广泛应用造成了一定的困难. DCFL 虽然是单电源工作, 但单元电路由耗尽型和增强型两种 MESFET 管组成, 对电路制作工艺的要求十分苛刻. 本文对 BFL 单元电路进行了改进, 首次提出了一种新型单电源单元电路, 该单元电路工艺与标准的 BFL 工艺兼容, 适合于中小规模电路. 实验结果表明此方法是可行的.

2 单元电路的设计

2.1 电路结构的选择

图 1 所示为标准的 BFL 倒相器单元电路, 电路由四个耗尽型 MESFET 管和三个二极管组成, 电路必须使用 V_{DD} 、 V_{SS} 正负两个电源才能工作. 其中 Q_1 、 Q_2 构成反相级, Q_3 、 Q_4 、 D_1 ~ D_3 构成电平移位级. 由于 Q_2 管为耗尽型管, 其源端接地, 因此为了使 Q_2 管截止, 必须在信号输入端加低于 Q_2 开启电压的负电压, 而电平移位级的作用是使输出电平适合于输入, 利用 V_{SS} 将电平移至低于开启电压 V_{TH} . 双电源电路给整机实际使用增加困难, 为此本文首次提出了图 2 所示的单电源倒相器单元电路, 电路由五个耗尽型 MESFET 管和三个二极管组成, 只须使用 V_{DD} 一个正电源就能工作, 该电路设计思想是采用正电源供电, 通过抬高输入管源端电位来解决输入输出电平不匹配的问题, 该电路由逻辑电平反相级和电平移位

* 国家自然科学基金资助项目

赵建龙 男, 1969 年 3 月生, 博士生, 主要从事 GaAs 器件与电路的设计和工艺

夏冠群 男, 1941 年 2 月生, 研究员, 主要从事化合物半导体器件物理

范 恒 男, 1961 年 11 月生, 研究员, 主要从事 GaAs 器件与电路的设计和工艺

1996 年 2 月 5 日收到初稿, 1996 年 4 月 3 日收到修改稿

级组成。当输入信号 V_{IN} 为高电平时, Q_2 管导通, 由于电路中各元器件的分压作用, 使 Z 点电平大约为 1.9V, 而当 V_{IN} 为低电平输入时, Q_2 管截止, 那么 Z 点电平差不多为 V_{DD} , D_1 的作用是为了进一步抬高源端电位, Q_3 管构成恒流源, 这样达到了信号的倒相, 再经电平移位级将电平移到适当的位置, 只要适当地选择各管子的尺寸, 就可以使输入和输出电平相兼容。

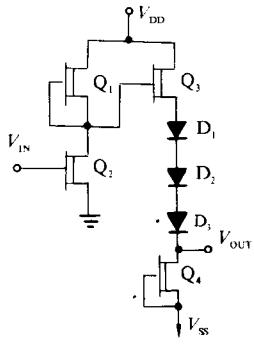


图 1 标准 BFL 倒相器电路

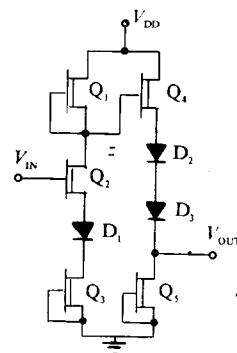


图 2 单电源倒相器电路

2.2 器件参数的计算

分别计算逻辑反相级和电平移位级, 采用 Statz 器件模型

若 $V_{GS} - V_{TH} < 0$ (截止区), $I_{DS} = 0$

若 $V_{GS} - V_{TH} > 0$ (线性工作区和饱和工作区)

$$I_{DS} = \beta(1 + \lambda V_{DS})(V_{GS} - V_{TH})^2 K_T / [1 + B(V_{GS} - V_{TH})]$$

其中 I_{DS} 为漏源电流; V_{GS} 为栅源电压; V_{DS} 为漏源电压; K_T 为双曲函数 \tanh 的多项式近似, 对 $0 < V_{DS} < 3/\alpha$ (线性工作区), $K_T = 1 - (1 - \alpha V_{DS}/3)^3$, 对 $V_{DS} > 3/\alpha$ (饱和区), $K_T = 1$, α 为饱和电压参数, V_{TH} 为开启电压, β 为跨导系数, λ 为沟道长度调制系数, B 为掺杂尾部延伸系数。

因为单电源电路的电平移位级和标准 BFL 倒相器相同, 根据文献[1], 电平移位级 Q_4 、 Q_5 管的跨导比 $\beta=1$ 时, 移位级的跟随线性最好, 因此取 Q_4 和 Q_5 管的跨导相等。下面计算电平反相级, 首先我们看到 Z 点电位是 $Q_1 \sim Q_3$ 和 D_1 分压的结果, Q_1 跨导大, 那么 Z 点电位高, Q_2 、 Q_3 跨导大, 则会使 Z 点电位降低, D_1 电阻大时, 将使 Z 点电位升高, 在这儿 D_1 主要作移位二极管和 Q_3 一起用于抬高 Q_2 的源端电位, 因为如果没有 D_1 管, 为了抬高 Q_2 源端电位, 从而保证传输特性的高低电平噪声容限, Q_3 管必须作得很小, 从而 Q_3 管导通电阻大, 而 Q_3 管的导通电阻可以看成 Q_2 的源寄生电阻, 这样会大大地抑制电路的速度, 因此 D_1 管的加入很有意义。移位二极管 D_1 和恒流管 Q_3 作为 Q_2 管源寄生电阻, 而 Q_1 、 Q_2 构成反相级, β 值仍为 0.6 左右, (β 值为 Q_1 和 Q_2 管的跨导比), 以保持良好的噪声容限。所有管子栅长取为 $1\mu m$, 然后用计算机进行模拟计算, 利用上面分析中各器件尺寸对传输特性的影响进行优化, 不断调整尺寸, 使电路符合要求, 最后得到优化的器件尺寸为 $W(Q_1) = 9\mu m$, $W(Q_2) = 15\mu m$, $W(Q_3) = 12\mu m$, $W(Q_4) = 18\mu m$, $W(Q_5) = 18\mu m$ 。模拟时 $V_{TH} = -1.0V$, $V_{DD} = 3.5V$ 。

图 3(见图版 I) 是计算机模拟得到的该单元电路的传输特性曲线, 可以看到电平转折

点为 0.85V，高低电平分别为 1.63V 和 0.24V，高电平噪声容限为 0.7V，低电平噪声容限为 0.6V，噪声容限较大，逻辑摆幅占电源电压的 40%，而 BFL 为 35%，该单元电路的电源利用率比 BFL 电路高。该单元电路功耗约为 8.5mW，而相当尺寸的 BFL 电路功耗为 21mW，由此可见该电路的功耗比标准 BFL 电路小许多。单门延迟大约为 85 皮秒，比 BFL 电路的 70 皮秒延迟稍慢。

3 与 TTL 电路的接口

实际使用中，GaAs 电路往往还是与已广泛应用的 Si 电路配合使用，这样就存在 GaAs 电路与 Si 电路的接口问题，本文主要研究与 Si TTL 电路的接口。TTL 电平分别为：输入电平 $V_{IL} < 0.8V, V_{IH} > 2.0V$ ，输出电平 $V_{OL} < 0.4V, V_{OH} > 2.4V$ 。输入接口电路将 0.4 ~ 2.4V 的 TTL 电平转变为 0.2 ~ 1.6V 的单电源电路电平，信号不必经过放大作用，只需将电平下移一点就可以了，因此输入接口电路比较简单，如图 4 所示（见图版 I），由三个二极管和一个三极管 Q 组成，二极管 D₁ 将电平下移 0.7V 左右，而 Q 管作为恒流源，为了减小功耗，其尺寸一般设计得较小，另一方面 Q 管尺寸小，则其电阻大，对 V_{IN} 高电平输入影响小，D₂、D₃ 具有一定的保护功能，以防输入电平太高或太低，可以使 V_{CL} 接地， V_{CH} 接 V_{DD} 。该输入接口电路具有一定的保护作用，又可以将 TTL 电平转换成内部电平。而输出信号必须经过一定的放大作用，输出接口电路如图 5(a)（见图版 I）所示，当输入 V_{IN} 为高电平时，Q₂ 管导通，由于分压作用，Q₁ 管源端电位为低，Q₄ 管导通不好，那么 Q₄、D₂ 与 Q₅ 分压后输出为低电平；而当输入 V_{IN} 为低电平时，Q₂ 截止，由于分压作用，Q₁ 源端电压为高，Q₄ 导通良好，由于分压作用，输出电平 V_{OUT} 为高电平。在这儿 D₂ 的作用是电平移位，从而加大负载能力，其中 Q₄、Q₅ 的尺寸较大，主要依赖于负载能力和速度大小。D₁ 一方面可以提高 Q₂ 源端电位，使传输特性曲线右移，从而改善高、低电平噪声容限，另一方面可以提高在 Q₂、Q₅ 之间形成电流通路的最低电平。图 5(b)（见图版 I）为计算机模拟得到的输出接口电路的传输特性曲线，模拟时 $V_{TH} = -1.0V, V_{DD} = 5V$ 。输出高电平为 3.577V，低电平为 0.43V；转折点为 0.83V。其相应栅宽为 $W(Q_1) = 8\mu m, W(Q_2) = 10\mu m, W(Q_3) = 16\mu m, W(Q_4) = 50\mu m, W(Q_5) = 50\mu m$ 。如果要求更大的负载能力，那么可以进一步加大输出管尺寸，同时可以在反相级和移位级之间再加入一缓冲级以保持速度。

4 实验和结果

图 6(a)（见图版 I）是实际研制成功的 GaAs 单电源倒相器电路（如图 2 所示）的芯片照片，该电路采用 SI GaAs 直接离子注入、TiPtAu 肖特基凹栅工艺，流程如下：光片表面处理 → 有源区离子注入 → 快速退火 → 欧姆接触 → 隔离注入 → 合金化 → 栅区光刻 → 挖槽蒸 TiPtAu → 一次布线 → 光刻通孔 → 二次布线 → 测试。其传输特性曲线用 HP4145B 测得，结果如图 6(b) 所示（见图版 I），从图中可见输出高电平为 1.6V，低电平为 0.29V，转折点为 0.8V，与模拟值基本相符，这表明本文首次提出的 GaAs 单电源单元电路的功能与双电源电路的功能相同，从而证明了设计的可行性，进一步可设计出单电源 GaAs 数字集成电路。

5 讨论及结论

本文提出的单电源单元电路与标准 BFL 电路相比, 增加了一个三极管, 会影响电路的集成度, 然而布线时少一根电源线, 可以减小芯片面积, 故对电路的集成度影响不大。采用 +3.5V 的单电源供电可以减小电路的功耗, 而由于输入驱动管源端等效寄生电阻略有增大将会使电路速度有所下降。通过实际单电源单元电路的设计与样品的研制, 经样品测试表明单电源电路具有双电源电路同样的功能, 且易于和 Si TTL 电路相匹配, 逻辑扩展容易, 适合于制作中小规模 GaAs 集成电路。砷化镓单电源单元电路的研制成功, 将有助于砷化镓电路在整机系统中广泛应用。

参 考 文 献

- [1] 史常忻, 等, “高速 GaAs 集成电路”, 上海: 上海交通大学出版社, 1991.
- [2] S. J. Harrold, “An Introduction to GaAs IC Design”, Hertfordshire: Prentice Hall International(UK) Ltd., 1993.
- [3] Omar Wing, “Gallium Arsenide Digital Circuits”, Massachusetts: kluwer Academic publishers, 1990.
- [4] 姚立真, 等, “通用电路模拟技术及软件应用 SPICE 和 PSPICE”, 北京: 电子工业出版社, 1994.

Study of GaAs Single Supply Circuits

Zhao Jianlong, Xia Guanqun, Fan Heng and Shi Jian

(Shanghai Institute of Metallurgy, The Chinese Academy of Sciences, Shanghai 200050)

Received 5 February 1996, revised manuscript received 3 April 1996

Abstract The Buffered FET Logic (BFL) circuits have been investigated and improved. A novel GaAs single supply circuit has been given. The interface circuits between the single supply circuit and Si TTL ICs have also been studied. It has been proved experimentally that the design of the single supply circuit is reasonable, and this circuit is suitable to the fabrication of small and medium scale integrated circuits.

EEACC: 1265B, 2520D, 2570H