

# CMOS 单片集成恒带宽放大模块

杨漠华 成 勃 于 奇 肖 兵 谢孟贤 杨存宇

(电子科技大学微电子科学与工程系 成都 610054)

江泽福 严顺炳

(四川固体电路研究所 重庆 630060)

**摘要** 基于电流模式信号处理技术和电流跟随器、CMOS AB 类放大器、反相电流镜等理论模型，并有赖于特别的版图设计与一系列先进的  $3\mu\text{m}$  硅栅 CMOS 单片化集成技术，已经获得了一种具有  $300\text{kHz} \sim 1\text{MHz}$  恒带宽、 $0 \sim 20\text{dB}$  可调增益、 $5.6\text{mW}$  功耗的新型集成模块。该功能块突破了放大器增益带宽积为常数的传统约束，并可用于系统集成、生物电子学、智能功率集成电路(SPIC)与模拟信息处理诸电子学领域。

EEACC: 1220, 1285, 1290, 2570D

## 1 引言

传统的电压放大器存在着增益带宽积为常数的约束，为突破这一技术限制，使当今系统集成、电力电子技术和生物电子学等模拟信号处理领域的设计更加灵活多样，以满足在单片上模拟信号范围及处理功能快速增加的要求；同时，若能使电压信号通过电流型网络变成电流信号，则信号范围就不再直接受到电源电压的限制，从而克服了电压放大器之不足。为此，近几年来，随着 CMOS 集成技术的不断进步，正如文献[1~5]所表明的那样，探索不依赖于闭环电压增益的恒带宽放大拓扑结构并令其单片实现就成为研究热点之一。

基于此，本文源于电流型模拟信号处理技术，尝试巧妙地结合电流跟随器、负反馈网络与 AB 类 CMOS 放大组态，并采用虚地概念与电流镜像技术，且借助于先进特殊 CMOS 工艺技术的设计考虑，发展了一种新型的 CMOS 电流反馈放大器拓扑结构并组成电压放大器，从而克服了电路中主要因运放所带来的带宽和压摆率的传统制约，得到了电气性能优良和应用灵活的恒带宽放大模块。

杨漠华 男，1945 年生，现从事 VLSI、ULSI 集成电路技术与可靠性模拟监制技术和真空微电子技术等领域研究  
成 勃 女，1967 年生，现从事模拟 IC、VLSI 集成电路及微电子工艺技术研究

江泽福 男，1948 年生，现从事 CMOS 工艺技术和模拟 IC 设计开发实验方面研究

1996 年 1 月 24 日收到初稿，1996 年 4 月 22 日收到修改稿

## 2 理论模型与模拟

### 2.1 高精度电流跟随器

该跟随器由高增益低失调的 CMOS 运放和工作在 AB 类的两组电流镜组成如图 1 示。

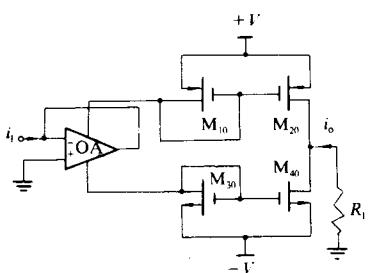


图 1 电流跟随器

其中, 设运放开环增益为  $A_0$ , 单位增益带宽积是  $GB$ , 输出电阻为  $R_0$ , 信号源内阻为  $R_S$ , 并令  $K_1 = (R_0 + R_S)/R_S$ ,  $K_2 = R_0/[R_S(A_0 + 1)]$ , 则不难利用图 1 的等效电路且基于基尔霍夫定律导出其复频域交流小信号传输函数或频响特性

$$\frac{i_o}{i_s} = \frac{1 + jf/(GB)}{1 + K_2 + jf/(GB/K_1)} \quad (1)$$

当  $|i_o/i_s| = 1/\sqrt{2}$  时, 由式(1)得跟随器的  $-3\text{dB}$  带宽  $f_p$  为

$$f_p = GB \sqrt{\frac{1 - 2K_2 - K_2^2}{K_1^2 - 2}} \quad (2)$$

显然, 由式(2), 当  $K_1^2 - 2 = (1 + R_0/R_S)^2 - 2 = 0$  即  $R_S \approx 2.5R_0$  时,  $f_p \rightarrow \infty$ , 此时电流跟随器的带宽可达其理论极限。这一结论对在实际的集成设计中估价放大器的带宽与  $R_S$  的范围十分有用。

实际上,  $K_1 \gg 1, K_2 \ll 1$ , 所以

$$f_p = GB/(1 + R_0/R_S) \quad (3)$$

由此可见, 若  $GB$  一定, 欲扩展跟随器带宽, 则可同时减小  $R_0$  并增大  $R_S$  来达到目的, 且与负载电阻  $R_L$  无关。

### 2.2 低失调高增益 CMOS 运放

CMOS 运放采纳典型的不带缓冲级两增益级模型和 NMOS 差分输入 P 阵工艺设计, 由图 2 中 M1~M11 组成。理论分析发现, 为获得低失调电压, 与通常的全增强型 NMOS 或 E/DMOS 运放不同, 则应有  $I_6 = I_7$ 。于是由图 2, 必须满足条件

$$\frac{(W/L)_3 + (W/L)_4}{(W/L)_6} = \frac{(W/L)_5}{(W/L)_7} \quad (4)$$

其次, 设差分放大级与共源输出级的跨导及输出电阻分别为  $g_{m1}, r_1$  与  $g_{m2}, r_2$ , 由其传输函数解出的频率特性推知, 为使该运放工作稳定, 相位裕度  $\Phi_M$  可达  $60^\circ$ , 除应用密勒电容  $C_C$  补偿技术拉开主极点  $P_1 = 1/[(1 + g_{m2}r_2)r_1C_C]$  与第二极点  $P_2 = -g_{m2}/C_L$  的频段距离外, 则该运放中 M<sub>3</sub>、M<sub>4</sub>、M<sub>5</sub>、M<sub>6</sub> 及 M<sub>7</sub> 除式(4)外还须同时满足

$$\frac{g_{m2}}{g_{m1}} = \left[ \frac{2\mu_p(W/L)_6(W/L)_7}{\mu_n(W/L)_1(W/L)_5} \right]^{1/2} \gg \frac{C_L}{C_C} \quad (5)$$

当运放负载电容  $C_L = 15\text{pF}$  时, 取  $g_{m2}/g_{m1} = 10$ 。

偏置电路由 M8~M11 构成, 为确保 M5、M7、M8 工作在饱和区, 优化得到节点 B 电位为  $-3.5\text{V}$ , 偏置参考电流  $I_r = 40\mu\text{A}$ 。进而设沟道调变因子  $\lambda = 0.01$ , 得到其开环增益  $A_0$  理论值为

$$A_0 = \frac{1}{2\lambda^2 I_r} \left[ \frac{2\mu_n\mu_p(W/L)_1(W/L)_5(W/L)_6}{(W/L)_7} \right]^{1/2} = 83\text{dB} \quad (6)$$

运放 SPICE 模拟结果表明,当  $C_L = 15\text{pF}$  时,  $-3\text{dB}$  带宽为  $400\text{Hz}$ , 开环增益  $80\text{dB}$ , 相位裕度  $\Phi_M 60^\circ$ , 符合放大模块设计要求.

### 2.3 CMOS AB 类放大组态

该组态由图 2 中 M12~M17 组成, 具有较高电流增益 MOS 器件 M14 与 M16 提供了该放大器的电流增益  $\beta = \beta_{14} = \beta_{16}$ . 由互补源随器环路 M14~M17 形成的电压跟随功能提供了围绕运放的负反馈<sup>[6]</sup>, 进而使运放的输出总是保持在虚地状态, 且降低了放大器的输入阻抗, 这就限制了运放  $dv/dt$  的变化并进而改善了压摆率.

值得注意的是, 尽管该放大器设计相当对称, 由于电子空穴迁移率不同  $\mu_n \approx 2\mu_p$ , 且实际电路中 n 沟道与 p 沟道 MOS 管的栅源电压即  $|V_{GS}|_n$  与  $|V_{GS}|_p$  亦有所差异, 为保证信号正负半周的电流平衡传输, 发现 M14、M16 的宽长比应具备定量关系

$$(W/L)_{16}/(W/L)_{14} = (\mu_n/\mu_p)[(V_{GS14} - V_{T14})/(V_{GS16} - V_{T16})]^2 \quad (7)$$

这已经为我们的电路实验与模拟结果所证实, 否则, 全电路不能正常工作.

### 2.4 分相电流镜

图 2 中, M18~M25 构成具有相位分裂功能的镜像电流源, 将分相输出电流从 M14、M16 传送到输出节点并产生正确的相位关系, 并兼有阻抗变换匹配作用. 经过严格的理论推导和 SPICE 模拟表明, 每个子单元的输出与输入电流之比——镜像因子  $\gamma = 1.02$ , 且在  $\pm 5\text{mA}$  范围内,  $\gamma$  误差小于  $1.5\%$ ; CMOS 电路优于双极型电路, 相对而言后者传输线性与失真稍次, 且  $\gamma$  偏小变化范围较大.

用 CMOS 工艺技术实现时, 尤应强调 PMOS 与 NMOS 沟道宽长比准确量化如图 2 所示, 及版图设计时布局布线、温度与电位分布的对称性和抑制 CMOS 闭锁效应. 不然, 就会出现某支路过热现象, 这也已为实验所证实.

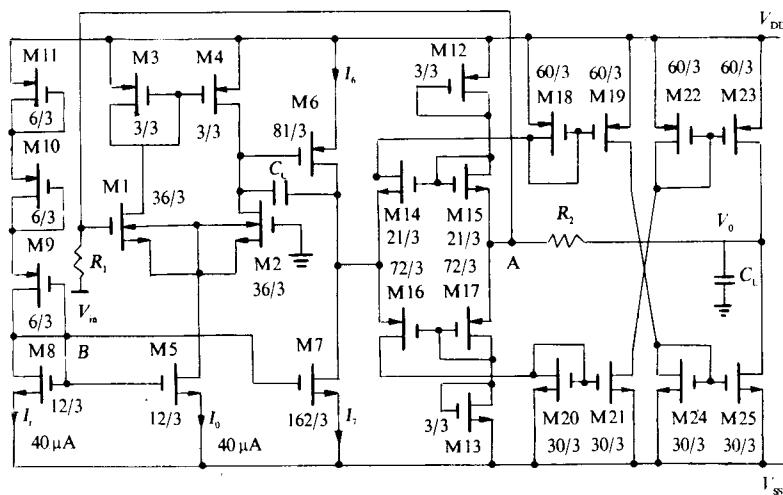


图 2 单片 CMOS 拓扑结构

### 2.5 单片化 CMOS 放大模块

依次组合上述四基本组态, 再加上  $R_1$  与  $R_2$ , 便可分别获得由图 2 示出的电流放大器和可调增益负反馈电压放大模块. 不难导出, 该负反馈放大器的闭环电压增益为

$$A_i = -[A_i/(1 + A_i)](R_2/R_1) \quad (8)$$

$$\text{输出阻抗 } R_{\text{out}} = [R_0 R_2 / (R_0 + R_2)] / (1 + A_i) \quad (9)$$

其中

$$A_i = \gamma^2 \beta [R_0 / (R_0 + R_2)]$$

于是,由式(1)和式(8)可见,放大器的频率响应取决于开环的电流跟随器,与反馈网络无关,即与电压增益无关,而后者则由闭环反馈环路提供,并可通过改变  $R_2/R_1$  的值获得所需增益.同时,由式(2)不难推知,改变  $R_1$  的值,便可将放大器的带宽恒定在不同的频率,与  $R_2$  的取值无关.这样就实现了增益可调的恒带宽放大.

已经采用 SPICE III 与 PSPICE4..02 程序对图 2 所示全电路进行了全面地分析模拟,以考察其可行性并验证各子电路内部器件参数理论计量的可靠性.

直流特性分析指出,当输入为零,运放输出端电压为 0.0011V,相当于虚地,符合电路正常工作的前提要求.当电源为  $\pm 5V$  时,直流功耗  $5.6mW$ .

该模块 SPICE 模拟的幅频特性曲线族可参见下节图 4,二者甚为接近一致.

### 3 实验集成和结果

单片集成图 2 所示模块的实验表明,由于其中 AB 类放大器、反相电流镜及电流跟随器等基本组态并非通常形式的 CMOS 拓扑结构,因之需要考虑下述特别的版图设计和微电子工程技术对策.实践证明,这对于一次性流片成功有着决定性的意义.

首先,须实现严格的匹配对称设置.因 MOSFET 系二维器件,对于 M1、M2、M14~M17、M18~M21 和 M22~M25,除其电气几何参数在理论上恰当计量外,还宜计入其几何尺寸的图形布局及其寄生电容、温度等影响在内的综合因素,并经 SPICE 反复模拟论证,从而确保其对称性,达到低失调、温漂小、电流平衡传输目的.

特殊的分区隔离.为消除该 CMOS 模块中的衬偏效应并提高其电气性能,设计了 P 阵加  $P^+$ 、 $N^+$  保护环的特殊隔离岛技术方案.例如,将差分输入对管 M1、M2 置于单独 P 阵中;并令 P 阵通过  $P^+$  环与 MOS 管源极相连,这同时还减小了输入级噪声;对于 P 阵中 NMOS,将其源端与保护环  $P^+$  重复短接;面积较大的  $N^+$ - $SiO_2$ -POLY Si 结构电容  $C_c$  置于单独隔离岛内.

可靠性模拟.为预防  $\pm 5V$  电源电压施加于 MOS 器件漏或源所可能导致的热电子效应,和  $N^+(P^+)$ -POLY Si-Al 三层互连系统中可能出现的电迁移现象,已经应用我们最近移植开发的可靠性仿真软件 BERT2.01 进行了模拟修正.实验结果显示,其效果良好.

$3\mu m$  硅栅 CMOS 工艺技术.系包括  $P^-$  阵、 $P^+/N^+$  环、 $P^-/N^-$  调沟及  $P^+/N^+$  源漏共计 7 次全离子注入和 14 块掩膜的硅栅 CMOS 自对准工艺技术设计.其中,轻掺杂  $n^- < 100$  衬底浓度为  $6 \times 10^{14}/cm^3$ ,  $V_T = (\pm 0.6 \pm 0.1)V$ ,  $V_{TF} = (15 \pm 2)V$ ,  $P^-$  阵结深  $x_j = 8\mu m$  及注入剂量  $D = 5.4 \times 10^{12} cm^{-2}$ ;还包含  $0.1\mu m$  厚优质栅氧化,低温  $1\mu m$  场氧技术,LPCVD/PECVD  $SiO_2$ 、POLY Si、 $Si_3N_4$  薄膜工艺.

图 3 所示集成结果芯片照可充分说明上述一系列设计构想,其尺寸为  $1064 \times 770\mu m^2$ ,管芯成品率优于 85%,采用 8 脚双列直插式陶封.

模块典型的频响特性测试结果如图 4 所示.其中  $R_1 = 300\Omega$ ,  $R_2 = 600\Omega \sim 5.1k\Omega$ ,  $-3dB$  恒带宽  $920kHz$ .依次改变  $R_1 = 100\Omega \sim 1k\Omega$  之值,可获得不变带宽  $W_B \geq 300kHz \sim 1MHz$ ;变更  $R_2 = 600\Omega \sim 10k\Omega$ ,闭环电压增益  $G \geq 0 \sim 20dB$  可调;输出电压摆幅  $\pm 4.5V$ ,功耗 5.

6mW. 相比之下, 其结果优于 T. Kaulberg 提出 700kHz 带宽、20dB 增益的电流型运算放大器 COA<sup>[2]</sup>; 且与文献[5]报道的 650kHz 宽带、30dB 增益 COA 相似.

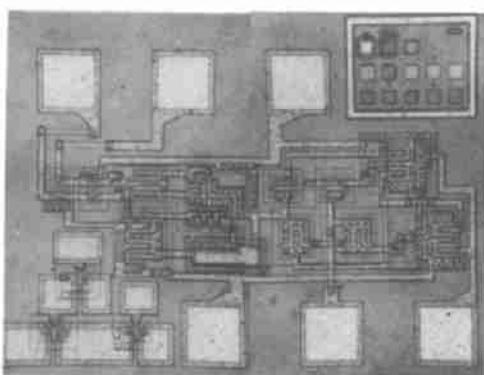


图 3 集成模块芯片照

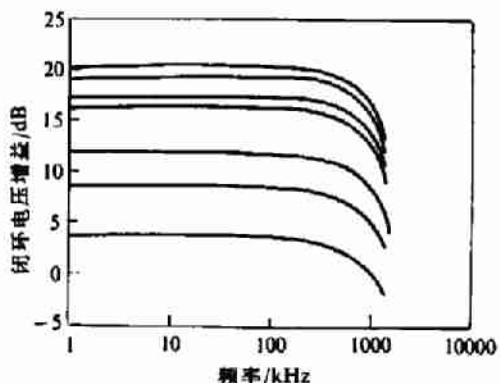


图 4 典型的频响特性测试曲线

测试结果的分析表明, 当放大模块闭环增益  $G$  低于 22dB, 其  $-3\text{dB}$  带宽保持恒定, 但当随着  $R_2$  增大  $G$  大于该范围, 放大器输出阻抗也随之提高, 从而引起反相电流镜输出时间常数增加, 导致了带宽下降而不再维持不变. 同时, 测试结果还证实, 幅频特性与输入信号幅度无关, 该结构具有高压摆率特性.

在测试应用中还发现了少量频响曲线的高频峰起现象. 分析认为, 这是由于运放补偿电容  $C_C$ 、放大器寄生分布电容及 CMOS 集成技术中工艺控制参数不均匀而导致的不对称匹配等综合因素产生附加相移引起的高端提升. 对此, 除在设计时引入新的零极点以进行频率相位补偿外, 还可在实验测试中进行适当调整, 比如在  $R_2$  两端跨接超前补偿电容 2.7pf, 即可克服该现象, 得到满意的高频性能.

该放大模块已应用于  $\mu\text{A}$  级微电流放大, 其电流增益达 40~45dB; 用以驱动新一代 MOS 功率器件 VDMOS/IGBT, 均得到了 250~350 倍电压增益和相应功率输出; 还试用经开关电容网络 SCF 数据采样后的模拟信号处理. 它可望成为系统集成、生物电子学、真空微电子及 SPIC 等领域电流/电压信号处理通道所需单元模块的技术储备.

## 4 结论

本文获得的 CMOS 放大模块具有 300kHz~1MHz 恒带宽和 0~20dB 可调增益, 突破了放大器增益带宽积为常数的传统约束, 并可望用于系统集成等电子学领域.

2) 该模块的实现不仅源于电流模式模拟信号处理技术和电流跟随器、AB 类放大器等理论模型, 并有赖于特别的版图设计与一系列先进的硅栅 CMOS 单片化集成技术.

## 参 考 文 献

- [1] A. Carlosena and G. S. Moschytz, IEEE Trans. on Circuits and Systems, 1994, 41(1), 79.
- [2] T. Kaulberg, IEEE-SC, 1993, 28(7), 849.
- [3] B. Farnman, Powerconversion & Intelligent Motion, 1992, 18(2), 10.

[ 4 ] J. J. Chen *et al.*, Electron Lett., 1992, **28**(22): 2087.

[ 5 ] E. Bruun, Electron Lett., 1991, **27**(18): 1673.

[ 6 ] B. Gilbert, Electron Lett., 1975, **11**(1): 14.

## CMOS Monolithic Constant-Bandwidth Amplification Module

Yang Mohua, Chen Bo, Yu Qi, Xiao Bin, Xie Mengxian and Yang Cunyu

(Department of Microelectronics Sciences & Engineering, UEST of China, Chengdu 610054)

Jiang Zefu and Yan Sunbing

(Sichuan Institute of Solid-State Circuits, Chongqing 630060)

Received 24 January 1996, revised manuscript received 22 April 1996

**Abstract** Based on current-mode signal processing technique and theoretical models dealing with current follower, CMOS class AB amplifier as well as antiphase current-mirror, a CMOS module with  $300\text{kHz} \sim 1\text{MHz}$  constant-bandwidth independent of the closed loop gain, voltage gain from 0 to 20dB and consumption 5. 6mW is proposed, which also depends on special mask design and  $3\mu\text{m}$  advanced CMOS integration technologies. A traditional restrict of constant gain-bandwidth product for it is no longer exist. It is very encouraging to be expected to have applications in the field of system integration, bioelectronics, SPIC and analog signal processing.

**EEACC:** 1220, 1285, 1290, 2570D