

RRH/VLP-CVD 低温外延硅 薄膜的电学性质

江若琏 郑有炡 马金中 冯德伸

江 宁 张 荣 胡立群 李学宁

(南京大学物理系, 南京, 210008)

1990年8月30日收到, 1991年1月25日修改定稿

本文对低温外延新技术——“快速辐射加热、超低压化学气相沉积”(RRH/VLP-CVD)生长的外延硅薄膜的电学性质进行了分析研究。扩展电阻分析显示了外延层杂质浓度分布均匀,与衬底间的界面区杂质分布陡峭。在外延层上制备了霍耳样品、PN结二极管和Al-SiO_x-Si MOS结构,经测量分析所得各项重要数据与优质硅单晶所制的样品相一致。实验结果表明RRH/VLP-CVD 低温外延硅薄膜具有良好的电学性质,已可用于器件的制备。

一、引言

随着大规模、超大规模集成电路及高速硅器件的发展,需要在重掺杂硅衬底上外延生长轻掺杂的微米、亚微米的薄外延硅层,它要求外延层与衬底的界面区杂质分布陡峭。常规的硅烷热分解化学气相沉积(CVD)技术,由于外延生长温度高,界面过渡区宽(达微米数量级),无法得到亚微米薄外延层。降低生长时的温度可以克服高温外延时的气相自掺杂和衬底杂质的外扩散效应,使得界面过渡区变得陡峭。因此,低温外延成为当前急需发展的新技术。该技术不仅用于大规模集成电路,用于发展其他新型器件如:三维集成电路、异质结晶体管、新型高速器件及光电器件等也具有很强的生命力。近年来,国际上已发展了多项技术用于低温外延,如:分子束外延,离子束外延,低压CVD等,其中最有影响的分子束外延可获得超薄硅外延层,但其设备复杂、成本昂贵,沉积层过薄,不便用于亚微米薄层的大量实际生产。因此,各国都在竞相研究探索成本低廉、使用方便的低压CVD新方法,并已取得很大进展^[1-7]。目前在这领域中要解决的关键问题是必须生长出高质量的硅单晶外延层,以满足制作器件的要求。

我们研究组研究发展了一种低温低压CVD的新方法:快速辐射加热、超低压化学气相沉积,简称 RRH/VLP-CVD (Rapid Radiant Heating/Very Low Pressure-Chemical Vapor Deposition)。建立了整套微机控制的生长系统,可以在低温低压条件下准确地控制生长层厚度。用该生长系统在650~720℃温度,10⁻³托的低压下借助硅烷热分解在硅单晶衬底上沉积了外延硅层。经X射线衍射, Raman 散射, 透射电子显微镜, 高分辨电子显微镜等测试分析表明外延层为单晶层,且具有良好的结晶学性质^[8]。本文研究该低温外延硅层的电学性质。为此,对外延层进行了扩展电阻测量,在低温外延硅薄层上制备

了霍尔样品, PN 结二极管以及 Al-SiO₂-Si MOS 结构, 并对其特性进行了测量分析。

二、实 验

1. 扩展电阻分析

为了探明 RRH/VLP-CVD 低温外延硅薄层中以及外延层与衬底的界面区杂质分布情况, 进行了扩展电阻剖面分析。

选取重掺杂硅单晶为衬底, 在 RRH/VLP-CVD 系统中, 在 700℃, 10⁻³ 托的低温低压条件下生长了外延硅薄层, 用 SSM

130 型扩展电阻探针测量了样品的载流子浓度随深度的分布, 典型结果见图 1。图 1 中的曲线 A 是以电阻率 ρ 为 $4 \sim 6 \times 10^{-3} \Omega \cdot \text{cm}$, (100) 晶向的 P 型硅为衬底的未掺杂外延结果, 从曲线中看出, 外延层厚约 $0.25 \mu\text{m}$, 与衬底间的界面杂质过渡区宽度约 $0.08 \mu\text{m}$ (以纵坐标载流子浓度高低差的 10%~90% 计算宽度); 曲线 B 的衬底是 ρ 为 $4 \sim 6 \times 10^{-4} \Omega \cdot \text{cm}$, (100) 晶向的 P 型单晶硅, 其外延层厚约 $3.1 \mu\text{m}$, 外延层中杂质分布均匀, 其浓度约为 $9 \times 10^{12} \text{ cm}^{-3}$, 界面过渡区宽度约为 $0.15 \mu\text{m}$ 。这宽度

比常规 CVD 方法制得的样品窄得多 (用常规 CVD 方法, 在常压, 1175℃ 温度下进行的硅外延, 当外延层厚为 $7 \sim 10 \mu\text{m}$ 时, 其过渡区宽度约为 $2.5 \mu\text{m}$), 也比 1985 年美国 T. J. Donahue 等人报道的结果^[4]要窄些。

上述曲线显示了 RRH/VLP-CVD 系统生长的外延层中杂质分布均匀, 界面过渡区杂质浓度变化陡峭, 随着外延层厚度的增加(即外延生长时间的增长)过渡区宽度的增加并不明显, 这表明了在 700℃, 10⁻³ 托的低温低压生长条件下大大降低了高温外延时的气相自掺杂和衬底杂质的外扩散效应, 完全可以获得亚微米、微米层厚的外延硅薄层。

用热探针法和其他方法判断出未掺杂的硅外延层呈极弱的 n 型。

2. 霍耳效应测量

离子注入是制作半导体器件的一项基本工艺。低温外延硅薄层在离子注入后能否正常电激活并达到预期的载流子迁移率? 为此, 按通常工艺过程进行离子注入及退火实验, 并制成霍耳样品进行测量。

以电阻率 ρ 为 $4 \sim 6 \Omega \cdot \text{cm}$, (100) 晶向的 N 型硅单晶为衬底, 在 RRH/VLP-CVD 系统中沉积了厚度约为 $0.8 \mu\text{m}$ 的外延硅薄膜。对这薄层注入硼离子, 注入能量为 60 keV, 注入剂量为 $1 \times 10^{14} \text{ cm}^{-2}$ 。然后在 930℃, N₂ 气氛保护中热退火 30 分钟给予电激活。蒸 Al 层后在 450℃, N₂ 气氛中合金化 25 分钟, 光刻成规则的电极图形制成霍耳样品。

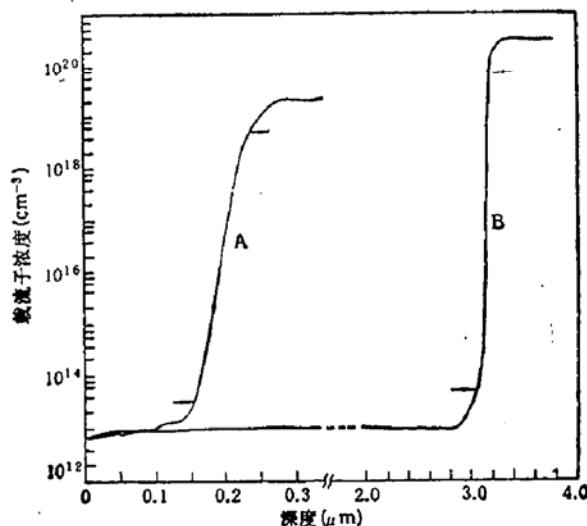


图 1 RRH/VLP-CVD 低温外延硅样品的
扩展电阻剖面图

霍耳效应测量结果为：外延硅层注入 B^+ 并热退火后，载流子浓度为 $5.0 \times 10^{15} \text{ cm}^{-3}$ ，激活率大于 96%；空穴的霍耳迁移率为 $91 \text{ cm}^2/\text{V} \cdot \text{s}$ ，计算得空穴的漂移迁移率为 $77 \text{ cm}^2/\text{V} \cdot \text{s}$ ，这与通常同样掺杂浓度的优质硅单晶的空穴漂移迁移率结果相一致^[9]。

3. PN 结二极管的 $I-V$ 特性

PN 结是结型半导体器件的最基本结构，为了进一步检验低温外延硅薄膜的电学性质和制备 PN 结的可行性，制备了台面二极管。

在电阻率为 $4 \sim 6 \Omega \cdot \text{cm}$ ，(100) 晶向的 N 型硅单晶衬底上，低温 ($650 \sim 720^\circ\text{C}$) 淀积了厚约 $0.8 \mu\text{m}$ 的外延层(未掺杂)。对外延层注入硼离子，注入能量为 60 keV ，注入剂量为 $1 \times 10^{14} \text{ cm}^{-2}$ 。在 930°C ， N_2 气氛中热退火 30min ，进行电激活，得到深度约为 $0.2 \mu\text{m}$ 的 P^+ 层，测得其载流子(空穴)浓度约为 $5 \times 10^{15} \text{ cm}^{-3}$ 。在 P^+ 层上面和衬底背面大面积蒸 Al 并合金化，然后采用常规的腐蚀法制得 PN 结台面二极管。

对制备的台面二极管和国产、日本产各种不同型号(如：2CP, 2CK, 2CW, 2 CZ 系列)的商品二极管在同样条件下进行 $I-V$ 特性测量比较，结果是实验制备二极管的 $I-V$ 特性优于大多数的商品二极管，与其中最好的一只 2 CZ82D 极为相近。图 3 是由 CSM/16 多功能 $C-V$ 仪测出的实验制备二极管和优质二极管 2 CZ82D 的 $I-V$ 特性比较图。图 2(a) 是大电压范围的 $I-V$ 特性，由图中可以看出两条曲线几乎完全重合，有几乎相同的正向导通特性；反向漏电流很小，在反向电压 10 伏以内没有发生软、硬击穿现象。

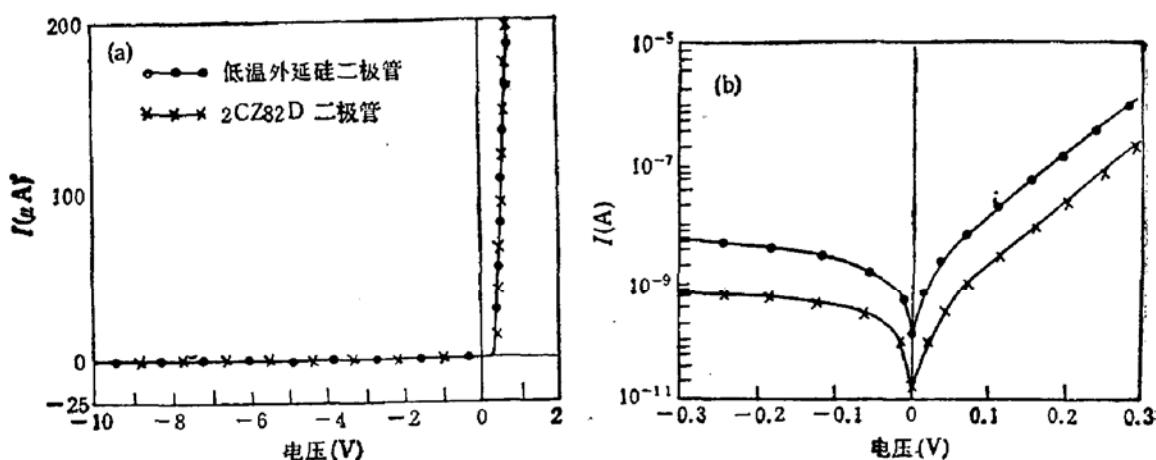


图 2 低温外延硅制备的 PN 结二极管与 2CZ82D 商品二极管的 $I-V$ 特性比较

图 2(b) 是低电压下两种二极管的 $I-V$ 特性，图中实验制备的二极管正、反向电流略大，这是由于所制备的 PN 结结面积略大造成的。二条正向电流曲线的上升斜率大小几乎一致，也即理想因子大小一致，这说明了由 RRH/VLP-CVD 技术淀积的外延硅材料质量与优质二极管使用的硅材料一样，晶体完美，杂质缺陷少，也说明实验中的离子注入工艺及台面工艺质量过关，使晶格损伤及杂质沾污程度降到很低。

4. Al-SiO₂-Si MOS 结构的界面电学特性

MOS 结构是半导体另一大类基本器件——场效应器件的基本结构，它的质量取决于外延硅层、氧化层及其界面的质量。本实验采用高频 $C-V$ 测量，准静态 $C-V$ 与高频 $C-V$

联合测量来表征低温外延硅的 MOS 结构的界面电学特性。

在(100)晶向, ρ 为 $1.7 \sim 3.5 \Omega \cdot \text{cm}$ 的 n-Si 单晶片上, 以 RRH/VLP-CVD 方法生长了厚约 1300\AA 的弱 n 型外延硅薄层, 然后采用 PECVD (Plasma-Enhanced Chemical Vapor Deposition) 技术以正硅酸乙酯为源, 在氧气气氛的辉光放电等离子体区中淀积 SiO_2 于该外延硅衬底上^[10]。淀积温度为 300°C , 淀积完毕在 N_2 气氛中原温退火 20min。 SiO_2 薄膜厚度约 1500\AA 。最后在 SiO_2 膜正面真空蒸发 Al 圆点为栅电极, 背面蒸 Al 层成为欧姆接触的电极, 制备成 Al- SiO_2 -Si MOS 结构。

对 Al- SiO_2 -Si MOS 结构进行了高频 C-V 曲线与准静态 C-V 联合测量。结果见图 3, 图中高频 (1MHz) C-V 曲线光滑, 无明显畸变, 呈现典型的积累、耗尽、反型区域。曲线刚从积累区到耗尽区的下降较陡峭, 是因为外延硅薄层的电阻率较高, 且层厚很薄, 随着偏置电压向负方向增大, 半导体的空间电荷区已穿过外延硅薄层 n⁻-Si 和衬底硅 n-Si 的界面到达电阻率较低的衬底区。强反型区的最小电容数值由衬底硅的掺杂浓度来确定。经理论计算最小电容约为 32pF , 而实验测量为 28pF , 与理论值基本相符。这说明该 MOS 结构能够由偏压调制实现积累、耗尽直至强反型, 并没有出现因 SiO_2/n^- -Si 和 n⁻-Si/n-Si 两个界面的界面态密度过高引起的费米能级钉扎现象。

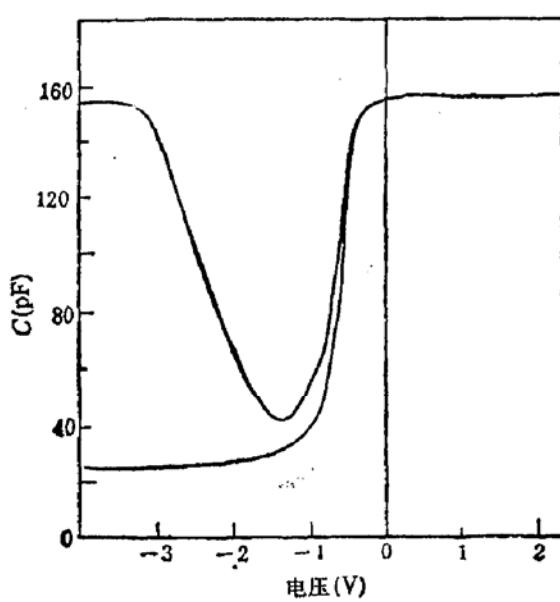


图 3 低温外延硅制备的 Al- SiO_2 -Si MOS 结构的高频 C-V 与准静态 C-V 联合测量曲线

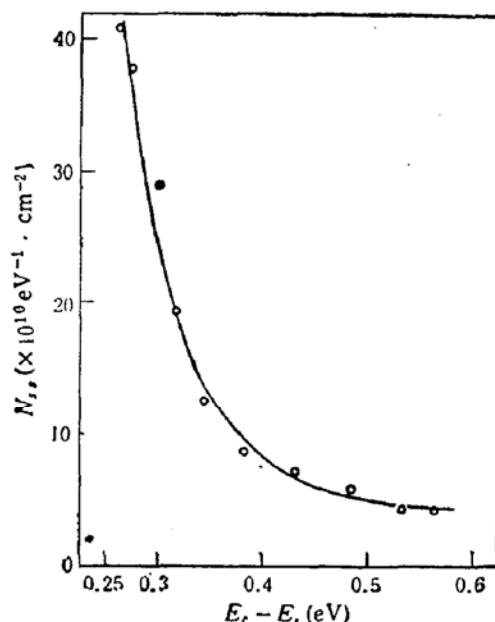


图 4 低温外延硅 MOS 结构的界面态密度随能量的分布

高频 C-V 曲线的平带电压 V_{FB} 约为 -0.46V , 而计算得功函数差 ϕ_{MS} 约为 -0.41V , 由公式 $Q_f = -\frac{C_{ox}}{q}(V_{FB} - \phi_{MS})$ 可以估算出氧化层 (包括界面) 的陷阱电荷为正电荷, 且其密度约为 $1.4 \times 10^{10}\text{cm}^{-2}$; MOS 结构的正向耐压大于 30V 以上, 可以估算出 SiO_2 的击穿场强大于 $2 \times 10^6 \text{V/cm}$ 。这些结果说明了氧化层 (包括界面) 质量是良好的。

准静态 C-V 与高频 C-V 特性联合测量可定量地获得界面态密度数值 N_{ss} 及其随禁带能量的分布 $N_{ss} \sim E_s$ 关系。

由所测联合曲线计算了^[1]从平带到刚反型区域的 $N_{ss} \sim E_s$ 分布曲线，在计算中，为了简便，假设偏压过了平带后，空间电荷层已进入 n-Si 衬底，掺杂浓度 N_D 用 n-Si 衬底的数据。计算结果见图 4。图中界面态密度的分布与一般典型硅 MOS 结构的 U 型分布相同，禁带中央最低，最低数据为 $4.2 \times 10^{10} \text{ eV}^{-1} \cdot \text{cm}^{-2}$ 。由于外延层很薄，这里界面态数据实际上包括了 $\text{SiO}_2/\text{n}^+/\text{Si}$ 和 $\text{n}^+/\text{Si}/\text{n}-\text{Si}$ 两个界面的综合效果。界面态密度低说明了在这两个界面上结构缺陷及杂质沾污少，悬挂键密度较低，外延硅层成核均匀，生长致密。

三、结 论

(1) 扩展电阻测量表明：以 RRH/VLP-CVD 技术淀积的低温外延硅层杂质分布均匀，与衬底间的界面过渡区宽度窄(当外延层厚 $3 \mu\text{m}$ 时，宽度约为 $0.15 \mu\text{m}$)，随外延生长时间的加长其宽度增加不明显，应用该技术可获得界面杂质分布相当陡峭的亚微米、微米硅单晶薄层。

(2) 以 60 keV 的注入能量和 $1 \times 10^{14} \text{ cm}^{-2}$ 的注入剂量对低温外延硅层注入硼离子，退火激活后测得空穴的霍耳迁移率为 $91 \text{ cm}^2/\text{V} \cdot \text{s}$ ，漂移迁移率为 $77 \text{ cm}^2/\text{V} \cdot \text{s}$ ，载流子浓度为 $5 \times 10^{18} \text{ cm}^{-3}$ 。这结果与通常优质高温外延硅单晶的结果一致。

(3) 用离子注入法在低温外延硅上制备的 PN 结合面二极管，其 $I-V$ 特性的正向电流导通情况正常，反向漏电流小，在 -10 V 以内没有软、硬击穿现象，低压下电流上升斜率大，与优质商品二极管的 $I-V$ 特性极为相近。

(4) 以低温外延硅为衬底的 $\text{Al}-\text{SiO}_2-\text{Si}$ MOS 结构，经高频 $C-V$ 和准静态 $C-V$ 测量，其高频 $C-V$ 呈现典型的积累、耗尽、反型区域，平带电压小，氧化物陷阱电荷密度低，界面态密度最低达 $4.2 \times 10^{10} \text{ eV}^{-1} \cdot \text{cm}^{-2}$ ，MOS 电容击穿场强大于 $2 \times 10^6 \text{ V/cm}$ ，显示了良好的界面电学特性。

以上实验和分析表明了 RRH/VLP-CVD 低温外延硅薄膜具有良好的材料性质和电学性质，并已具有制造结型、场效应型半导体器件的实用价值。

本文中的扩展电阻测量、低电压下的 $I-V$ 特性测量和硼离子注入得到南京电子器件研究所测试组和东南大学半导体教研室协助，在此表示衷心感谢！

参 考 文 献

- [1] T. J. Donahue and R. Reif, *J. Appl. Phys.*, 57(8), 2757(1985).
- [2] W. R. Burger and R. Reif, *IEEE Electron Device Letters*, EDL-6, 652(1985).
- [3] W. R. Burger, J. H. Comfort, L. M. Garverick, T. R. Vew and R. Reif, *IEEE Electron Device Lett.*, EDL-8, 168(1987).
- [4] C. M. Gronet, C. A. King, *etc.*, *J. Appl. Phys.*, 61(6), 2407(1987).
- [5] C. A. King, C. M. Gronet, J. F. Gibbons and S. D. Wilson, *IEEE Electron Device Letters*, 9(5), 229(1988).
- [6] H. C. Liu, D. Landheer, M. Buchanan and D. C. Houghton, *Appl. Phys. Lett.*, 52(21), 1809(1988).
- [7] D. Meakin, M. Stobbs, J. Stoemenos and N. A. Economou, *Appl. Phys. Lett.*, 52(3), 1053(1988).
- [8] 李学宁、张焱、郑有炓等，亚微米硅单晶薄膜的 RLH/VLP-CVD 低温外延生长研究，第六届全国半导体集成电路、硅材料学术会议论文集，(1989)。
- [9] 叶良修编著，半导体物理学，§4.1，高等教育出版社(1984)。

- [10] 江若莲, 徐俊明, 郑有料等, 半导体学报, 6, 429(1985).
[11] M. Kuhu, *Solid State Electronic*, 13, 873(1970).

Electrical Properties of Epitaxial Silicon Films Deposited at Low Temperatures by RRH/VLP-CVD

Jiang Ruolian, Zheng Youdou, Ma Jinzhong, Feng Deshen, Jiang Ning,

Zhang Rong, Hu Liqun and Li Xuening

(Department of Physics, Nanjing University, 210008)

Abstract

The electrical properties of epitaxial silicon films deposited by a novel low temperature epitaxy technique ——“Rapid Radiant Heating/Very Low Pressure-Chemical Vapor Deposition (RRH/VLP-CVD)” have been developed. Spreading resistance analysis indicates that the distribution of dopant is uniform in epitaxial films and steep in interface region. Hall samples, P-N junction diodes and Al-SiO₂-Si MOS structures were fabricated on these films. The important data of these samples were measured to be comparable to those prepared on quality monocrystalline silicon. Results show that the RRH/VLP-CVD low temperature epitaxial films have good electrical properties and can be used for device fabrications.