

多晶硅发射极晶体管的集电区补偿注入技术

何美华 张利春 王阳元

(北京大学微电子学研究所 北京 100871)

摘要 本文提出了一种新的提高多晶硅发射极晶体管和电路速度的方法,通过对器件外基区下对应的外延层区域进行离子补偿注入,降低相应外延层中的净掺杂浓度,有效地减小了外基区-集电区单位面积的集电结电容,有利于器件和电路速度的提高。由于内基区下对应的外延层浓度不变,对器件的直流特性无不良影响。本文给出了补偿注入研究结果和器件特性。

EEACC: 2560J, 2550B

1 引言

高速晶体管是高速双极集成电路的核心器件。双极集成电路的延迟主要由三方面构成:(1)寄生电容引起的延迟,当工作电流增加时它引起的延迟减小;(2)基区渡越时间,当发生 Kirk 效应(基区扩展效应)时延迟会变大;(3)基区寄生电阻引起的延迟,它随电流的增加而增大。先进双极技术中广泛采用了多晶硅发射极、浅结薄基区、自对准硅化物、发射区基区侧墙氧化物隔离、器件深槽隔离等技术,大大减小了纵向结深和横向平面尺寸,提高了集成度和速度。

对于高速双极晶体管,除器件的发射区和基区有重要的影响外,集电区对晶体管的频率特性也有很重要的影响。随着器件的按比例缩小,集电极电流密度越来越大,使发生基区扩展效应的集电极电流下降,影响截止频率 f_T 的提高。为了避免基区扩展效应的发生和提高器件的电流驱动能力,需要按比例地提高集电区外延层的掺杂浓度,由此带来的一个问题就是单位面积集电结电容将会增加,使器件和电路速度下降。为解决这一问题,J. F. Ziegler 等人提出柱状集电区技术^[1],用于 3μm 厚外延层的双极器件制作中,主要用来克服大电流下的基区扩展效应。这种方法采用较高电阻率的外延层,向晶体管内基区下对应的外延层直接注入同种类型杂质,掺杂浓度控制在 10^{17} cm^{-3} 量级甚至更高。外基区对应的单位面积集电结电容较小,因而起到避免过早发生基区扩展效应和改善器件速度的目的。后来,这种方法经过改进用于 1μm 厚外延层中,并和各种自对准技术结合起来制造高速晶体管^[2]。由于这种

何美华 女,1967 年生,讲师,主要从事多晶硅发射极超高速双极器件和集成电路的设计、工艺和测试研究
张利春 男,1939 年生,教授,博士生导师,主要从事多晶硅发射极晶体管超高速双极集成电路和砷化镓电路工艺研究
王阳元 男,1935 年生,教授,博士生导师,主要从事多晶硅发射极晶体管超高速双极集成电路、SOI 超高速电路和小尺寸器件物理等方面的研究
1996 年 2 月 4 日收到初稿,1996 年 5 月 6 日收到修改稿

方法注入的区域恰好是对器件性能十分敏感的本征区域,因而注入的杂质浓度比外延层浓度高得多,对注入杂质的分布及损伤恢复的要求高。此外,在高掺杂衬底上制备高阻超薄外延层也比较困难。我们提出了一项高能量离子注入局部补偿集电区的新方法,通过对器件外基区下对应的外延层区域进行离子补偿注入,降低相应外延层中的净掺杂浓度,有效减小单位面积集电结电容,从而达到提高器件和电路速度的目的。本文实验研究了集电区补偿注入分布,制作了高速集电区补偿注入晶体管,结果表明集电区补偿注入技术对提高器件和电路速度有显著作用。

2 集电区补偿注入技术的实验研究

我们采用 $\langle 100 \rangle$ 晶向的N外延/ N^+ 埋层/ P^- 衬底,制作多晶硅发射极NPN集电区补偿注入高速晶体管,如图1所示。器件为单层多晶硅自对准结构,发射极引线孔从场区上引出,采用了发射区基区间的侧墙氧化物隔离,减小了器件横向尺寸。由于基区孔直接开在外基区上方,受光刻机精度条件的限制,外基区面积仍然比较大,为内基区面积的7倍左右。对外基区下对应的外延层区域进行离子补偿注入,可有效减小整个集电结电容,而晶体管的本征区域不受影响。

N型外延层厚度为 $1.5\mu m$,浓度为 $3 \times 10^{16} cm^{-3}$ 。发射区结深为 $0.15\mu m$,内基区结深为 $0.3\mu m$,外基区结深为 $0.4\mu m$ 。为了对外基区下外延层进行补偿注入,我们选择了硼离子,要求硼离子从外基区到埋层之间有一个浓度略小于外延层浓度的平台分布。为形成这样的分布,需要几次不同能量硼离子注入,经退火叠加形成,退火的温度、时间应根据晶体管各纵向结深的要求而定。

用北京大学技术物理系的 $2 \times 1.7 MeV$ 串列静电加速器进行了硼离子注入实验,为了便于浓度测量,选用 $40\Omega \cdot cm$ 的高阻N型单晶衬底。由于所使用的加速器系统的最低注入能量为 $530 keV$,其平均射程为 $1.2\mu m$,要使硼离子分布距硅表面 $0.3\mu m$,在硅上必须有一个过渡层。为此,我们在硅表面沉积了约 $950 nm$ 厚的二氧化硅。单能量的硼离子注入实验结果表明,能量为 $531 \sim 1800 keV$,剂量为 $1 \times 10^{11} \sim 1 \times 10^{12} cm^{-2}$ 量级时,浓度峰值为 $1 \times 10^{16} cm^{-3}$ 量级,峰位距硅表面 $0.29 \sim 1.24\mu m$,分布形态为Pearson-I分布,前沿较缓,后沿较陡,分布对称性差。在相同注入能量下,和剂量大于 $1 \times 10^{13} cm^{-2}$ 的注入相比,平均射程小得多。

根据单能量实验的拟合结果,选择合适的能量剂量进行计算机模拟,使之叠加、退火后满足预期的平台分布。注入时按照能量由大到小的顺序注入,否则高能量注入经过较低能量注入的高损伤区,分布会和其单能量注入的分布不一样。我们用四次不同能量、剂量的硼离子注入,经 $1000^\circ C$ 、15分钟的炉退火,得到了浓度为 $2.7 \times 10^{16} cm^{-3}$, $0.4 \sim 1.5\mu m$ 的平台分布,计算机模拟的四次硼离子注入经退火后载流子分布和扩展电阻法测得的载流子分布如图2所示,用于补偿 $3 \times 10^{16} cm^{-3}$ 的外延层非常合适。表1给出了四次注入的能量、剂量及分布参数。

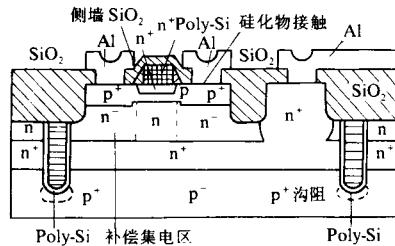


图1 离子注入局部补偿集电区
晶体管的横截面示意图

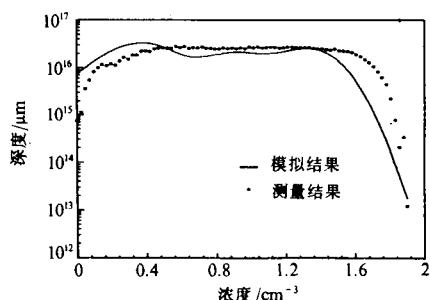


图 2 多能量硼离子注入载流子分布的计算机模拟结果和测量结果

由于 $2 \times 1.7\text{MeV}$ 串列静电加速器的注入能量太高, 我们还在中国科学院半导体所的 650keV 的离子注入机上做了类似实验, 结果表明, 能量范围为 $100\sim 650\text{keV}$ 时, 射程分布基本满足要求, 硅表面不需要过渡层。我们用四次不同能量、剂量的硼离子注入得到了所需要的平台分布。对集电区补偿注入而言, 本征晶体管集电区不需要补偿注入, 因而在作补偿注入时本征晶体管区需要掩蔽。金属钨具有原子质量大, 掩蔽注入的能力强, 易于溅射和刻蚀等优点, 我们选择了钨作为掩蔽层, 溅射 $0.6\mu\text{m}$ 的钨可以有效地掩蔽 650keV 的硼离子注入。

表 1 形成平台分布的能量、剂量值及分布参数^{*}

能量/keV	剂量/ cm^{-2}	平均射程/ μm	射程偏差/ μm	偏斜度 γ	峭度 β	峰位(距硅表面)/ μm	浓度峰值/ μm
1800	1.32×10^{12}	2.209	0.204	-1.32	5.56	1.40	3.22×10^{16}
1400	8.24×10^{11}	1.736	0.192	-0.89	3.50	0.90	1.91×10^{16}
1100	3.43×10^{11}	1.360	0.130	-0.53	2.46	0.49	1.03×10^{16}
817	9.58×10^{11}	1.285	0.119	-0.43	2.21	0.47	3.08×10^{16}

* 注: Si 表面淀积了一层 950nm 厚的 SiO_2

3 自对准离子注入局部补偿集电区晶体管特性

将离子注入局部补偿集电区技术应用到单层多晶硅自对准的双极工艺技术中, 研制出适用于高速双极集成电路的 NPN 晶体管, 如图 1 所示。它在结构和工艺设计上有以下特点:(1)多晶硅发射极;(2)浅结、薄基区, 发射区结深 $0.15\mu\text{m}$, 基区宽度为 $0.15\mu\text{m}$;(3)内外基区连接注入, 提高器件性能的均匀性和稳定性;(4) $2\mu\text{m}$ 宽、 $5\sim 6\mu\text{m}$ 深的深槽隔离;(5)宽度约 $0.3\mu\text{m}$ 的发射区基区侧墙氧化物隔离, 减小了晶体管的横向尺寸;(6)多晶硅发射区不紧靠场区氧化隔离墙, 减小了 B-E 结漏电, 提高了 C-E 穿通电压;(7)采用了先进的钴硅化物工艺, 该硅化物具有电阻率低、稳定性好、能选择腐蚀和不易干法腐蚀等优点, 因而能自对准地形成多晶硅化物和单晶硅化物, 显著减小了发射区和基区串联电阻;(8)多晶硅发射极和补偿注入集电区是自对准形成的。和一般单层多晶硅的双极工艺相比, 不同之处在于集电区的离子补偿注入, 即多晶硅淀积及注砷后, 溅射钨掩蔽层, 用多晶硅发射区光刻版光刻, 刻蚀钨和多晶硅, 进行外基区下外延层的多能量的硼离子补偿注入, 再腐蚀掉钨掩蔽层, 从而自对准地形成多晶硅发射极和补偿注入集电区。

用 HP4145B 半导体参数分析仪测试晶体管的直流特性, 图 3 给出了自对准离子注入局部补偿晶体管的 Gummel 图。结果表明, 经集

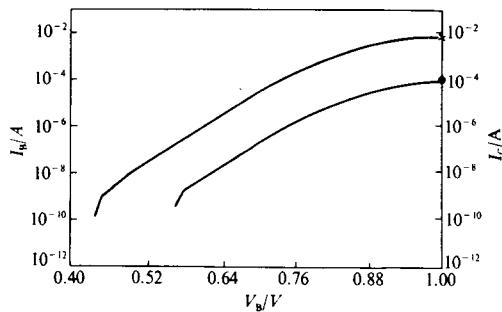


图 3 自对准离子注入集电区局部补偿晶体管的 Gummel 图

电区补偿注入过的晶体管直流特性优良,说明高能量的硼离子补偿注入引起的损伤足够小,对晶体管的直流特性无不良影响。晶体管的结电容用 HP4192A 低频阻抗测试仪精确测量。我们对集电区补偿过的晶体管和未补偿过的晶体管进行对比,因实验中补偿度不同,集电结电容的下降率从 10%~32%。集电结电容的下降使集电区的电容电阻充放电时间减小,对提高器件的截止频率有益。表 2 为测得的发射区面积为 $2 \times 10 \mu\text{m}^2$ 的集电区补偿晶体管的参数。截止频率 f_T 用 S 参数分析仪测得, $V_{CE}=5\text{V}$ 时最大截止频率为 5.1GHz。用直流参数基本一致的一般自对准单层多晶硅发射极晶体管和离子注入局部补偿集电区晶体管相比较,后者的集电结电容下降了约 15%, $V_{CE}=3\text{V}$ 时前者最大截止频率为 3.3GHz,后者最大截止频率为 4.2GHz,有了明显提高。

表 2 离子注入局部补偿集电区晶体管电学参数表

β	R_E/Ω	R_B/Ω	R_C/Ω	C_{BE}/fF	C_{BC}/fF	V_{EBO}/V	V_{CBO}/V	V_{CEO}/V	f_T/GHz
95	10	280	29	60	68	5	22	8	5.1

为了检验集电区补偿注入技术对电路速度的影响,我们还使用 Valid 工作站的 AWB 软件对五级环振进行了 SPICE 模拟。显然,对 5 级 ECL 环振,每一级反相器的延迟为环振振荡周期的 1/10。环振电源电压为 -4.5V,参考电压源 $V_{BB1}=-1.2\text{V}$, $V_{CS2}=-2.8\text{V}$ 。或非门的开关电流设计值为 3mA,射极跟随器的电流设计值为 2.5mA。晶体管模型采用 GP 模型,它的一个特点是考虑了集电结电容的分布性能。对我们制作的单层多晶硅自对准的高速晶体管进行了参数测量和提取,得到主要的模型参数。

根据模拟结果,内基区对应的集电结电容为 11fF、外基区对应的集电结电容从 77fF 下降到 37fF 时,环振门延迟由 132ps 下降到 102ps。即当集电区净掺杂浓度下降为原来的 1/4 时,集电结电容为原来的 1/2,环振门延迟比原来下降了 23%。可见,当光刻条件一定的情况下,不改变晶体管的横向尺寸,采用集电区补偿注入技术可使电路速度提高,ECL 环振门延迟减小。

4 结论

集电区补偿注入技术提供了一种可有效提高双极晶体管和电路速度的新方法,该方法有效地减小了外基区对应的集电结电容,提高器件速度,而晶体管直流特性不受影响。该技术用于单层多晶硅自对准的双极工艺中,测试结果表明,经集电区补偿注入后,晶体管的直流特性优良,集电结电容下降,单位增益截止频率提高。在掺杂补偿度不太高的情况下,集电结电容下降了 15%, $V_{CE}=3\text{V}$ 时,截止频率从 3.3GHz 提高到 4.2GHz。SPICE 模拟结果表明,能减小 ECL 环振的单门延迟时间。特别是在光刻精度有限,外基区面积比较大时,该方法具有良好的应用前景。

致谢 作者对北京大学微电子所工艺实验室全体同志的大力协助和北京大学技术物理系赵渭江教授的技术指导表示衷心的感谢。

参 考 文 献

- [1] J. F. Ziegler *et al.*, Experimental evaluation of high energy ion implantation gradients for possible fabrication of a transistor pedestal collector, IBM J. Res. Develop., 1971, 452~456.
- [2] M. Sugiyama *et al.*, A 40GHz f_T Si bipolar transistor LSI technology, IEDM, 1989, 221~224.

Collector Compensative Ion-implantation Technology for Polysilicon Emitter Transistors

He Meihua, Zhang Lichun and Wang Yangyuan

(Institute of Microelectronics, Peking University, Beijing 100871)

Received 4 Febrary 1996, revised manuscript received 6 May 1996

Abstract A new method to improve the speed of polysilicon emitter transistors and circuits has been proposed in this paper. By compensative ion-implantation in the epitaxial area under extrinsic base, we have decreased the net doping concentration of this epitaxial area, thus reduced the B-C junction capacitance and collector R-C charge and discharge time. The epitaxy doping concentration under intrinsic base is unchanged, so the DC characteristics of polysilicon emitter transistors is unaffected. The investigation results of compensative ion implantation and device characteristics have also been presented.

EEACC: 2560J, 2550B