

单片集成智能化生理型心脏起搏器 数字控制单元^{*}

洪志良 陈群伟 丁江 方祖祥

(复旦大学电子工程系, 上海, 200433)

1990 年 10 月 24 日收到, 1991 年 4 月 24 日修改定稿

智能化生理型(DDD)心脏起搏器数字控制单元通过检测心房、心室信号的输入来产生或抑制心房、心室的刺激脉冲输出。它具有心房同步及房、室双按需的功能, 自适应起搏的功能, 并具备早搏刺激的手段以终止阵发性心动过速的功能。本文介绍了该起搏器的功能、逻辑设计与分析、计算机辅助逻辑验证、版图生成、工艺流程及芯片测试的整个过程。电路的时钟频率为 32kHz, 芯片面积为 $6.22 \times 4.60 \text{ mm}^2$, 规模为 1200 个等效门, 共有 39 个压焊脚。

一、引言

心脏病是危害人类的一种严重疾病。心脏病猝发率高, 难于预测其发病时间。为了防止心脏病, 十几年来, 世界范围内研究刺激仪和起搏器, 分别用于体外和体内, 来消除病人痛苦, 使心率恢复到正常。

最早的起搏器是按需式的, 即 VVI 型, 这种起搏器我们已应用到病人身上多例, 国内已有批量生产。八十年代, 国际上又研制成功更高性能的 DDD 起搏器和程控起搏器。我们根据医学电子学研究室设计的电路进行单片集成^[1,2], 为埋藏式 DDD 心脏起搏器作好芯片准备。本文在以下几节逐个介绍起搏器数字控制单元的电路功能、计算机辅助设计、流片、测试和应用。

二、电路功能描述

DDD 心脏起搏器数字控制单元是一个多功能系统, 它通过对心房、心室信号的感知和室早的判断来产生激励信号。图 1 表示了整个系统的工作流程。

(一) 基本功能的实现

在工作过程中, 房室间期(AVP)和室房间期(VAP)是两个重要的时间间隔。分别称之为延迟期和逸搏期。前者在心房感知或心房起搏后产生, 结束时触发心室起搏, 体现了心房同步的功能。但感知的心室信号可提前使其结束并抑制心室刺激脉冲, 显示了心室

* 上海市自然科学基金资助。

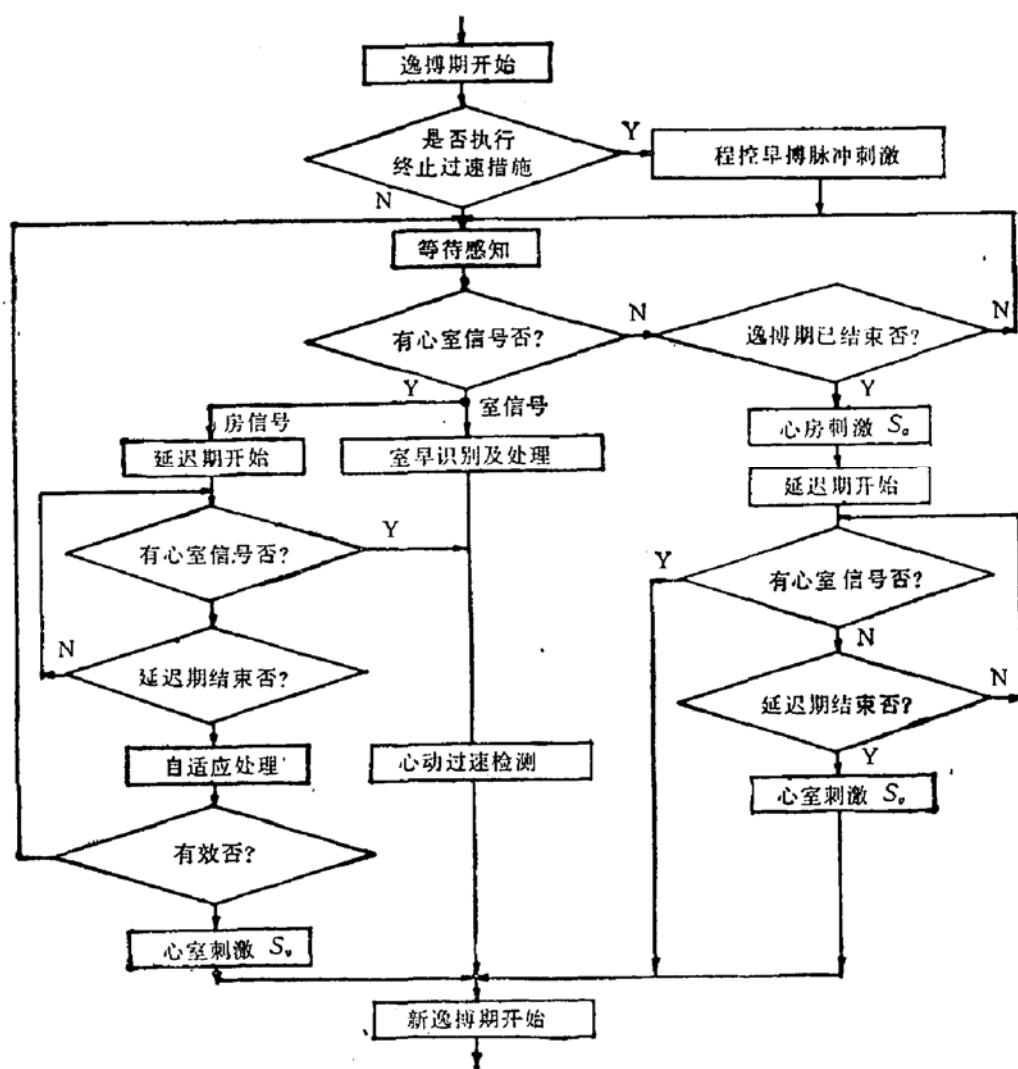


图1 智能化生理型(DDD)心脏起搏器的工作流程

按需的特性。后者在心室感知或心室起搏后产生,结束时对心房加以刺激,这使得起搏系统以周期性方式工作。同样,感知的心房信号可以使其提前结束并抑制房刺激脉冲,而心室感知则使其延长,说明了房、室具有双按需的功能。

(二) 性能的改善

1. 早搏判据及心动过速的检测

早搏判据的内容是:

设 T_n 为第 n 次心动间期, PCP_n 为相应的早搏门限, HRP 为临界快速心动间期, 则判决如下:

(1) 当 $T_n < PCP_n$ 时,认为第 n 次心动属早搏。

(2) 若同时满足:

$$\begin{cases} T_{n+i} < PCP_{n+i} \quad (i = 1, 2, \dots, 6) \\ T_{n+i} < HRP \end{cases}$$

则认为第 n 次心动以后出现阵发性心动过速,将采取终止过速措施。门限的递推变

换为：

$$PCP_n = \begin{cases} \frac{1}{2}T_{n-1} + k & (\text{当 } T_{n-1} \geq PCP_{n-1} \text{ 时}) K \text{ 为固定常数} \\ PCP_{n-1} & (\text{当 } T_{n-1} < PCP_{n-1} \text{ 时}) \end{cases}$$

根据临床数据，实际采用： $HRP = 500\text{ms}$, $k = 160\text{ms}$.

2. 自适应处理

通过设置动态相对房反拗期(ARARP)来实现心室起搏率对心房率自适应跟踪。即在窦律升高时室率也随之增加，而在阵发性房速时室率受到限制(分频) ARARP 的定义如下：

$$ARARP_n = \begin{cases} \text{MAX}(HRP, PCP_{n-1}) & (\text{当 } PCP_n > HRP \text{ 时}) \\ PCP_n & (\text{当 } PCP_n \leq HRP \text{ 时}) \end{cases}$$

(1) 在正常心率下， $ARARP_n$ 随着房率的增加而缩短。

(2) 在任何心率下，只要判为早搏， $ARARP_n$ 均锁定不变，直至恢复正常。显然，凡落入 $ARARP_n$ 范围内的房信号都属于早搏，再加上 $ARARP_n$ 的锁定，导致室起搏率的分频，限制了室率的增加。

3. 室早的处理

判别：心室感知前无心房感知，则认为产生室早。

处理方式：判为室早后起搏器产生“室早后房反拗期 PV,ARP”，其长度等于当前的动态相对房反拗期。

4. 心动过速的终止

采用“心室同步心房程控早搏刺激”来终止各种阵发性心动过速。采用“对分”扫描法寻找心动过速的终止“窗口”。当连续六次感知室信号，即判为心动过速，采取终止过速的措施，连续输出三个刺激脉冲，以终止心动过速，脉冲的位置为：

$$T_0, T + (m + n)\Delta T, T + (m - n)\Delta T \quad (m = 0, 1, \dots, 5) \\ (n = 0, 1, \dots, m)$$

其中 T_0 为早搏刺激的定时变量， T 为当前心动间期 $T_n + \delta$, ΔT 为搜索步长。

(三) 保护措施和辅助措施

1. 通过设置房反拗期(ARP)和室反拗期(VRP)，抑制出现在这两个感知通道中的干扰信号。

2. 设置屏蔽期(SBP)避免任一通道输出的大幅度刺激脉冲被另一通道感知。

3. 设置干扰检测期(NDP)使任一感知通道输入端出现高频干扰时，此通道转为固定频率起搏。对于房通道，凡持续时间大于 100ms 的房输入信号，均认为是干扰，不触发心室起搏，除非此时起搏器逸搏期已过。

4. 采用脉冲宽度与工作电压有关的 RC 振荡器来产生起搏脉冲，并通过“磁频率”来了解电源的消耗。

三、电 路 设 计

智能化生理型(DDD)起搏器逻辑控制电路结构的总体框图见图2。系统启动后，若无输入信号，则始终处于工作状态的室通道定时器在逸搏期结束后通过房通道输出门产生触发脉冲 A_t 。起搏脉冲 S_v 形成前， A_t 又经过房通道输入门将信号标志 A_{if} 置位。 A_{if} 启动房定时器产生延迟的室触发脉冲 V_t 。同样，起搏脉冲 S_v 形成前， V_t 通过室通道输入门使室通道定时器复位，开始新的逸搏期，与此同时，室通道定时器输出的复位信号 RET 使房通道定时器停止工作。有输入信号 $A_i(V_i)$ 时，其处理过程与触发脉冲 $A_t(V_t)$ 是相同的。但此时 A_i 关闭了房通道输出门，抑制了 S_v ， V_t 则提前使房通道定

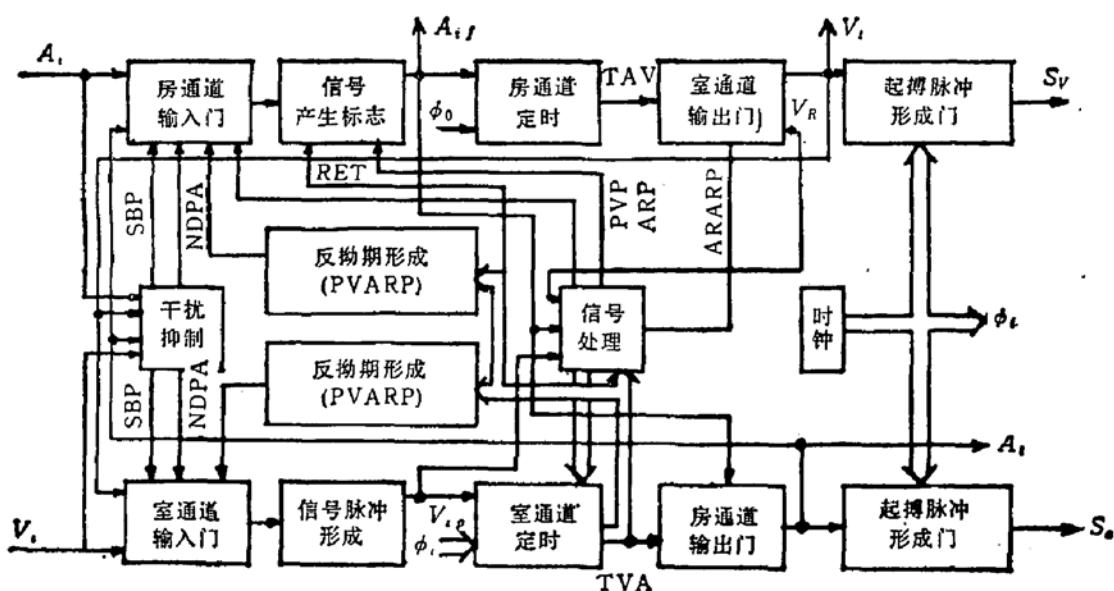


图2 起搏器逻辑控制电路的总体框图

时器复位，从而抑制了 S_v ，以上构成了 DDD 起搏方式。电路的时钟频率为 32kHz，经过 160 分频后作为工作时钟 ϕ_0 ，其周期约为 5ms。

(一) 室通道定时电路

室通道定时器不仅产生触发脉冲，还提供其它一些定宽脉冲，作为反拗期以及用于信号分析处理的各种门限。反拗期与抗干扰单元一起组成对输入通道的保护。其结构框图见图3。输入脉冲 V_{ip} 到来后，经过约 0.943125ms 延迟后产生复位脉冲 RET，使得室通道计数器从零开始计时。TVAR、TVR、THR 直接由计数器产生， $TVAR = 180\text{ms}$ ， $TVR = 300\text{ms}$ ， $THR = 500\text{ms}$ 。TRR、TPES、TVA、TPC、TPC' 由比较法产生。TPC、TPC' 在同一选通脉冲 C_1 上先后产生，定时长度为 $TPC = PCP$ ， $TPC' = PCP - k$ 。TVA 长度由参数 VAP 决定。TRR、TPES 长度由参数 TRR、TPES 决定。八位四路开关的选择是： $\phi_1\phi_2 = 00$ ，选择加法器的输出； $\phi_1\phi_2 = 01$ ，选择 TRR 参数的输出； $\phi_1\phi_2 = 10$ ，选择 TPES 参数的输出； $\phi_1\phi_2 = 11$ ，选择 VAP 参数的输出；

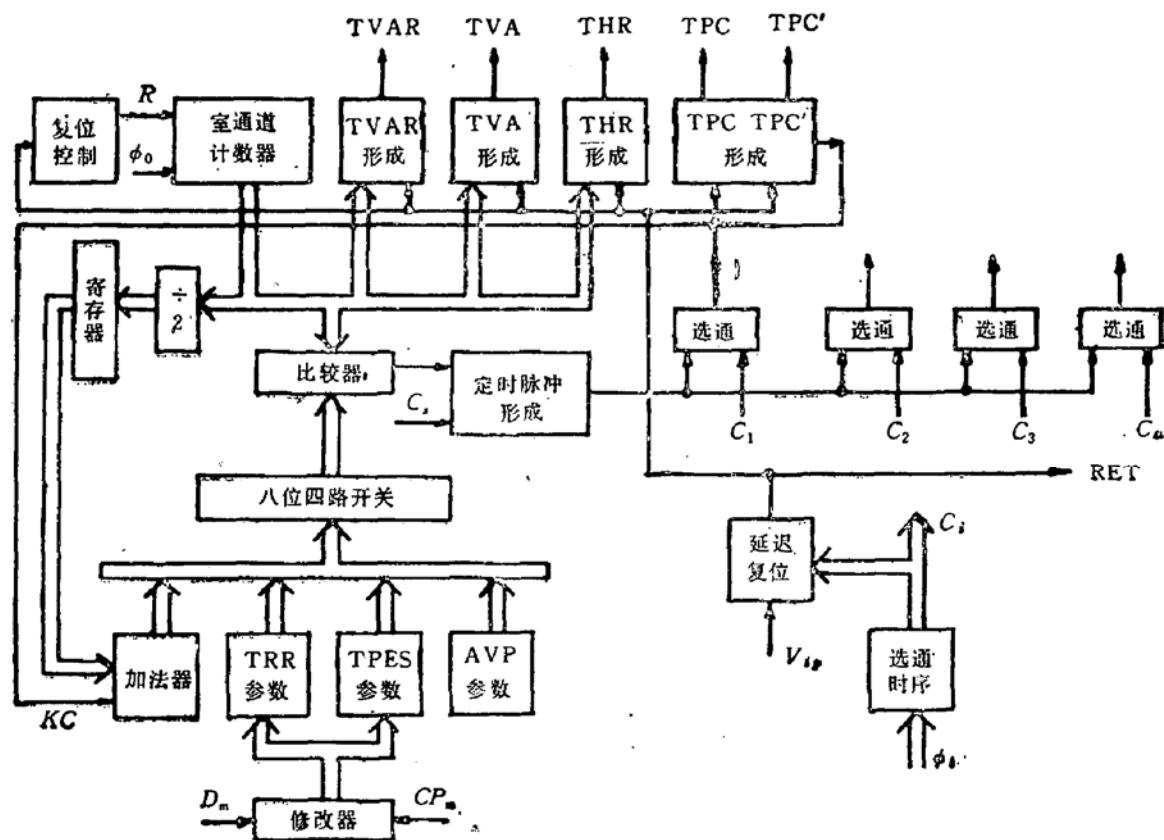


图3 室通道定时器的结构框图

(二) 房通道定时电路

房通道定时器仅产生触发脉冲 TAV 长度由参数 AVP 决定，其结构框图见图 4。输入标志 A_{if} 置位使房通道计数器开始计数； A_{if} 复位则使房通道计数器清零并停止工作。

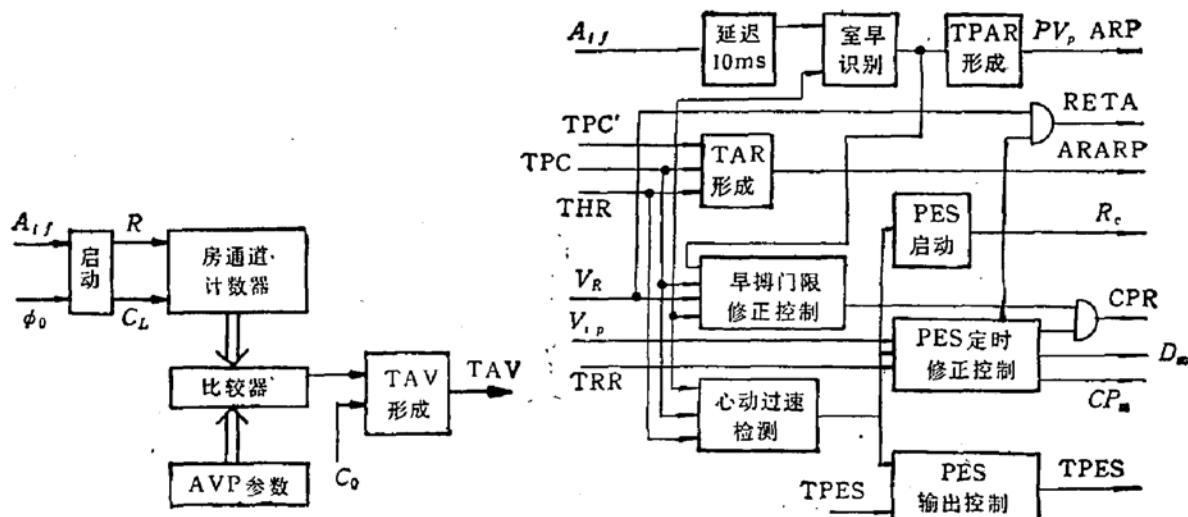


图4 房通道定时器的结构框图

图5 信号分析处理电路的结构框图

(三) 信号分析处理电路

信号分析处理部分的结构框图见图 5。由 TPC、TPC' 及 THR 组合成定宽脉冲 TAR，代替动态相对房反拗期 ARARP。室早后产生定宽脉冲 TPAR，作为“室早后房反拗期 PV_pARP”。用 TPC、THR 对室信号 V_{ip} 监视。当判为心动过速后，PES 启动：关闭房输入通道；缩短室反拗期；寄存带偏差的过速心动间期；开启 PES 输出允许。来自室通道定时器的 TPES 便可通过而触发房起搏。随后进行效果检测和定时修正，以准备下次的 PES 输出。心动过速未终止时，每隔六次心动输出一次 PES 脉冲。

(四) 干扰抑制电路

干扰抑制实质上是产生定宽脉冲 T_nA、T_nV、TSB，分别象征噪声检测期 NDP 和屏蔽期。其结构框图见图 6。其中 A_i、V_i 为 T_nA、T_nV 的起始点，A_t 和 V_t 则是 TSB 的起始点。噪声计数器在任一脉冲起始时开始工作直至定宽结束。A_i 仅产生 T_nA，并可使其延长，V_i 则同时产生 T_nA、T_nV，也可使其延长。

(五) 输出脉冲形成电路

采用晶振分频信号作为输出脉冲。触发脉冲发生后，立即用 RC 振荡器代替晶体振荡器。起搏脉冲输出后，又恢复晶体振荡器工作并停止 RC 振荡。其结构框图见图 7。

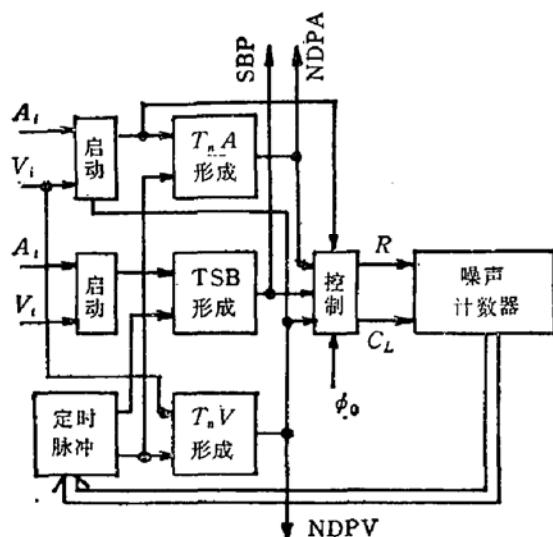


图 6 干扰抑制电路的结构框图

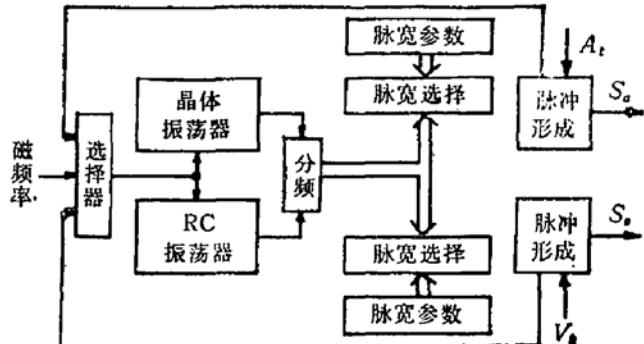


图 7 输出脉冲形成电路的结构框图

四、计算机辅助模拟和版图生成

(一) 计算机辅助电路模拟

利用北京集成电路设计中心 VENUS 系统对设计的电路进行逻辑验证和版图生成。由于时间和存储空间的限制，分块进行模拟，共分三步：

1. 基本功能的模拟

这部分包含四种功能①房、室通道均无输入信号，则输出起搏脉冲 S_a 、 S_v ；②房、室通道均有正常的输入信号，则无起搏脉冲输出；③房通道有输入信号而室通道有延迟的输入信号，则有起搏脉冲 S_v 输出，而无 S_a 输出；④在感知室信号时无房输入信号（室早），则有起搏脉冲 S_a 输出，而无 S_v 输出。结果正确。

2. 心动过速终止的功能模拟

这部分模拟了当房心动过速时，室率受到限制；当室出现阵发性心动过速时，连续六次感知室信号后，连续输出三个刺激脉冲，以终止心动过速。结果正确。

3. 抑制干扰的功能模拟

这部分包含三个功能①当房通道出现高频干扰，而室通道有信号时，则有起搏脉冲 S_v 输出，而无 S_a 输出；②室通道无输入信号，房通道有干扰，但此时逸搏期已过，则有起搏脉冲 S_v 输出，而无 S_a 输出；③室通道出现高频干扰，房通道有信号，则此时系统进入固定频率工作，输出起搏脉冲 S_a 、 S_v 。结果正确。

（二）版图自动生成

版图由机器自动生成，结果只有两条线没有布通。在交互方式下人工布线后连线全部走通。版图经过人工检查和计算机电路的 ERC 检查，发现有三处错误，均是电源与地短接。经过人工修改后，版图才最后完成。版图生成后，还进行了基本功能的带连线延迟的模拟，结果仍然正确。

（三）芯片的一些基本参数

内部面积： $5.26 \times 3.64 \text{ mm}^2$

实际面积： $6.22 \times 4.60 \text{ mm}^2$ （包括管脚）

等效门：1200

压焊脚：39

五、工 艺 流 程

本电路采用单层金属布线 P 阵 CMOS 工艺制备，其中有掩膜版十块，它们是：

版 号	名 称	阳/阴
M_1	P 阵	阳
M_2	有源区	阴
M_3	场注入 N 管阈值电压调整	阳
M_4	场注入 P 管阈值电压调整	阴
M_5	多晶硅	阳
M_6	硼注入	阳
M_7	磷注入	阴
M_8	引线孔	阴
M_{10}	铝线	阳
M_{11}	钝化	阳

在3英寸流水线上一次流片成功，芯片成品率为20%左右。芯片照片(见图版I)。

六、芯片测试

以逻辑电路模拟时使用的激励文件和模拟结果为依据，编写测试码和测试程序。预制芯片测试探针架一台。先在5V电源电压条件下测试，将部分合格芯片进行塑封，然后进行终测，再在实际低电源电压2.5V、单电源供电下测试，每个器件静态电流小于0.1μA，所有功能符合，性能达到要求。

七、应用

用集成DDD起搏器塑封器件替代原来采用中小规模的二块数字控制板，制成了体外刺激仪。它具有DOO、DAT、DVI、DDD、VOO、VAT、VVI、VDD、AOO和AAI等十种起搏模式，起搏频率(次/分)有50、55、60、65、70、80、90、100、115和135等十档。体外刺激仪经几个月地试用，性能可靠。体外刺激仪可以用在医院门诊治疗心脏病病人。

如果采用硅胶固封技术进行混合集成，就能用已集成的数字控制单元和模拟单元，配置厚膜电阻等，就能制备埋藏式体内起搏器，在进行动物测试和国家检验后，可以植入人体使用。因此它具有广泛的应用前景和经济效益。

本项目是利用北京集成电路设计中心VENUS系统设计的，在无锡华晶集团中央研究所制备和测试芯片，费用得到了上海市自然科学基金支持，在此表示衷心的感谢。

参考文献

- 【1】丁江，复旦学报，26，408(1987)。
- 【2】洪志良、丁江、方祖祥等，“An Integrated Master-Slave Pulse Generator” the Proceedings of the Second International Conference on Solid State and Integrated Circuit Technology, Beijing, 1989, pp. 535—536。

Monolithic Integrated Digital Unit of Intelligent Physiological (DDD) Pacemaker

Hong Zhiliang, Chen Qunwei, Ding Jiang and Fang Zuxiang

(Electrical Engineering Department of FuDan University, Shanghai, 200433)

Abstract

The digital unit of the Intelligent Physiological (DDD) Pacemaker generates or inhibits the pulses used to stimulate the atrium and ventricle by sensing the intracardiac signals from these chambers. It has multi-functions and is characteristic of atrial synchronization, double sensing and stimulating, auto-adaptive pacing, and paroxysmal tachycardia termination by programmable extra-stimulation (PES). This paper discusses the pacemaker's functions, circuit design and analysis, computer aided logical verification, layout generation, implementation in 3 μm CMOS technology and testing. The circuit operates under a clock of 32 kHz. This chip, which has 1200 equivalent gates, occupies $6.22 \times 4.60 \text{ mm}^2$ including 39 I/O pads.