

# TiSi<sub>2</sub>/n<sup>+</sup>poly-Si 复合结构热处理对磷再分布及 RIE 的影响

徐秋霞 周锁京 赵玉印

(中科院微电子中心研究部, 北京, 100010)

1990 年 8 月 8 日收到, 1991 年 6 月 18 日修改定稿

本文对热处理过程中多晶硅中掺杂磷在 TiSi<sub>2</sub>/n<sup>+</sup>poly-Si 复合结构中的再分布行为和产生原因及其对 RIE 刻蚀的影响进行了系统的研究, 提出了抑制高掺杂多晶硅中磷外扩散的方法和微图形形成应在退火前完成的建议。研制成的沟道长度为 0.6 μm 的 TiSi<sub>2</sub> polycide 结构 LDD NMOSFET'S 性能优良。

## 前 言

在 1 μm VLSI 中, 常用 polycide 复合结构代替重掺杂多晶硅克服尺寸按比例缩小后多晶硅电阻增大对 VLSI 电路性能的限制。在难熔金属硅化物中, TiSi<sub>2</sub> 具有最低的电阻率 (~20 μΩ·cm), 并有较低的形成温度 (~800°C), 因此 TiSi<sub>2</sub> polycide 复合结构被认为在 4 MDRAM 以上集成中具有重要的应用前景<sup>[1,2]</sup>。在实际应用中, 为获得可重复的平带电压, polycide 结构中的多晶硅必须是重掺杂的。我们发现, TiSi<sub>2</sub> polycide 复合结构中的多晶硅膜的薄层电阻在退火及以后的热加工过程中会急剧增高。一些作者<sup>[3,4]</sup>对 WSi<sub>2</sub> 和 TaSi<sub>2</sub> polycide 等报道过类似的结果。这将带来一些问题, 如 i) 多晶硅中磷浓度的明显减少将影响它的功函数, 引起 MOSFET'S 阈值电压漂移, 也使栅电阻和互连电阻增加; ii) 多晶硅在 Cl 基和 F 基中的反应离子腐蚀速率强烈地随磷浓度的降低而下降, 这将严重影响 TiSi<sub>2</sub>/n<sup>+</sup>poly-Si 复合结构腐蚀剖面的各向异性及多晶硅对下层 SiO<sub>2</sub> 的腐蚀选择比。

为控制在器件制造中复合结构的上述性质, 本文详细地对热处理过程中磷在 TiSi<sub>2</sub>/n<sup>+</sup>poly-Si 复合结构中的再分布行为和产生原因及其对 RIE 刻蚀的影响进行了系统的研究, 提出了抑制高掺杂多晶硅层中磷外扩散的方法和微图形的 RIE 在退火前完成的建议。研制成的沟道长度为 0.6 μm 的 TiSi<sub>2</sub>/n<sup>+</sup>poly-Si 复合栅 LDD NMOSFET'S 性能良好。

## 实 验

### 1. 样品制备

在抛光硅片上热生长薄 SiO<sub>2</sub> 层, 紧接着沉积 250 nm LPCVD 多晶硅, 磷掺杂, 使薄

层电阻为  $\sim 30 \Omega/\square$ 。在漂去表面氧化物后，采用  $TiSi_2$  复合靶，磁控溅射淀积 220 nm  $TiSi_2$  膜。部分样品表面再覆盖一层 600 nm 常压 CVD  $SiO_2$  膜。然后样品在 800—1000°C 范围内于高纯  $N_2$  中退火 30 分钟。实验中，微图形的形成采用典型的曝光方法，然后氟化处理，使正型胶表面与 F 基化学反应，形成一坚硬的外壳，保护微图形在烘烤过程中不形变。刻蚀采用 RIE 模式，腐蚀源选用  $SF_6-Cl_2$  混合气体，以利任意选取 F/Cl 比。

## 2. 测量分析

(1) 双层结构中的掺杂多晶硅薄层电阻的变化用四探针测量；(2) 腐蚀深度用  $\alpha$ -step 测量；(3) 用 SEM 观察双层结构界面形貌；(4) 用 SIMS 作复合结构的深度剖面分析，观察  $TiSi_2/n^+poly-Si$  复合结构中磷在退火过程中的再分布行为；(5) 用 SEM 对各类样品作腐蚀剖面分析。

## 结 果 与 讨 论

### 1. 磷在 $TiSi_2/n^+poly-Si$ 复合结构中的再分布

为分析复合结构中多晶硅膜的平均磷浓度随退火温度变化的规律和原因，测量了退火前后多晶硅薄层电阻的变化。实验中

把退火和不退火样品表面的 CVD  $SiO_2$  膜（如有的话）和  $TiSi_2$  膜在稀 HF 溶液中腐蚀掉，直至裸露下层的多晶硅，然后用四探针测量其薄层电阻，用 SEM 观察界面形貌。图 1 给出了在  $TiSi_2/n^+poly-Si$  复合结构中多晶硅薄层电阻与退火温度关系。从图可见，不退火样品的薄层电阻为  $30 \Omega/\square$ ，800°C 退火样品的薄层电阻增加到  $38 \Omega/\square$ ，当温度高于 850°C 后，薄层电阻大幅度上升。可以推断这是因退火过程中双层结构内

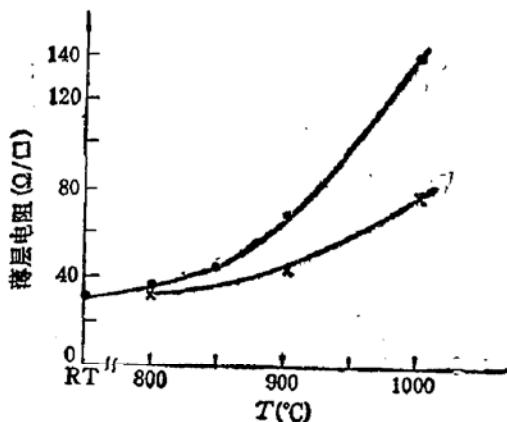


图 1  $TiSi_2/n^+poly-Si$  复合结构中磷掺杂多晶硅薄层电阻随退火温度的变化  
● 表面无  $SiO_2$  覆盖 × 表面有  $SiO_2$  覆盖

多晶硅层的磷原子沿着晶粒间界外扩散所致。温度越高，外扩散越严重，薄层电阻上升越快。

为验证这个观点，用 SIMS 对退火前后磷在双层结构中的分布作了深度剖面分析。图 2(a) 为不退火样品深度剖面，磷均匀地分布在多晶硅层内，只在多晶硅与  $SiO_2$  界面有堆积；图 2(b) 为 800°C 退火样品的深度剖面，磷已开始从多晶硅向  $TiSi_2$  层内运动，但多晶硅内磷浓度下降不多；图 2(c) 为 900°C 退火样品的深度剖面，大量的磷已从多晶硅进入  $TiSi_2$  层， $TiSi_2$  层内积累的磷已超过多晶硅内积累的磷，并有一部分磷逸出  $TiSi_2$  层；图 2(d) 为 1000°C 退火样品的深度剖面，大量磷已穿过  $TiSi_2$  层逸散，多晶硅内的磷浓度进一步大大下降。这些分析有力地表明磷在热处理中向外逸散严重地降低了磷在多晶硅中的平均浓度。

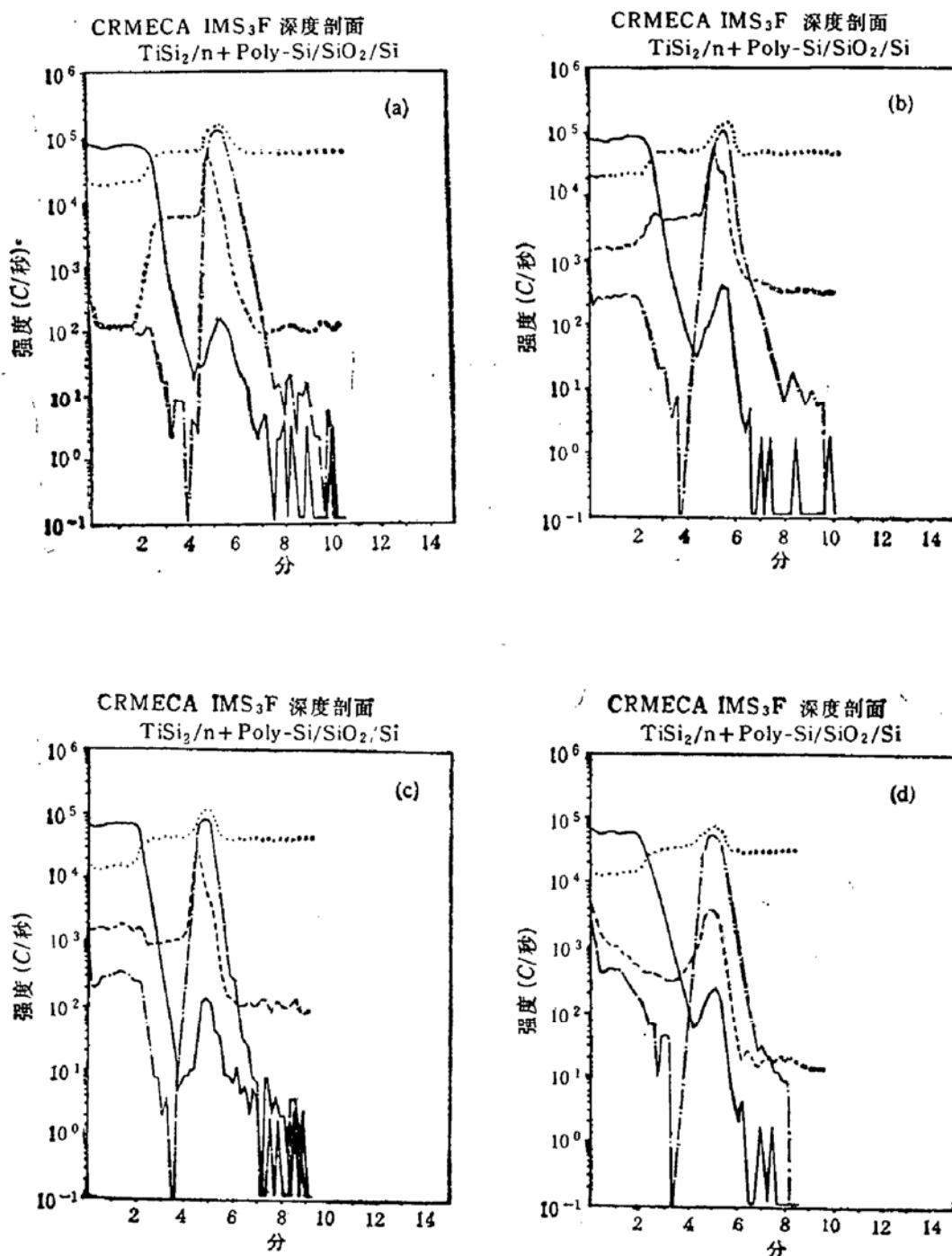


图 2 退火与不退火样品的 SIMS 深度剖面: (a) 不退火样品 (b) 800°C 退火样品; (c) 900°C 退火样品; (d) 1000°C 退火样品。

——钛    -·-·- 氧    ..... 硅    ---- 磷

为克服上述问题,本文采用了退火前在  $\text{TiSi}_2$  polycide 表面沉积低温  $\text{SiO}_2$  膜来阻止磷向外逸散。图 3 为 1000°C 退火的双层结构顶上沉积有 600 nm CVD  $\text{SiO}_2$  保护膜样品的深度剖面,与图 2(d)相比,表面 CVD  $\text{SiO}_2$  层有效地抑制了磷向外逸散,磷在  $\text{TiSi}_2$  层内有大量积累。四探针测量分析也表明对于 1000°C 退火样品表面覆盖有 CVD  $\text{SiO}_2$  层的多晶硅薄层电阻比不覆盖的样品的薄层电阻低 47%。

综合上述分析,不难看出,为抑制高掺杂磷向外逸散,可采用适当低的退火温度。对

热加工温度较高的情况，可预先低温淀积或溅射一层  $\text{SiO}_2$  膜以阻挡磷的外扩散。实验表明研制成的沟道长度为  $0.6 \mu\text{m}$   $\text{TiSi}_2/\text{n}^+\text{poly-Si}$  复合栅 LDD NMOSFET'S 特性优良。

## 2. $\text{TiSi}_2/\text{n}^+\text{poly-Si}$ 复合结构退火对 RIE 腐蚀特性的影响

为了弄清  $\text{TiSi}_2/\text{n}^+\text{poly-Si}$  复合结构退火对 RIE 腐蚀双层结构的影响，首先必须分别弄清楚  $\text{TiSi}_2/\text{n}^+\text{poly-Si}$  复合结构退火后其中的  $\text{TiSi}_2$  和  $\text{n}^+\text{poly-Si}$  的腐蚀特性的变化及界面特性的变化。

图 4 给出了  $\text{TiSi}_2/\text{n}^+\text{poly-Si}$  复合结构中的  $\text{TiSi}_2$  归一化腐蚀速率与退火温度的关系。由图可见，随退火温度升高， $\text{TiSi}_2$  的腐蚀速率不断下降，退火温度为  $800^\circ\text{C}$  时， $\text{TiSi}_2$  的蚀速下降 16.5%，退火温度为  $900^\circ\text{C}$  时， $\text{TiSi}_2$  蚀速下降 20%，退火温度为  $1000^\circ\text{C}$  时， $\text{TiSi}_2$  蚀速下降 26%。 $\text{TiSi}_2$  蚀速下降的可能原因：

i)  $800^\circ\text{C}$  以上退火使溅射后的钛硅化物膜更加结晶化，形成了有序的、规则排列的  $\text{TiSi}_2$  结构；

ii) 退火使  $\text{n}^+\text{poly-Si}$  中的磷向  $\text{TiSi}_2$  中扩散，随退火温度升高， $\text{TiSi}_2$  中的磷含量增加，使  $\text{TiSi}_2$  腐蚀速率下降，退火温度为  $1000^\circ\text{C}$  时，腐蚀速率进一步下降还与其表面在高温退火过程中形成一薄层  $\text{TiO}_x\text{N}_y$  层不易被腐蚀有关。

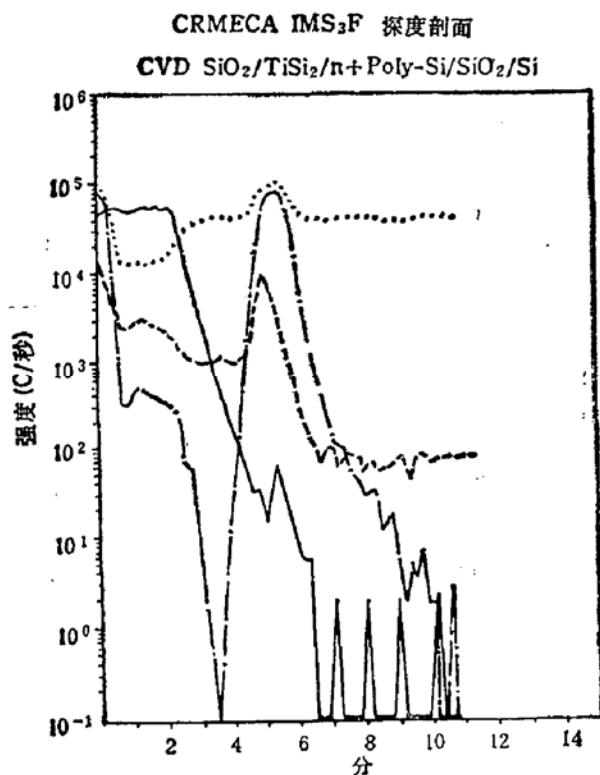


图 3 样品表面覆盖 CVD  $\text{SiO}_2$  膜的  $1000^\circ\text{C}$  退火样品的 SIMS 深度剖面。

——钛 ——氧 ..... 硅 ----磷

图 6\* 为不退火和退火  $\text{TiSi}_2/\text{n}^+\text{poly-Si}$  样品界面的 SEM 照片， $\text{TiSi}_2/\text{n}^+\text{poly-Si}$  退火后，用 HF 缓冲液腐蚀掉  $\text{TiSi}_2$ ，

图 5 给出了重掺杂  $\text{n}^+\text{poly-Si}$ 、不掺杂多晶硅  $\text{TiSi}_2$ 、 $\text{SiO}_2$  的腐蚀速率随腐蚀气体组份的变化关系。由图可见，在  $\text{SF}_6-\text{Cl}_2$  混合气体中，蚀速与多晶硅中的磷含量有关，重掺杂磷  $\text{n}^+\text{poly-Si}$  的蚀速大于不掺杂多晶硅的蚀速，同时它们的蚀速都随气体组份中  $\text{SF}_6$  的增加单调增加。当  $\text{SF}_6$  在气体组份中占 15% 时，不掺杂多晶硅蚀速比  $\text{n}^+$  多晶硅的低 24%，而在纯  $\text{SF}_6$  中，不掺杂多晶硅的蚀速低 28%。从图中还可以看到，当  $\text{SF}_6$  在气体组份中占 15% 时，重掺杂  $\text{n}^+$  多晶硅与  $\text{TiSi}_2$  的蚀速比为 1.03，与  $\text{SiO}_2$  的蚀速比为 18；而不掺杂多晶硅与  $\text{TiSi}_2$  蚀速比为 0.77，与  $\text{SiO}_2$  蚀速比为 14。这种腐蚀速率和腐蚀选择比的变化给复合结构腐蚀剖面造成不同影响。

图 6\* 为不退火和退火  $\text{TiSi}_2/\text{n}^+\text{poly-Si}$  样品界面的 SEM 照片， $\text{TiSi}_2/\text{n}^+\text{poly-Si}$  退火后，用 HF 缓冲液腐蚀掉  $\text{TiSi}_2$ ，

\* 图 6 见图版 I.

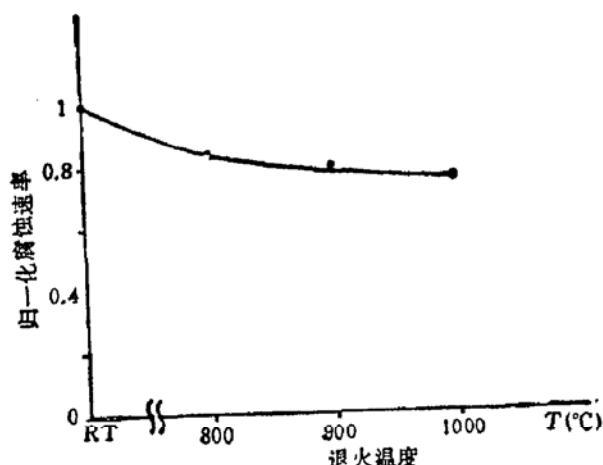


图 4  $\text{TiSi}_2/\text{n}^+\text{poly-Si}$  复合结构中  $\text{TiSi}_2$  的归一化腐蚀速率与退火温度关系

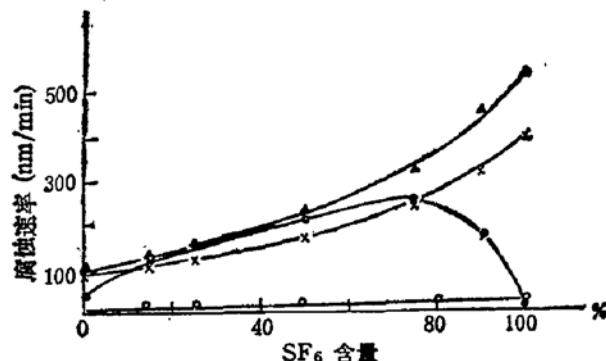


图 5  $\text{n}^+$  多晶硅、不掺杂多晶硅、 $\text{TiSi}_2$ 、 $\text{SiO}_2$

的腐蚀速率随  $\text{SF}_6\text{-Cl}_2$  腐蚀气体组份的变化。R. F 功率 200 W, 压力 20 Pa

▲  $\text{n}^+\text{poly-Si}$  × 不掺杂 poly-Si ●  $\text{TiSi}_2$  ○  $\text{SiO}_2$

用 SEM 观察  $\text{TiSi}_2/\text{n}^+\text{poly-Si}$  界面形貌。图 6(a) 为不退火样品界面的形貌, 界面比较细; 图 6(b) 为 800°C 退火样品的界面形貌, 较为粗糙; 图 6(c) 为 1000°C 退火样品的界面形貌, 非常粗糙。界面越粗糙, 越不易腐蚀。这很慢的腐蚀速率往往造成  $\text{TiSi}_2$  层相对于胶掩膜的侧向腐蚀。

从上述的  $\text{TiSi}_2$  和  $\text{n}^+$  多晶硅腐蚀速率的特性变化, 再来看看不退火和退火的  $\text{TiSi}_2/\text{n}^+\text{poly-Si}$  复合结构的腐蚀剖面的 SEM 照片。对于不退火样品, 在优化条件下得到严格的各向异性腐蚀剖面, 侧面连续光滑, 如图 7(a)\* 和 (b)\* 所示。图 7(a) 为 1  $\mu\text{m}$   $\text{TiSi}_2$  polycide 样品剖面, 图 7(b) 为 0.6  $\mu\text{m}$   $\text{TiSi}_2$  polycide 样品剖面。而同样优化条件下腐蚀的退火样品则不然, 如图 8\* 所示, 剖面不连续, 呈阶梯形,  $\text{TiSi}_2$  相对于胶掩膜有一侧向腐蚀, 掺磷多晶硅相对于  $\text{TiSi}_2$  有一侧向腐蚀, 而且掺杂多晶硅的侧墙是倾斜的。这样的剖面是不适合 VLSI/ULSI 的制造的。这是因为一方面线宽明显减少, 增大了栅和互连电阻, 同时陷落在  $\text{TiSi}_2$  下面的沾污很难清洗干净, 造成漏电增大, 而且复合栅倾斜的剖面也不适合 LDD 结构中侧壁成形技术的要求。其所以形成这样的剖面的可能原因有以下几方面:

- i)  $\text{TiSi}_2/\text{n}^+\text{poly-Si}$  复合结构在 850°C  $\text{N}_2$  中退火后, 其中的  $\text{TiSi}_2$  蚀速下降约 18%, 一方面由于钛硅化物形成了良好结晶的  $\text{TiSi}_2$ , 另一方面是磷含量的增加;
- ii) 复合结构中的  $\text{n}^+\text{poly-Si}$  层在 850°C  $\text{N}_2$  中退火后磷向  $\text{TiSi}_2$  内扩散, 所含的磷大大减少, 使腐蚀速率下降近 10%;
- iii)  $\text{TiSi}_2-\text{n}^+$  多晶硅界面变得较粗糙, 这一粗糙的界面不易被腐蚀掉, 往往需要较长的腐蚀时间, 使热效应增加;
- iv) 复合结构中  $\text{TiSi}_2$  上表面在退火过程中很易形成的一薄层  $\text{TiO}_{x}\text{N}_y$  层使腐蚀速率减慢;

\* 图 7(a) (b)、图 8 见图版 II。

▼ 复合结构中外扩散磷在多晶硅中的分布不均匀，在界面附近有堆积，会影响腐蚀剖面的各向异性。

上述五种因素都不同程度地影响复合结构的腐蚀特性，改变了它们相对的腐蚀速率比和纵向腐蚀的均匀性和一致性。它们的综合效果使退火的复合结构的腐蚀速率比不退火的要慢得多，腐蚀时间增加甚至近1倍，腐蚀的热效应增加，也影响了腐蚀剖面的各向异性。

## 结 论

本文详细研究了  $TiSi_2/n^+poly-Si$  复合结构中磷在热退火过程中的外扩散行为，及其对 RIE 刻蚀的影响。有关磷的外扩散规律采用四探针测量和 SIMS 深度剖面分析等方法进行了成功的验证。实验表明，只要适当控制退火温度和原始掺杂浓度，热处理温度较高时，预先低温淀积或溅射一层  $SiO_2$  保护膜以抑制磷的外扩散，仍可获得良好的器件特性。而微图形刻蚀最好在退火前完成，以确保高精度亚微米  $TiSi_2/n^+poly-Si$  复合结构的成形和  $n^+poly-Si$  对下层薄  $SiO_2$  高的腐蚀选择比，满足  $1\mu m$  和亚微米 VLSI 研制需要。

本工作的 SEM 照片得到朱曦和李兵同志的帮助，微电子中心一室在光刻、薄膜生长、退火等方面做了很多工作，在此一并致谢。

## 参 考 文 献

- [1] K. L. Wang, T. C. Holloway, R. F. Pinizzotto, Z. P. Sobczak, W. R. Hunter, A. F. Tasch, Jr., *IEEE Trans. Electron Devices*, ED-29, 547(1982).
- [2] G. Tomkins, M. H. Davis and P. J. Rosser, *Vacuum*, 34, 451(1984).
- [3] M. Y. Tsai, et al., *J. Appl. Phys.*, 52, 5350(1981).
- [4] J. S. Maa, et al., *J. Vac. Sci. Technol.*, B1, 1(1983).
- [5] 第二届全国半导体集成电路、硅材料学术会议论文集, p.104 (1981).

## **Effect of Heat Treatment of $TiSi_2/n^+ poly-Si$ Polycide Structure on Redistribution of Phosphorus and RIE**

Xu Qiuxia, Zhou Suojing and Zhao Yuyin

(Research and Development Center of Microelectronics, Academia Sinica, Beijing, 100010)

### Abstract

The redistribution of phosphorus in  $TiSi_2/n^+ poly-Si$  polycide structure during heat treatment and the reason of its occurrence, as well as its effect on RIE etching process have been studied systematically. A way to suppress the out diffusion of phosphorus from high doping polysilicon and a suggestion that the patterning of a microstructure should be finished before annealing are proposed. The characteristics of the fabricated  $0.6\mu m$   $TiSi_2$  polycide gate LDD MOSFET's are fine.