

# Pb(Zr,Ti)O<sub>3</sub> 铁电场效应晶体管的制备及性能研究\*

于军 周文利 赵建洪 谢基凡 黄歆

(华中理工大学固体电子学系 武汉 430074)

**摘要** 采用 PLD(Pulsed Laser Deposition)工艺制备 Au/Pb(Zr,Ti)O<sub>3</sub>/SiO<sub>2</sub>/Si 异质结构. 这种结构的铁电场效应晶体管(FFET)的电性能由 I-V 和 C-V 特性表征. Au/Pb(Zr,Ti)O<sub>3</sub>/SiO<sub>2</sub>/Si 异质结构的 C-V 曲线表现为极化开关, 对应 500nm PZT, 记忆窗口约 3V. 实验表明 Au/PZT/SiO<sub>2</sub>/Si 栅结构实现了铁电场效应存储性能.

PACC: 7780, 8115I; EEACC: 2860, 2560S

## 1 引言

铁电薄膜在集成电路上可以直接制成金属/铁电体/半导体(MFS)栅结构作为永久性的场效应存储器<sup>[1]</sup>. 这种存储器晶体管(FET)不仅具有快速开关, 高密度, 永久性, 非破坏性读出, 抗辐射的特点, 而且易于定标, 因而, 引起极大的关注<sup>[2]</sup>.

近二十年来, 特别是最近, 许多 MFSFET 结构如 M/Bi<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub>/Si<sup>[3]</sup>, M/Pb(Zr,Ti)O<sub>3</sub>/P-Si<sup>[4]</sup>, M/BaMgF<sub>4</sub>/Si<sup>[5]</sup>已被广泛研究. 在图 1 所示的 MFS 结构中, 铁电极化可调制半导体表面载流子实现二进制存储. 为了阻止电荷注入效应在铁电体和硅之间加入绝缘缓冲层. 在最近几年里, 类似于 M/Bi<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub>/CaF<sub>2</sub>/Si<sup>[6]</sup>和 M/PbTiO<sub>3</sub>/CeO<sub>2</sub>/Si<sup>[2]</sup>的 MFIS 结构的研究, 表现出改善的界面特性. 尽管如此, 疲劳、保持时间、载流子注入以及泄漏电流现象仍然是制备实用化的 FFET 的一大难题.

既然从 FFET 的电性能角度来看, 界面特性至关重要, 那么详细研究 FFET 的电性能和界面特性是很有必要的. 为此, 本文介绍我们最近对 PZT 薄膜的 MFIS-FET 电性能的实验结果. 在 Si 上制备 SiO<sub>2</sub> 的工艺成熟, 易获得良好的 SiO<sub>2</sub>/Si 界面, 加上 PZT 铁电薄膜剩余极化强度高, 作为场效应晶体管的栅介质, 能形成较大的存储窗口, 文中的 MFIS-FET 采用了 M/PZT/SiO<sub>2</sub>/Si 栅结构.

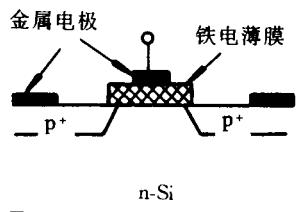


图 1 FFET 的 MFS 结构

\* 国家自然科学基金资助项目

于军 男, 1946 年生, 教授, 目前从事半导体器件及微电子技术的研究和教学工作  
1996 年 4 月 21 日收到初稿, 1996 年 10 月 17 日收到修改稿

## 2 器件制备

我们采用准分子激光剥离法(Excimer Laser Ablation Deposition)制备的 FFET 异质结构,即 M/PZT/SiO<sub>2</sub>/Si 栅结构如图 2 所示,FFET 异质结构采用(100)、电阻率约 10(Ω·cm)的 n-Si 衬底,沟道面积  $7 \times 7\mu\text{m}^2$ ,宽长比 1:1。在清洁的 Si 片上于氧气氛中生长 500nm SiO<sub>2</sub> 作为源、漏扩散的掩蔽层,第一次光刻出源、漏窗口,用 BBr<sub>3</sub> 源扩散获得源、漏区。

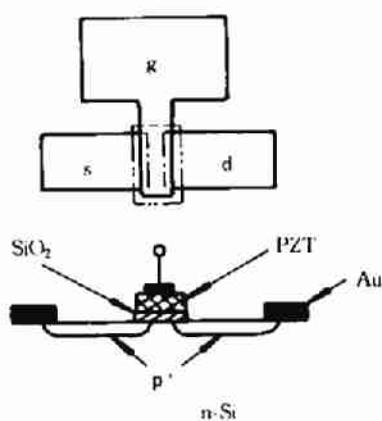


图 2 p 沟 MFOS-FET 简图

除去氧化物掩蔽,重新生长厚度约 50nm 的 SiO<sub>2</sub> 作为栅介质以减少表面态。随后,采用 PLD 工艺(Excimer Laser Ablation Deposition)制备 PZT 薄膜。基片温度为 540℃,蒸发时间为 15min,随后在 500℃下恒温 5min,并在 600℃炉中退火 40min,获得具有良好钙钛矿结构的 PZT 薄膜。

PZT 薄膜最后厚约 500nm,光刻 PZT 薄膜形成 PZT/SiO<sub>2</sub> 结构的复合栅介质。栅极采用蒸发 Au,获得良好的欧姆接触,再次光刻 Au 电极。

## 3 器件性能分析

### 3.1 MFOSFET 的 I-V 特性

图 3(a)(b)(c)是测得的源漏电流-电压特性屏幕照片,栅压从 -0.5V 到 -5V,其中,正(负)栅压  $V_g$  加在栅-衬之间,直流偏压  $V_d$  加在源、漏上,  $V_d = -5V$  时最大(几乎饱和)源漏电流为 20μA。



图 3 I-V 特性照片

横坐标:栅偏压 3V/div; 纵坐标:漏极电流 20μA/div; (a) 开始时的开态; (b) 十几分钟后的开态; (c) 关态。

为了分析这个MFISFET的 $I-V$ 特性,我们绘出图3(a)(b)的放大示意图如图4(a)(b)所示,可清楚的看到: $V_{gs} > V_T$ ( $V_T$ 约-2.5V),MFIS-FET处于关态,因此, $V_T$ 可视为阈压。同样, $V_{ds} > V_{ds1}$ ( $V_{ds1} = -2\text{V}$ )FET也处于关态。而 $V_{dsat} < V_{ds} < V_{ds1}$ 且 $V_{gs} < V_T$ ( $V_T = -2.5\text{V}$ )时,器件处于开态,具有线性放大作用,简而言之,在这一区域电导(曲线斜率)几乎为常数。 $I_{ds}$ 在 $V_{gs} < V_T, V_{ds} < V_{dsat}$ 时饱和。以上的 $I-V$ 特性测试结果表明PZT与MFIS-FET异质结表现出典型的FET特性。

### 3.2 MFOS结构的C-V特性

采用高频C-V测试仪测量Au/PZT/SiO<sub>2</sub>/Si结构的C-V特性,扫描电压加在Au栅极和Si衬底之间,漏、源浮置,所得高频C-V特性曲线如图5所示可检验MFIS-FET结构的开关特性,逆时针的回滞曲线上,对应记忆窗口为1V,证明存储性能是由铁电体场效应提供的。

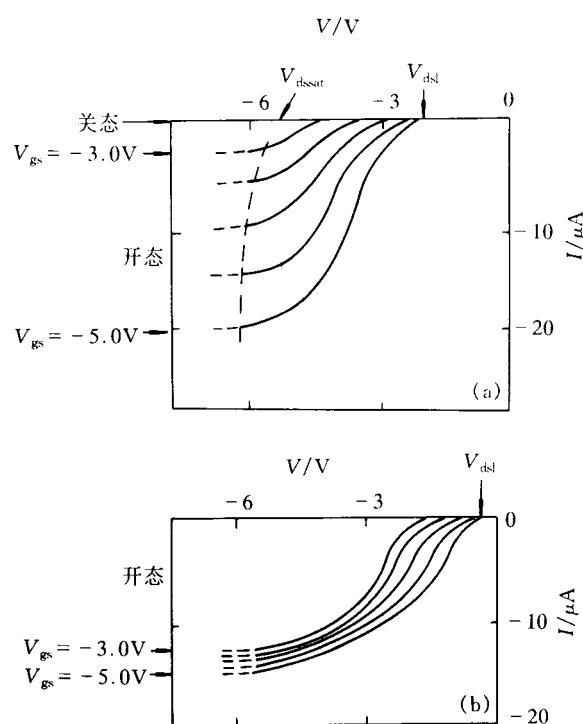


图4  $I-V$ 特性照片放大

(a) 图3(a)的放大;(b)图3(b)的放大。

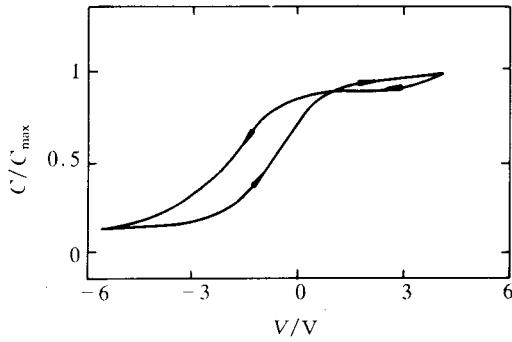


图5 Au/PZT/SiO<sub>2</sub>/Si结构的C-V特性

## 4 结论

我们证明了在Si(100)制备的SiO<sub>2</sub>可以作为MFIS-FET的栅氧化层和PZT/Si界面的缓冲层,而且,Au/PZT/SiO<sub>2</sub>/Si结构的C-V特性表明其具有铁电开关特性。但从FFET的电性能来看,FFET的保持时间是一个严重的尚未解决的问题,据我们所知,当前致力于研

### 3.3 MFOSFET的稳定性

Au/PZT/SiO<sub>2</sub>/Si的开态平均保持时间约10min,也就是说,开始五分钟,源漏电流可保持最初的80%左右,以后电流呈对数下降,十余分钟后源漏电流如图3(b)所示,引人注意的结果是在相同的小栅压下,源漏电流增加了,而大的栅压下源漏电流反而减小了.OFF态大约4小时以内基本稳定。

究 FFET 开关状态稳定性, 提高 FFET 的保持时间仍是国际上铁电场效应管研究开发的主要挑战。

### 参 考 文 献

- [1] S. Y. Wu, Ferroelectrics, 1976, **11**:379~383.
- [2] Hirai Tadahiko, Teramoto Kazuhiro, Nishi Takeharu *et al.*, Jpn. J. Appl. Phys., Pt1., 1994, **33**(9B): 5219~5222.
- [3] T. S. Kalkur, Jintendra Kulkarni, Y. C. Lu *et al.*, Ferroelectrics, 1991, **116**: 135~146.
- [4] T. S. Kalkur, George Argos and Lee Kammerdiner, Mat. Res. Soc. Symp. Proc., 1990, **200**: 313~318.
- [5] S. Sinharoy, H. Buhay, M. G. Burke *et al.*, IEEE. Trans. Ultra. Ferro. Freq. Contl., 1991, **38**(6): 663~671.
- [6] H. Buhay, S. Sinharoy, W. H. Kasner *et al.*, Appl. Phys. Lett., 1991, **58**(14): 1470~1472.

## Fabrication and Characteristics of Pb(Zr,Ti)O<sub>3</sub> Ferroelectric Field-Effect Transistor

Yu Jun, Zhou Wenli, Zhao Jianhong, Xie Jifan and Huang Xin

(Department of Solid State Electronics, Huazhong University of Science and Technology, Wuhan 430074)

Received 21 April 1996, revised manuscript received 17 October 1996

**Abstract** Ferroelectric field-effect transistor heterostructures of Au/Pb(Zr,Ti)O<sub>3</sub>/SiO<sub>2</sub>/Si have been fabricated by using pulsed laser ablation deposition technique. Electrical properties of these ferroelectric FETs have been characterized through both the current vs. voltage (*I-V*) and capacitance vs. voltage (*C-V*) measurements. The *C-V* characteristics of Au/Pb(Zr,Ti)O<sub>3</sub>/SiO<sub>2</sub>/Si heterostructures demonstrate a polarization switching behavior, showing a memory window as much as 3V in a 500 nm-thick pulsed laser ablation deposition derived PZT film. In addition, experimental results reveal that Au/Pb(Zr,Ti)O<sub>3</sub>/SiO<sub>2</sub>/Si gate structure has realized ferroelectric field-effect memorization.

**PACC:** 7780, 8115I; **EEACC:** 2860, 2560S