

# 集成电路的连线时延及其 在版图设计中的估算

陈春鸿 唐璞山

(复旦大学电子工程系 上海 200433)

**摘要** 连线时延是新一代集成电路设计的重要课题之一。本文提出一种新的连线时延近似估算法。这种方法基于线网的RC树结构，采用Elmore时延原理，给出了线网在未布线情况下时延的下界估计。它计算简单，精确度好，对时延驱动的版图优化设计具有重要的理论意义和实用价值。

EEACC: 2220, 2560B

## 1 引言

随着集成电路(IC)制造工艺向亚微米/深亚微米水平发展，高速度、高集成度、低功耗和大芯片面积成为当今IC的主要特点。就速度性能而言，连线时延(interconnection delay)已日趋成为芯片设计的重要研究对象。例如<sup>[1]</sup>，一根长1cm、宽1.3μm的铝连线，其电阻和电容大约为375Ω和2pF，RC时间常数达0.75ns，而典型的门延迟(gate delay)不过1~2ns。一般认为，对1μm以上工艺，芯片的速度性能主要取决于芯片内部时延；而对0.5μm及其以下工艺，芯片速度基本上由连线时延决定。在传统的IC版图设计中，总连线长度是重要的目标函数，但对于高速IC和MCM(Multi-Chip Module)设计，这个目标函数无法获得芯片速度性能的优化。原因是，最小连线长度不总是对应最小的连线时延。事实上，当连线电阻不能忽略时，多端线网的时延在很大程度上取决于布线的树结构。

W. C. Elmore<sup>[2]</sup>早在1948年就提出了著名的Elmore时延模型，1985年以来国内外对连线时延(以下简称时延)问题开展了广泛的研究。这些研究基本上沿两种思路进行：一是以验证为目的的时延分析方法研究<sup>[3~5]</sup>，这类方法的特点是要求较高的精确度，但计算复杂，应用到大规模电路时运算时间较长，多数用于设计的后期阶段。研究时延的另一种思路是以减少时延(所谓时延驱动——timing driven)为目的的时延优化设计方法的开发<sup>[6]</sup>。一般而言，减少电路时延可从三个层次上采用相应的措施：1) 逻辑级(logic level)，即在逻辑设计

\*“九·五”国家重点科研项目

陈春鸿 男，1963年生，博士研究生，主要从事集成电路版图设计及其算法研究

唐璞山 男，1934年生，教授，博士导师，主要从事集成电路计算机辅助设计算法和系统开发研究

1996年6月10日收到初稿，1996年7月15日收到修改稿

时,改善门互连结构,以减少总的路径时延; 2) 版图拓扑级(topological level),即考虑单元电路的布局布线等版图级设计中连线的延迟特性,以减少关键路径(critical paths)或关键线网(critical nets)的时延<sup>[6]</sup>; 3) 实体级(physical level),即调整晶体管和连线的长度与宽度(transistor sizing and wiresizing)或增加 buffers,改善时延性能<sup>[7]</sup>. 由于电路时钟周期决定芯片工作频率,而时钟周期取决于路径时延,因此就版图级而言,只有实现时延驱动的布局和布线,才能达到优化时延的目的. 本文从版图设计角度研究集成电路的时延及其分析与估算,提出一种新的时延估算法,以便为以优化时延为目标的 IC 版图设计提供有效、可行的理论模型.

## 2 时延分析

目前大多数时延研究采用 Elmore 时延概念或者以信号上升/下降时间(即信号在其最大值的 10% 与 90% 之间变化所需的时间)作为时延的定义. Elmore 把时延定义为脉冲响应的一阶分量,即  $T_D = \int_0^\infty t e(t) dt$ , 其中  $e(t)$  为单位脉冲响应.  $T_D$  近似地表示了信号从其初始值到达最终值的 50% 时所需的时间. 影响时延的主要因素有: 1) 晶体管的驱动能力. 驱动单元输出电阻越小,则驱动能力越强,相应地时延就越小; 2) 连线电阻和电容. 它们相对于驱动单元输出电阻和负载端电容的比值越大,则时延加大. 目前,时延定量计算方法主要包括: 1) SPICE 模拟法—SPICE 软件中用梯形公式或 Gear 公式数值积分法对电路进行动态波形分析,从而可以计算出时延. 它精度高,但计算速度慢. 实践表明,为了求时延而花费大量计算资源求取电路响应波形实际上并不必要. 2) 分量匹配法(Moment Matching Method)—其基本思路是用一简单的多项式逼近电路的脉冲响应. 该方法对大型集总线性电路可得到很好的近似结果,且速度比传统的电路级模拟要快好几个数量级. 但它存在复杂的稳定性问题,仍有待进一步研究. 3) Elmore 延迟法—相当于一阶分量匹配法. 其主要特点是,对常见的 RC 树结构线网,可用观察法计算出时延. 基于这一方法,文献[8~10]采用分布 RC 模型,导出了近似的时延估算公式. 以图 1 的 RC 树为例,从源点到 A, B, C 各点的时延依次近似为:

$$\left. \begin{aligned} d(A) &= \beta R_0 (C_1 + C_2 + C_3 + C_4 + C_C + C_D + C_E) \\ d(B) &= d(A) + \alpha R_1 C_1 + \beta R_1 (C_3 + C_4 + C_C + C_D) \\ d(C) &= d(B) + \alpha R_3 C_3 + \beta R_3 C_C \end{aligned} \right\} \quad (1)$$

式中  $\alpha, \beta$  取值可根据时延定义为到最终值的 90%, 70% 和 62% 而分别为:  $\alpha = 1.02, \beta = 2.21$ ;  $\alpha = 0.59, \beta = 1.21$  和  $\alpha = 0.5, \beta = 1.0$ .

所有这些时延计算方法存在的一个共同问题是,主要用于分析验证,而无法提供如何改善时延的信息,从而很难在版图设计中用来指导布局和布线. 尤其是在布局阶段,布局结果在很大程度上决定了(关键)路径的时延,同时布局本身又是一个不断迭代优化的过程. 布局的中间结果的质量评价以及布局结果的调整都要求在布局阶段及时地对时延做出估算. 如果要在具体布线后再做评估,则时间太长. 因此,在具体布线前对时延作出快速估算,并有较好的精确度,是一个亟待解决的问题. 本文提出的时延估算法用来解决这个问题.

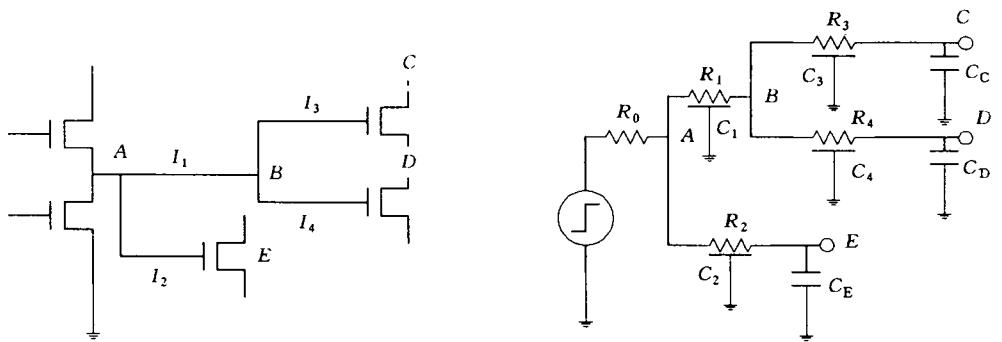


图 1 多端线网的 RC 树结构

### 3 新的时延估算法

#### 3.1 时延估算

时延估算的特点是计算简单易行,且有一定的精确度,因此它在集成电路版图设计中得到广泛的应用。通常,连线时延可从两个角度进行估算:1) 给定了线网的拓扑连接结构,估计时延,如上一节所述。目前大多数的时延分析属于这一类;2) 未知线网的具体连线拓扑,要求对时延作出估算。时延驱动的实体版图设计经常碰到这种情况。以布局过程为例,由于未进行具体布线,线网的树结构事先未定,但是布局结果在很大程度上决定了路径的时延,因此时延估计在布局阶段显得十分必要。现有的一些时延驱动的布局算法中用的时延估算过于粗略(有的以连线长度平方作为近似,有的简单以连线长度外加一常数作为时延近似值),精确度很差。下面我们以 Elmore 时延模型为出发点,给出一种新的时延估算公式。

以图 1 为例,由(1)式求得源点到 C 点(漏点之一)的时延为

$$\begin{aligned}
 d(C) &= \beta R_0(C_1 + C_2 + C_3 + C_4) + \beta R_0(C_c + C_d + C_e) \\
 &\quad + \alpha R_1 C_1 + \beta R_1(C_3 + C_4 + C_c + C_d) + \alpha R_3 C_3 + \beta R_3 C_c \\
 &= \beta R_0 \bar{c} l_t + \beta R_0 f C_g + \alpha \bar{r} \bar{c} l_1^2 + \beta \bar{r} \bar{c} l_1 l_3 \\
 &\quad + \beta \bar{r} C_c l_1 + \alpha \bar{r} \bar{c} l_3^2 + \beta \bar{r} C_c l_3 + \beta R_1(C_4 + C_d)
 \end{aligned} \tag{2}$$

其中  $\bar{r}, \bar{c}$  分别为单位长度的电阻和电容;  $f$  为扇出数(fanouts),  $C_g$  为输入门电容;  $l_t$  为总连线长度。这里我们假设: $x$  方向上单位长度电阻/电容与  $y$  方向上单位长度电阻/电容是相等的。如果定义时延为信号到达其最终值的 62% 的时间,由(1)式,取  $\beta=1.0, \alpha=0.5$ ,于是,(2)式可进一步改写为:

$$\begin{aligned}
 d(C) &= \beta R_0 \bar{c} l_t + \alpha \bar{r} \bar{c} l_{ss}^2 + \beta \bar{r} C_g l_{ss} + \beta R_0 f C_g + \beta R_1(C_4 + C_d) \\
 &\geq \beta R_0 \bar{c} l_t + \alpha \bar{r} \bar{c} l_{ss}^2
 \end{aligned} \tag{3}$$

其中  $l_{ss}=l_1+l_3$ , 即源点到漏点 C(source-to-sink) 的曼哈顿(Manhattan)距离。由于  $C_g$  一般很小, 上式中  $\beta \bar{r} C_g l_{ss}$  和  $\beta R_0 f C_g$  项可忽略, 而  $\beta R_1(C_4+C_d)$  项与具体走线情况(包括源点到各个漏点的路径共同部分)有关。因此取  $\beta R_0 \bar{c} l_t + \alpha \bar{r} \bar{c} l_{ss}^2$  为  $d(C)$  的下界, 并作为  $d(C)$  的近似估值。对  $d(D)$  和  $d(E)$ , 可做类似的讨论。于是, 我们有如下的时延估算公式:

$$d_e(\text{source}, \text{sink}) = R_0 \bar{c} l_t + 1/2 \bar{r} \bar{c} l_{ss}^2 = a l_t + b l_{ss}^2 \tag{4}$$

其中  $a, b$  为常系数, 它们的值与具体工艺和所用单位有关. 当长度以网格点为单位, 并取  $25\mu\text{m}$  为一网格, 时延估算值  $d_e$  以 ps 为单位, 采用  $0.5\mu\text{m}$  工艺, 取<sup>[1]</sup>:  $R_0 = 270\Omega$ ,  $C_g = 1.0\text{fF}$ ,  $\bar{r} = 0.112\Omega/\mu\text{m}$ ,  $\bar{c} = 0.039\text{fF}/\mu\text{m}$ , 则可计算得:  $a = 0.263$ ,  $b = 0.001365$ . 尽管(4)式是以图 1 的四端线网为例进行推导, 它对于一般的多端线网情况同样适用.

### 3.2 例子和评估

首先, 我们来讨论(4)式的物理意义. 当  $l_t$  和  $l_{ss}$  较小(对应“短”线网)时, 时延主要取决于第一项  $al_t$ , 而且(3)式的  $\beta R_1(C_4 + C_D)$  项所占比例较小, 所以这时应尽量减小  $l_t$ , 即按最小长度连线, 估算时我们取  $l_t = l_h$ , 这里  $l_h$  表示包含各端点的最小矩形的周长之半; 当  $l_t$  和  $l_{ss}$  较大(对应“长”线网)时, 第二项  $bl_{ss}^2$  变为起主要作用, 而且(3)式的  $\beta R_1(C_4 + C_D)$  项对(4)式的估算有较大影响. 因此这时应按星形结构走线, 即从源点到每一漏点各自走最短的曼哈顿路径, 而且各路径无公共部分, 见图 2. 这种情况下为了估算时延, 取  $l_t = l_s = \sum_{\text{all } \sin kS} l_{ss}$ . 我们经验地取 250 格为临界值, 区分“长”线网和“短”线网, 因为在 250 格附近, (4)式的第一项与第二项的值基本上为同一数量级. 如果  $l_h$  小于 250 格, 视为短线网; 否则按长线网处理. 值得指出的是, 对于二端线网,  $l_h = l_s$ , 而且(3)式的  $\beta R_1(C_4 + C_D)$  项为零, 所以(4)式对于二端线网(不管是长线网还是短线网)是相当准确的.

为了评估(4)式对多端线网的估算准确度, 这里我们以图 3 的三端线网为例, 具体计算它的时延. 设图中的  $x_1 = x_2 = 100$ (格),  $y_1 = y_2 = 50$ (格), 则  $l_h = 300$ (格)(相当于  $7500\mu\text{m}$ ), 按长线网估算, 由(4)式可求得源点 1 到两个漏点 2 和 3 的时延分别为:

$$d_e(1,2) = 0.263 \times 400 + 0.001365 \times 150^2 = 135.9(\text{ps})$$

$$d_e(1,3) = 0.263 \times 400 + 0.001365 \times 250^2 = 190.5(\text{ps})$$

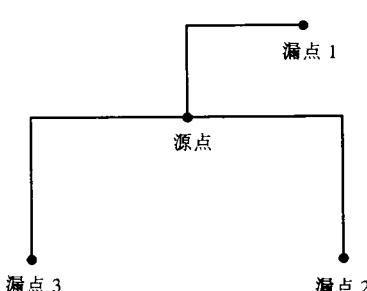


图 2 星形走线结构

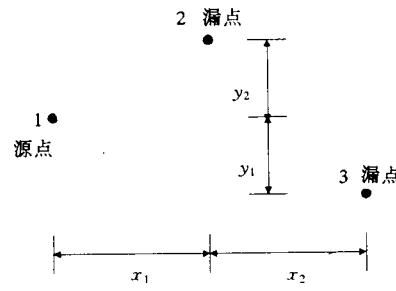


图 3 三端线网时延估算例子

从时延计算角度来看, 图 3 的三端线网共有六种可能的走线方式(见图 4), 现在按(2)式计算它们的时延, 列于表 1. 从表 1 中看出, 方式(a)(这是一种星形结构)对应的时延最小, 一个例外情况是, 方式(e)的  $d_e(1,3)$  小于方式(a)的  $d_e(1,3)$ , 这是由于  $l_h$  还不是很大, 即线网不是很“长”的缘故. 我们的估算值  $d_e(1,2) = 135.9(\text{ps})$ ,  $d_e(1,3) = 190.5(\text{ps})$  可作为该线网的时延下界估计. 如果设  $x_1 = x_2 = 10$ (格),  $y_1 = y_2 = 5$ (格), 则  $l_h = 30$ (格), 按短线网估算, 此时的时延为:

$$d_e(1,2) = 0.263 \times 30 + 0.001365 \times 15^2 = 8.1(\text{ps})$$

$$d_e(1,3) = 0.263 \times 30 + 0.001365 \times 25^2 = 8.8(\text{ps})$$

再按(2)式计算图 4 三端线网的时延, 计算结果列于表 2 中. 从表 2 可以看出, 方式(e)

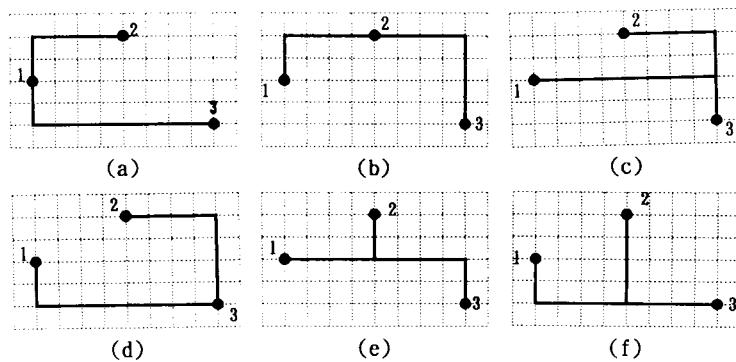


图 4 三端线网的六种可能走线方式

的时延最小,它对应最小总连线长度.同样地,我们的估算值  $d_e(1,2)=8.1(\text{ps})$ ,  $d_e(1,3)=8.8(\text{ps})$  是其时延较好的下界.

**表 1 图 4 所示三端(长)线网的时延计算结果  
(单位: ps)**

走线方式	(a)	(b)	(c)	(d)	(e)	(f)
$d(1,2)$	136.8	206.0	306.2	397.3	151.9	219.5
$d(1,3)$	191.7	261.2	278.6	342.1	179.4	219.5

**表 2 图 4 所示三端(短)线网的时延计算结果  
(单位: ps)**

走线方式	(a)	(b)	(c)	(d)	(e)	(f)
$d(1,2)$	11.3	10.8	12.9	15.3	9.0	10.9
$d(1,3)$	11.9	11.4	12.6	14.7	9.3	10.9

### 3.3 时延公式的修正及讨论

#### 3.3.1 线网长度临界值的影响

前面我们以 250 格作为线网长度的临界值.显然,当线网长度位于临界值附近(例如  $l_h=150\sim 350$  格)时,(4)式的估算将会产生较大的误差(见表 1),误差的主要来源是(3)式中的  $\beta R_1(C_4+C_D)$  项.这时,可采用较保守的估算办法,即取  $l_t=\frac{l_h+\sum l_{ss}}{2}$ ,以表 1 情况为例,估算值  $d_e(1,2)$  将从 135.9ps 下降为 122.7ps,  $d_e(1,3)$  将从 190.5ps 下降为 177.3ps.应当指出,随着电路工艺趋向深亚微米水平,比值  $R_0/\bar{r}$  将逐步减小<sup>[11]</sup>, (4)式的第一项所占比例下降,这时线网长度的临界值应随之下调.特别地,如果对长线网和短线网不加区分,则可恒取  $l_t=l_h$ ,不难看出,这时(4)式将给出线网时延的严格下界.

#### 3.3.2 系数 $a, b$ 的修正

由(4)式,  $a=R_0\bar{c}$ ,  $b=1/2\bar{r}\bar{c}$ ,当采用不同的制造工艺时,  $a, b$  的值将做相应的改变.比如, 2.0  $\mu\text{m}$  CMOS 工艺下连线的典型参数值<sup>[11]</sup> 为:  $R_0=164.0\Omega$ ,  $\bar{r}=0.033\Omega/\mu\text{m}$ ,  $\bar{c}=0.019\text{fF}/\mu\text{m}$ ,  $c_g=5.7\text{fF}$ .这时,  $a=0.0779$ ,  $b=0.000196$ .另一方面,我们在推导(3)式时,曾假设:  $x$  方向上的单位长度电阻和电容(设为  $\bar{r}_1$  和  $\bar{c}_1$ )分别等于  $y$  方向上的单位长度电阻和电容(设为  $\bar{r}_2$  和  $\bar{c}_2$ ),即  $\bar{r}_1=\bar{r}_2=\bar{r}$ ,  $\bar{c}_1=\bar{c}_2=\bar{c}$ .如果,  $\bar{r}_1 \neq \bar{r}_2$ ,  $\bar{c}_1 \neq \bar{c}_2$ ,则作为一种下界估计,(4)式中的  $\bar{r}\bar{c}$  和  $\bar{c}$  可分别取:  $\bar{r}\bar{c}=\min_{i,j}(\bar{r}_i\bar{c}_j)$ ,  $\bar{c}=\min(\bar{c}_1, \bar{c}_2)$ .此外,前面定义时延为信号到达其最终值的 62% 的时间,根据文献[8~10],若定义时延为信号到达最终值的 90%(或 72%), (2)式中的  $\alpha$  和  $\beta$  将相应为 62% 情况下的约 2 倍(或 1.2 倍),因此这时(4)式的估算值也应

乘以 2(或 1.2).

### 3.3.3 忽略项的讨论

(3)式中共忽略三项:  $\beta \bar{r}C_g l_{ss}$ ,  $\beta R_0 f C_g$  和  $\beta R_1 (C_s + C_D)$  项. 由于  $\beta \bar{r}C_g l_{ss} \ll \beta R_0 \bar{c} l_t$ , 所以  $\beta \bar{r}C_g l_{ss}$  项完全可以忽略不计.  $\beta R_0 f C_g$  为一常数项, 对于三端线网( $0.5\mu m$  工艺), 其值约为  $0.5 ps$ , 一般也可忽略, 不过对于“短”线网(见表 2), 这一项占有一定的比例, 可以在(4)式中增加这一项. 以表 2 情况为例, 估算值  $d_e(1,2)$  将从  $8.1 ps$  增加到  $8.6 ps$ ,  $d_e(1,3)$  从  $8.8 ps$  增加到  $9.3 ps$ , 使时延估值更为准确. 对时延估值影响较大的是  $\beta R_1 (C_s + C_D)$  项, 它与具体走线(包括连线长度和公共路径长度)有关. 对于短线网, 这一项数值较小; 而对于长线网, 由于一般希望按星形走线, 所以忽略这一项也不致产生过大的误差.

## 4 应用简述

新的时延估算法能方便快速地估算线网的时延下界, 在具体布线前给出线网的时延信息, 因此可以用于半定制版图设计系统中的快速时延验证, 从而实现布局和布线的交互迭代改善. 在传统的版图设计中, 总连线长度最小化是其重要的目标, 这时连线长度普遍采用的是最小矩形半周长(注意: 这是线网长度的下界)的估算办法, 其特点是方便、快速、实用, 因而它在布局布线结果的评估与优化中发挥着重要作用. 本文提出的时延估算法, 作为时延下界, 在时延驱动的版图设计中扮演着类似于传统的最小矩形半周长那样的角色, 只不过目标函数是时延最小化而不再是连线长度最小化. 以时延驱动的布局和布线算法总是在满足其它版图约束条件下尽量使时延最小, 因此, 以下界的形式估计时延较符合实际情况(事实上, 当走线结构可变时, 线网时延是不存在上界的). 另一方面, 在具体布线前, 要准确计算时延是不可能的, 必须对速度和精度做出合理的折衷. 此外, 在具体布线时, 根据(4)式, 长线网宜按星形结构走线, 而短线网宜以最小长度走线, 我们相信, 进一步深入的研究可以得出更多更具体的时延优化布线策略.

## 5 结论

本文在分析了一般的连线时延计算的基础上, 针对版图设计, 提出了基于 Elmore 时延模型的一种新的时延估算方法. 表明在具体布线前对线网时延做出较准确的估算不仅必要而且是可能的. 所提方法计算简单, 速度快, 对二端线网相当准确; 对于多端线网, 它给出了较好的时延下界. 这对时延驱动的集成电路布图设计具有重要的理论和实践指导意义.

## 参 考 文 献

- [1] S. Prasitjutrakul and W. J. Kubitz, IEEE Trans. Computer-Aided Design, 1992, 11(8): 1044~1051.
- [2] W. C. Elmore, J. Appl. Phys., 1948, 19: 55~63.
- [3] L. W. Nagel, Tech. Rep. ERL-M520, Univ. of Calif., Berkeley, May 1975.
- [4] L. T. Pillage and R. A. Rohrer, IEEE Trans. Computer-Aided Design, 1990, 9(4): 352~366.
- [5] J. Rubinstein, P. Penfield and M. A. Horowitz, IEEE Trans. Computer-Aided Design, 1983, 2(3): 202~211.
- [6] T. Hamada, C. Cheng and P. M. Chau, “Prime: A timing-driven placement tool using a piecewise linear resistive

- network approach”, Proc. 30th ACM/IEEE Design Automation Conf., 1993: 531~536.
- [7] J. J. Cong and K. Leung, IEEE Trans. Computer-Aided Design, 1995, **14**(3): 321~336.
- [8] T. Sakurai, IEEE J. Solid-State Circuits, 1983, **18**(4): 418~426.
- [9] C. H. Sequin, VLSI 87 VLSI Design of Digital Systems, 荷兰: Elsevier Science Publishers, 1988, 353~362.
- [10] D. L. Carter and D. F. Guise, “Analysis of signal propagation delays and chip level performance due to on-chip interconnections”, Proc. Int. Conf. on Computer Design, 1983: 218~221.
- [11] C. J. Alpert *et al.*, IEEE Trans. Computer-Aided Design, 1995, **14**(7): 890~896.

## Interconnection Delay and Its Approximation for IC Layout Design

Chen Chunhong and Tang Pushan

(Department of Electronic Engineering, Fudan University, Shanghai 200433)

Received 10 June 1996, revised manuscript received 15 July 1996

**Abstract** Interconnection delay has become a dominant factor for designing modern integrated circuits with high performance. We present a new approximation method for interconnection delay calculation. Based on Elmore delay model, this method uses RC tree structure of signal nets, and gives the tight lower bound of interconnection delay. It is shown that the proposed closed-form expression for interconnection delay plays an essential role in the timing-driven layout design.

**EEACC:** 2220, 2560B