

红外区熔再结晶 SOI $\text{Ge}_x\text{Si}_{1-x}$ 合金 沟道 P-MOSFET 的研究 *

付 军 李洪发 田立林 钱佩信

周均铭

(清华大学微电子学研究所 北京 100084)

(中国科学院物理研究所 北京 100080)

摘要 在红外区熔再结晶 SOI 材料上用 MBE 的方法形成 $\text{Si}/\text{Ge}_x\text{Si}_{1-x}/\text{Si}$ 量子阱结构。在此基础上,采用常规的 P-MOS 工艺制造出了 SOI $\text{Ge}_x\text{Si}_{1-x}$ 合金沟道 P-MOSFET。为避免 $\text{Ge}_x\text{Si}_{1-x}$ 合金材料发生蜕化,MBE 以后除快速热退火(RTA)以外的所有工艺温度都不超过 800℃。直流特性的测量结果表明,与普通 Si 沟道器件相比, $\text{Ge}_x\text{Si}_{1-x}$ 合金沟道器件的沟道载流子迁移率有所提高。而且,这种器件在性能的进一步提高方面存在着相当大的潜力。

EEACC: 2560R

1 引言

由于表面散射的影响,表面沟道 MOS 器件的沟道载流子迁移率远低于体迁移率,这对于电流驱动能力的提高显然是十分不利的。因为空穴迁移率本身就远小于电子,所以这个问题在 P-MOSFET 中就显得尤为突出了。为此,人们将 $\text{Ge}_x\text{Si}_{1-x}$ 合金沟道引入 P-MOSFET 中,利用 $\text{Ge}_x\text{Si}_{1-x}$ 合金材料与 Si 能带的不连续性而引起的量子阱效应,有效地提高了器件的沟道空穴迁移率,从而获得了较高的电流驱动能力和跨导^[1,2]。进而,人们又将 $\text{Ge}_x\text{Si}_{1-x}$ 合金沟道结构与 SOI 技术相结合,在 SIMOX 材料上成功地制造出了 $\text{Ge}_x\text{Si}_{1-x}$ 合金沟道 P-MOSFET^[3]。结果表明,这种器件可以将沟道载流子(空穴)更好地限制于 $\text{Ge}_x\text{Si}_{1-x}$ 合金沟道中,从而进一步提高了器件的性能。与之不同的是,我们在区熔再结晶 SOI 材料上制造出了 $\text{Ge}_x\text{Si}_{1-x}$ 合金沟道 P-MOSFET,并对其电学特性进行了测试与分析。结果表明,与普通的 Si 沟道器件相比,我们制造的区熔再结晶 SOI $\text{Ge}_x\text{Si}_{1-x}$ 合金沟道 P-MOSFET 的沟道载流子迁移率确实有所提高。

2 器件的制造

用于制造 $\text{Ge}_x\text{Si}_{1-x}$ 合金沟道 P-MOSFET 的初始材料为采用热沉结构实现缺陷定域化的红外区熔再结晶 SOI 材料^[4]。这种材料首先经过氧化—氢氟酸腐蚀减薄至 180nm 左右。为了避免在 $\text{Ge}_x\text{Si}_{1-x}$ 合金沟道层中引入损伤和杂质,我们在生长 $\text{Ge}_x\text{Si}_{1-x}$ 合金层前通过 As^- 注入($120\text{keV}, 2 \times 10^{11}\text{cm}^{-2}$)来调整器件的阈电压。接着,我们利用 MBE 的方法先后在

* 国家基础性研究重大项目计划(攀登计划)研究课题

付 军 男,1968 年生,博士生,主要从事深亚微米 SOI MOS 器件(包括 $\text{Ge}_x\text{Si}_{1-x}$ 合金沟道器件)方面的研究

田立林 女,副教授,主要从事 Si/SiO_2 界面物理、深亚微米 MOSFET 特性研究及半导体物理教学工作

1996 年 6 月 24 日收到初稿,1996 年 11 月 15 日收到修改稿

SOI 层上生长 10nm 的 Si 缓冲层和 10nm 的 $\text{Ge}_{0.25}\text{Si}_{0.75}$ 合金层。因为直接氧化 $\text{Ge}_{x}\text{Si}_{1-x}$ 合金材料很难获得高质量的栅氧化介质层^[5]，所以我们采用在 $\text{Ge}_{x}\text{Si}_{1-x}$ 合金层上面用 MBE 法再生长一层 Si 覆盖层的方法来解决这个问题。这就是说，我们可以通过氧化 Si 覆盖层来得到

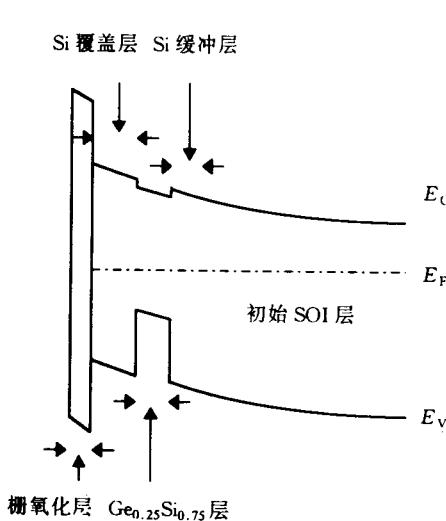


图 1 SOI $\text{Ge}_{x}\text{Si}_{1-x}$ 合金沟道

P-MOSFET 沟道区能带结构示意图

器件的栅氧化介质层。器件的沟道区的能带结构如图 1 所示。可见， $\text{Ge}_{x}\text{Si}_{1-x}/\text{Si}$ 界面处能带的不连续（根据文献[6]，界面处的 $\text{Ge}_{0.25}\text{Si}_{0.75}$ 材料的价带比 Si 约高 0.19eV）形成了 Si/ $\text{Ge}_{x}\text{Si}_{1-x}$ /Si 量子阱结构。量子阱的作用使 $\text{Ge}_{x}\text{Si}_{1-x}$ 合金层中的载流子（空穴）浓度高于邻近的 Si 层^[1]。这样， $\text{Ge}_{x}\text{Si}_{1-x}$ 合金层实际上就成为器件的隐埋沟道。在一定的栅压条件下，器件的漏源电流将主要通过载流子在隐埋的 $\text{Ge}_{x}\text{Si}_{1-x}$ 合金沟道中的漂移形成。然而当栅压足够负时，Si 覆盖层表面将发生反型而形成表面沟道。这时，Si 覆盖层中的表面沟道和 $\text{Ge}_{x}\text{Si}_{1-x}$ 合金隐埋沟道同时起作用，因而形成漏源电流的载流子将不再被限制于 $\text{Ge}_{x}\text{Si}_{1-x}$ 合金沟道层中。随着栅压的进一步变负，由于表面载流子电荷的屏蔽作用，载流子将趋于主要通过表面沟道进行输运。相比之下， $\text{Ge}_{x}\text{Si}_{1-x}$ 合金沟道载流子迁移率较高，而表面散射的影响使表面沟道载流子迁移率较低。因此，为了提高

器件的电流驱动力和跨导，我们应设法尽量将载流子的输运限制在隐埋的 $\text{Ge}_{x}\text{Si}_{1-x}$ 合金沟道中。为达到上述目的，可以采用很多措施，例如：适当减薄 Si 覆盖层、选择合适的栅材料、对合金沟道中的 Ge 含量及其分布进行优化^[6,7]，等等。此外，在 SOI 材料上制造 $\text{Ge}_{x}\text{Si}_{1-x}$ 合金沟道器件也是一种提高载流子受限于合金沟道的程度的有效手段^[3]。对于硅膜较薄的全耗尽 SOI MOSFET 来说，由于较厚的背栅氧化层的存在，沟道区的垂直方向的电场强度和能带弯曲远小于相应的体硅器件。因此，与体硅器件相比，全耗尽 SOI $\text{Ge}_{x}\text{Si}_{1-x}$ 合金沟道 MOSFET 中的载流子更易被限制在合金沟道层中，也就是说，保证载流子主要通过 $\text{Ge}_{x}\text{Si}_{1-x}$ 合金沟道进行输运的栅偏压的变化范围较大。可见， $\text{Ge}_{x}\text{Si}_{1-x}$ 合金沟道量子阱结构与 SOI 技术的结合对于充分发挥 $\text{Ge}_{x}\text{Si}_{1-x}$ 合金沟道载流子迁移率较高的优势，从而进一步提高器件的电流驱动力和跨导，显然是十分有利的。

值得注意的是，用 MBE 法生长的 Si 缓冲层、 $\text{Ge}_{x}\text{Si}_{1-x}$ 合金层和 Si 覆盖层都是不掺杂的，而且缓冲层还起到了将 $\text{Ge}_{x}\text{Si}_{1-x}$ 合金层与经过调阈值注入掺杂的初始 SOI 层隔离开来的作用。因此，这在很大程度上减少了杂质散射对沟道载流子迁移率的影响。接下去，我们采用普通的 P-MOS 工艺最终在红外区熔再结晶 SOI 材料上制备出了 $\text{Ge}_{x}\text{Si}_{1-x}$ 合金沟道 P-MOSFET。其工艺过程主要包括：

- (1) 利用 800℃ 干氧氧化的方法生长 7nm 的 SiO_2 栅介质层；(2) 利用 LPCVD 的方法淀积 300nm 的多晶硅，并经过栅光刻、RIE 刻蚀形成栅电极；(3) 栅、源、漏的掺杂通过 B^+ 注入($40\text{keV}, 5 \times 10^{14}\text{cm}^{-2}$)同时完成；(4) 用 RHT6000 型快速热处理设备进行快速热退火($1000^\circ\text{C}, 10\text{s}$)以激活注入杂质；(5) 利用 LPCVD 的方法淀积 600nm 的 SiO_2 ，然后进行孔光刻、刻蚀孔；(6) 蒸铝、刻引线；(7) 合金。

需要指出的是,除了快速热退火外,MBE 以后的工艺过程的温度都不高于 800℃,这样做的目的在于:

(1) 尽量避免 Ge_xSi_{1-x} 合金受热扩散或在高温下由于应力释放而发生蜕化;(2) 尽量防止杂质通过高温再分布进入 Ge_xSi_{1-x} 合金沟道层,以免沟道载流子迁移率受杂质散射的影响而衰减.

最终的器件横断面结构如图 2 所示,采用透射电子显微术得到的该器件的沟道区横断面的 TEM 照片如图 3 所示^[8]. 从照片我们可以看到一些平行分布的瓣状衬度的位错环,经

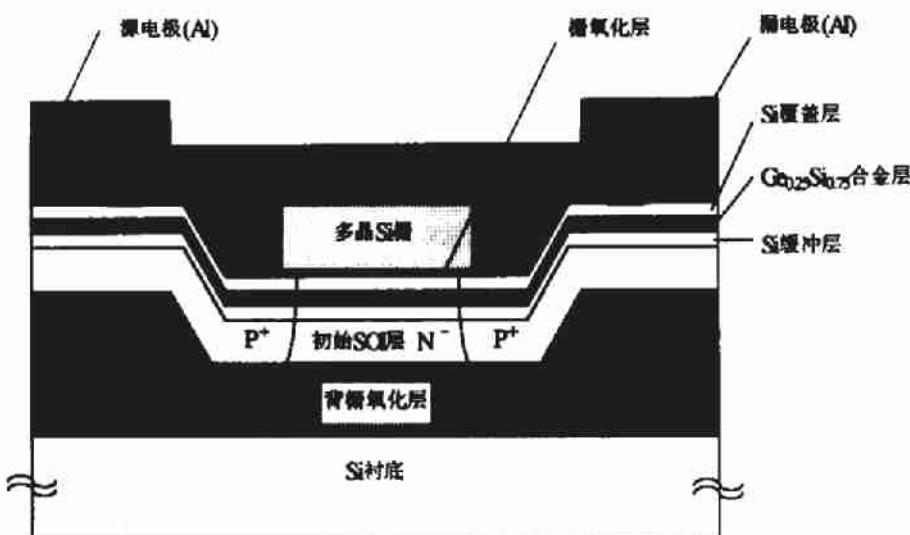


图 2 SOI Ge_xSi_{1-x} 合金沟道 P-MOSFET 的横断面结构示意图

过分析我们认为,这些位错环是在以初始 SOI 层为籽晶利用 MBE 法生长 Si 缓冲层时产生的. 因此,位错环分布的位置应该就是初始 SOI 层和缓冲层的边界. 从照片上看,位错环距

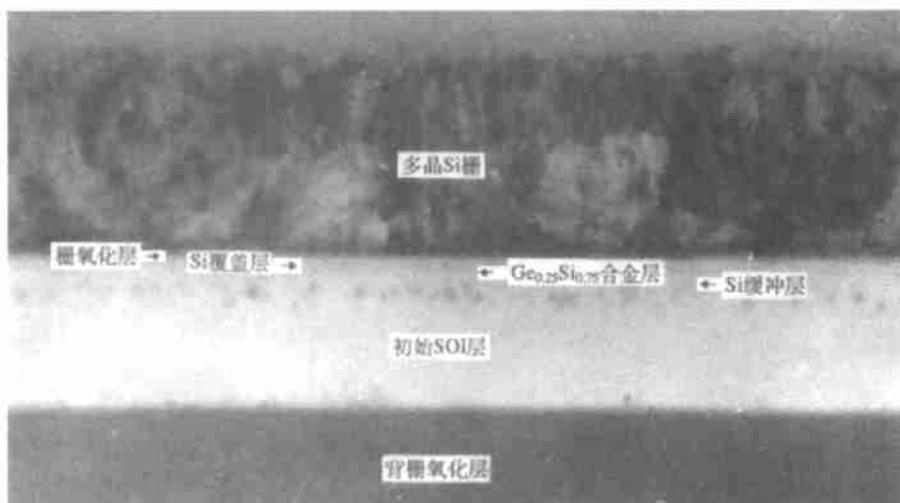


图 3 SOI Ge_xSi_{1-x} 合金沟道 P-MOSFET 的沟道区 TEM 照片

栅介质层大约有 40nm, 这样推算下来, 最终的器件中位于 $\text{Ge}_x\text{Si}_{1-x}$ 合金沟道层与栅介质层之间的 Si 覆盖层厚度约为 20nm. 再有, 为了进行对比研究, 我们还同时制造了相应的普通 Si 沟道 SOI P-MOSFET, 其工艺过程除了不进行 MBE 生长和利用 800°C 干氧氧化的方法生长 10nm 的 SiO_2 栅介质层外, 与 $\text{Ge}_x\text{Si}_{1-x}$ 合金沟道器件完全相同.

3 器件特性的测量结果与讨论

按照上述工艺过程制造的 $\text{Ge}_x\text{Si}_{1-x}$ 合金沟道 SOI P-MOSFET 和相应的 Si 沟道器件的输出特性和转移特性分别示于图 4 和图 5 中. 两种器件的栅宽与栅长分别为 20 μm 和 4 μm .

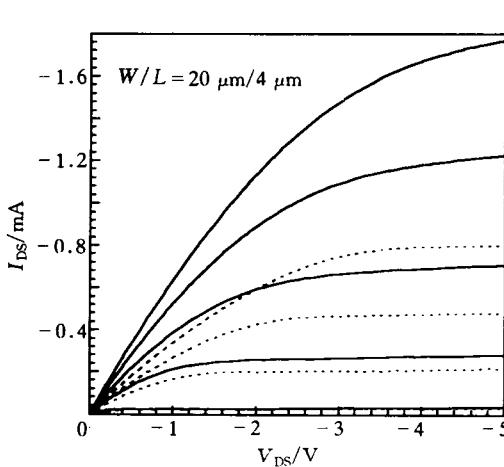


图 4 SOI $\text{Ge}_x\text{Si}_{1-x}$ 合金沟道 P-MOSFET 和相应的 Si 沟道器件的输出特性
实线: $\text{Ge}_x\text{Si}_{1-x}$ 合金沟道器件; 虚线: Si 沟道器件;

$V_{GSF}=0\text{V}, -1\text{V}, -2\text{V}, -3\text{V}, -4\text{V}$.

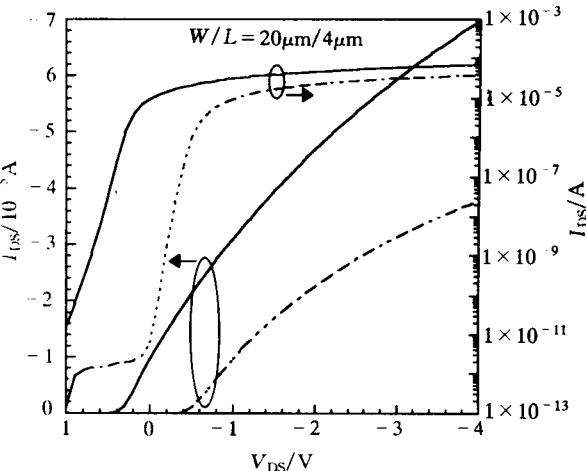


图 5 SOI $\text{Ge}_x\text{Si}_{1-x}$ 合金沟道 P-MOSFET 和相应的 Si 沟道器件的转移特性
实线: $\text{Ge}_x\text{Si}_{1-x}$ 合金沟道器件;

虚线: Si 沟道器件; $V_{DS} = -0.1\text{V}$.

图 6 给出了两种器件的线性区跨导 g_{ml} 和饱和跨导 g_{ms} 随栅偏压 $|V_{GSt}|$ 的变化情况. 首先, 我们从图中可看到这样的现象: 器件的跨导开始随着 $|V_{GSt}|$ 的增加而提高, 待增加至峰值后又随着 $|V_{GSt}|$ 的增加而下降. 其原因在于, $|V_{GSt}|$ 的增加导致了沟道区表面垂直电场强度的增大, 从而使载流子受到更加强烈的表面散射, 因此载流子迁移率减小, 器件的跨导最终会随着 $|V_{GSt}|$ 的增加而下降. 这说明, 当栅电压足够负时, 无论是 $\text{Ge}_x\text{Si}_{1-x}$ 沟道器件还是相应的 Si 沟道器件, 都是表面沟道起主导作用. 其次, 从图中我们还看到, 在所有的栅压范围内 $\text{Ge}_x\text{Si}_{1-x}$ 沟道器件的 g_{ml} 和 g_{ms} 都明显高于相应的 Si 沟道器件. 其中, 两种器件的线性区峰值跨导分别为 1.505mS/mm 和 0.925mS/mm. 对于 MOS 器件, 低场下的沟道载流子迁移率 μ_{low} 与 g_{ml} 存在以下关系

$$\mu_{low} = \frac{g_{ml}L}{WC_{eff}V_{DS}} \quad (1)$$

其中 W 和 L 分别为器件的沟道的宽度和长度; C_{eff} 为单位面积的有效栅电容; V_{DS} 为漏源电压. 对于普通的 Si 沟道器件, C_{eff} 就是单位面积的 10nm 厚的栅氧化层电容, 因此很容易计算出其低场下的沟道载流子迁移率为 $109.4\text{cm}^2/(\text{V}\cdot\text{s})$. 由于一定厚度的 Si 覆盖层的存

在, $\text{Ge}_x\text{Si}_{1-x}$ 沟道器件的 C_{eff} 是随着栅偏压的改变而改变的, 故而很难确定。考虑极限情况, 我们对其进行估算: 如果载流子完全被限制在 $\text{Ge}_x\text{Si}_{1-x}$ 沟道层中, 则 C_{eff} 就是单位面积的 7nm 厚的栅氧化层电容和 20nm 厚的 Si 覆盖层体电容的串联, 从而达到它的最小值; 如果栅偏压足够负而导致载流子主要通过 Si 覆盖层中的表面沟道进行输运, 则 C_{eff} 等于单位面积的 7nm 厚的栅氧化层电容, 从而达到它的最大值。我们不妨作最保守的估计, 令 C_{eff} 取其最大值代入式(1)中计算, 得 $\text{Ge}_x\text{Si}_{1-x}$ 沟道器件的低场沟道载流子迁移率为 $124.6 \text{ cm}^2/(\text{V} \cdot \text{s})$ 。可见, 即使作最保守的估计, $\text{Ge}_x\text{Si}_{1-x}$ 沟道器件的低场下的沟道载流子迁移率也比相应的普通 Si 沟道器件高 14%。

两种器件的亚阈区特性如图 5 所示。显然, $\text{Ge}_x\text{Si}_{1-x}$ 合金沟道的引入使器件的亚阈区特性变坏, 具体表现在亚阈区斜率因子 S 变大(两种器件的 S 值分别为 119 mV/dec 和 75 mV/dec), 关态截止电流增加。这种现象在有关文献[1, 3]中也有报道。究其原因, 可能有以下几点:

- (1) Si 覆盖层的存在使有效栅电容 C_{eff} 有所减小从而使 S 增大。
- (2) 由于 $\text{Ge}_x\text{Si}_{1-x}$ 合金材料的本征载流子浓度较高, 所以源漏 P-N 结的漏电较大。
- (3) MBE 后的栅氧化(800°C)及 RTA(1000°C)工艺温度仍然偏高, 有可能使 $\text{Ge}_x\text{Si}_{1-x}$ 合金材料发生蜕化, 从而在沟道区产生位错等缺陷, 导致亚阈区漏电增加。

综上所述, 将 $\text{Ge}_x\text{Si}_{1-x}$ 合金沟道引入区熔再结晶 SOI P-MOSFET 中, 一方面有效地改善了器件的性能(沟道迁移率及跨导有所提高), 另一方面也带来了一些问题(亚阈区特性变坏)。为此, 在今后的工作中我们应采取以下的改进措施:

(1) 适当减薄 Si 覆盖层, 不但可以增加有效栅电容 C_{eff} , 而且还可以充分地提高载流子受限于 $\text{Ge}_x\text{Si}_{1-x}$ 沟道中的程度, 从而进一步提高器件的电流驱动能力和跨导, 并可改善器件的亚阈区特性。

(2) 进一步降低 MBE 后的有关高温工艺的温度。

由此可见, 红外区熔再结晶 SOI $\text{Ge}_x\text{Si}_{1-x}$ 合金沟道 P-MOSFET 在性能的提高方面还存在着相当大的潜力。

4 结论

我们在红外区熔再结晶 SOI 材料上, 结合 MBE 技术, 利用常规的 P-MOS 工艺制造出了 $\text{Ge}_x\text{Si}_{1-x}$ 合金沟道 P-MOSFET。通过器件特性的测量与分析可以得出这样的结论: 即使

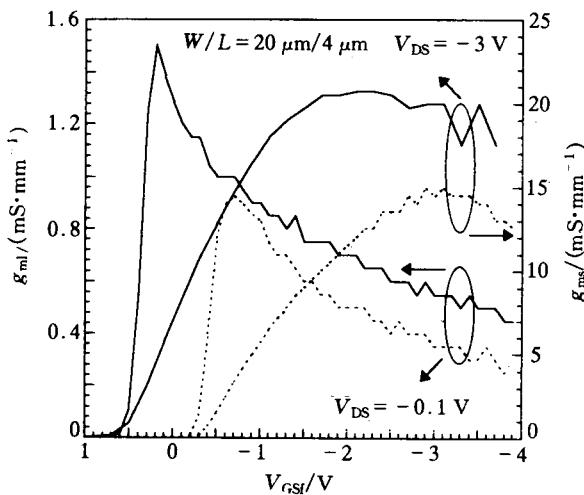


图 6 SOI $\text{Ge}_x\text{Si}_{1-x}$ 合金沟道 P-MOSFET 和相应的 Si 沟道器件的线性区跨导 g_m 和饱和区跨导 g_{ms} 的比较
实线: $\text{Ge}_x\text{Si}_{1-x}$ 合金沟道器件; 虚线: Si 沟道器件。

采用最保守的估算方法, $\text{Ge}_x\text{Si}_{1-x}$ 合金沟道器件的低场沟道载流子迁移率也比普通的 Si 沟道器件高 14%. 如果采取适当的改进措施,这种器件的性能还可以得到进一步的改善.

致谢 本文中的 TEM 照片由北京有色金属研究总院的刘安生等老师提供,作者对此表示衷心的感谢.

参 考 文 献

- [1] D. K. Nayak, J. C. S. Woo, J. S. Park *et al.*, IEEE Electron Device Lett., 1991, **EDL-12**(4): 154.
- [2] V. P. Kesan, S. Subbanna, P. J. Restle *et al.*, IEDM Dig. tech., 1991, 25.
- [3] D. K. Nayak, J. S. Park, J. C. S. Woo *et al.*, IEDM Dig. tech., 1992, 777.
- [4] 张鹏飞,《ZMR-SOI 材料及其 MOS 器件研究》,清华大学微电子学研究所博士论文(1994).
- [5] S. S. Iyer *et al.*, IEEE Electron Device Lett., 1991, **EDL-12**(5): 246.
- [6] Sophie Verdonck-Vandebroek, *et al.*, IEEE Trans. Electron. Dev., 1994, **ED-41**(1): 90.
- [7] S. P. Voinigescu *et al.*, IEDM Dig. tech., 1994, 369.
- [8] Liu Ansheng, An Sheng Liu, Shao Beiling *et al.*, Chinese Journal of Electronics, 1997, **6**(1): 47~51.

Study of Infrared Zone-Melting-Recrystallization (ZMR) SOI $\text{Ge}_x\text{Si}_{1-x}$ Alloy Channel P-MOSFET's

Fu Jun, Luan Hongfa, Tian Lilin and Tsien Peihsin

(Institute of Microelectronics, Tsinghua University, Beijing 100084)

Zhou Junming

(Institute of Physics, The Chinese Academy of Sciences, Beijing 100080)

Received 24 June 1996, revised manuscript received 15 November 1996

Abstract Si/ $\text{Ge}_x\text{Si}_{1-x}$ /Si quantum well structure was formed on the infrared Zone-Melting-Recrystallization (ZMR) SOI material by using MBE technique. On the basis of this, SOI $\text{Ge}_x\text{Si}_{1-x}$ alloy channel P-MOSFET's were fabricated by using conventional P-MOS process. In order to avoid degradation of $\text{Ge}_x\text{Si}_{1-x}$ alloy layer, temperature was controlled not above 800°C during the processing steps after MBE except Rapid Thermal Annealing (RTA). The transconductance and channel mobility of SOI $\text{Ge}_x\text{Si}_{1-x}$ alloy channel P-MOSFET have been found to be higher than those of an identically processed conventional Si channel device according to measurements of I - V characteristics. Moreover, this kind of device has great potentialities in further improvement on performance.

EEACC: 2560R