

相关矢量量化图象编码 算法的 VLSI 结构*

周 汀 章 倩 苓 李 蔚 李 清

(复旦大学专用集成电路与系统国家重点实验室 上海 200433)

摘要 本文提出了一种实现相关矢量量化图象编码算法的 VLSI 结构。该结构根据相关矢量量化编码算法, 利用相邻图象块编码地址的相关性, 提高编码效率, 并采用特殊设计的图象边缘块处理方法, 降低实现复杂度。本文详细讨论了相关矢量量化图象编/解码器各部分的 VLSI 实现结构, 并介绍了电路设计与模拟结果。

EEACC: 6120B, 6140C, 2570, 1130

1 引言

矢量量化编码是一种有效的图象编码方法^[1]。在零记忆图象矢量量化编码算法中, 通常将图象划分方块, 进行单独量化。由于图象的空间相关性, 相邻图象块的编码地址之间仍具有很强的相关性。为此研究者提出了多种改进算法来提编码效率, 如预测矢量量化、有限状态矢量量化、地址矢量量化等等^[2~4]。

文献[5]提出的相关矢量量化算法有效地降低了码率和编码计算复杂度, 作者在文献[6]中就以下三方面作了进一步改进: 增加预测块, 提高预测效率; 根据相邻块的编码情况选择不同的 Huffman 码表进行条件熵编码, 以进一步降低码率; 对图象的边缘块引进一致的处理方法, 提高算法的可实现性。由于相关矢量量化编码过程的计算复杂度很高, 因此采用 VLSI 实现是该算法应用于高速实时系统的必然途径。本文将讨论实现该算法的 VLSI 结构。

本文第二节将简要介绍相关矢量量化图象编码算法的原理, 第三节将详细讨论相关矢量量化图象编/解码器各组成部分的 VLSI 实现结构, 并将介绍采用硬件描述语言 VHDL 的电路设计、验证与综合结果。

* 国家自然科学基金资助项目

周 汀 男, 1969 年生, 博士, 主要从事图象编码、信号处理和集成电路系统设计等方面的研究

章倩苓 女, 复旦大学专用集成电路与系统国家重点实验室主任, 主要从事集成电路设计和信号处理等方面的研究

1996 年 7 月 21 日收到初稿, 1997 年 4 月 8 日收到修改稿

2 相关矢量量化图象编码算法

2.1 相关矢量的编码地址预测

当图象进行零记忆矢量量化后,相邻块的编码地址之间存在很强的相关性。在平滑区域,这种相关性表现为相邻块编码地址往往相同。考察非边缘图象块 x (图 1), x 的矢量量化

编码地址 Q_x 可通过 a, b, c, d 四个邻块的编码地址 Q_a, Q_b, Q_c, Q_d 来预测。这时存在五种预测情况:

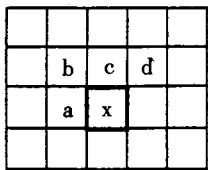


图 1 用于预测 x
的邻块示意图

- I . $Q_x = Q_a$;
- II . $Q_x = Q_c$, 且情况 I 不成立;
- III . $Q_x = Q_d$, 且情况 I , II 均不成立;
- IV . $Q_x = Q_b$, 且情况 I , II , III 均不成立;
- V . 情况 I , II , III , IV 均不成立

其中采用 a, c, d, b 的次序主要是依据各邻块对 x 预测的重要程度,以减小熵值,提高编码效率。对于前四种预测情况,解码器只需要很少的控制信息就可实现解码。对于情况 V,则需要传送 Q_x 。

2.2 预测情况的条件熵编码

对于上面五种预测情况,通常需要 3bit 的控制信息。但实际上这五种预测情况并非是等概率出现,同时邻块编码地址之间的相互关系也将影响它们出现的概率。因此我们可以根据邻块编码地址,对预测情况作条件熵编码。根据实验数据所得的概率分布,我们为所有可能的邻块编码关系分别建立预测情况的 Huffman 码表,编(解)码器可根据当前邻块编码情况,选择不同的 Huffman 码表实现编(解)码。

对于图象边缘的数据块,由于不存在某些邻块,不能完全沿用非边缘块的处理方法。根据边缘块在图象中的不同位置,可分为四类:第一类是图象最左上角的块;第二类是第一行中除最左上角之外的图象块;第三类是第一列中除最左上角之外的图象块;第四类是最后一列中除最右上角之外的图象块。

为便于图象边缘块处理,首先引入以下定义:

定义 在原图象的左、上、右侧各增加一层图象块后构成的图象,称为**扩展图象**。原图象中的数据块称为**有效块**,增加的数据块称为**无效块**。

这样原图象中的边缘块在扩展图象中均存在四个邻块,其中无效块不参加预测。引入扩展图象后,边缘块可采用类似非边缘块的处理方法。

2.3 相关矢量量化图象编码算法

根据上面的讨论,可得到以下编码算法:

- 步骤 1. 根据输入图象块 x 的位置,判断图象块的类别,并得到该类的预测允许表;
- 步骤 2. 根据码书得到 x 的编码地址 Q_x ;
- 步骤 3. x 邻块的编码地址 Q_a, Q_c, Q_d, Q_b 依次与 Q_x 进行比较,得到预测情况编号,其中无效邻块不参加预测;
- 步骤 4. 根据 Q_a, Q_c, Q_d, Q_b 之间关系与图象块类型,选择适当的 Huffman 码表;
- 步骤 5. 根据预测情况编号和 Huffman 码表生成预测情况的 Huffman 码,对于预测情

况 V ,另附加一个完整的 x 的编码地址 Q_x .

我们对上述算法进行了测试, 测试选用 256 阶码书, 图象块的大小为 4×4 , 测试图象为三幅 512×512 大小的灰阶图象“Lena”、“Peppers”和“Airplane”, 其中前两幅为码书训练集中的图象. 编码算法中采用的 Huffman 码表也是根据这两幅图象数据统计得到. 作为比较, 对无记忆 VQ 和文献[5]算法也作了相应测试. 表 1 为测试结果. 从测试结果可以看到, 上述新算法可以有效地提高编码效率. 相对于零记忆矢量量化算法, 压缩率约提高 35%~45%, 相对于文献[5]算法, 约提高 15%.

表 1 编码测试结果

图象	信噪比 PSNR	无记忆 VQ		文献[5]算法		本文采用算法	
		比特率	压缩率	比特率	压缩率	比特率	压缩率
Lena	31.41	0.500	16.0	0.387	20.7	0.326	24.5
Peppers	32.18	0.500	16.0	0.369	21.7	0.317	25.2
Airplane	30.02	0.500	16.0	0.332	24.1	0.285	28.1

注: 信噪比单位为 dB, 比特率单位为 bpp

3 相关矢量量化算法的 VLSI 结构

3.1 编码器总体结构

编码器结构如图 2 所示, 主要包括零记忆矢量量化编码模块, 相关预测模块, 编码模块与图象块类型判断电路. 输入图象块 x 首先进行零记忆矢量量化得到 Q_x , 并通过延迟单元得到 Q_a, Q_b, Q_c, Q_d . 在相关预测模块中, Q_x 与 Q_a, Q_c, Q_d, Q_b 依次进行比较, 获得预测情况编号. 编码模块根据预测情况编号, 邻块编码地址关系和图象块类型, 生成 Huffman 码, 并结合 Q_x 产生编码输出.

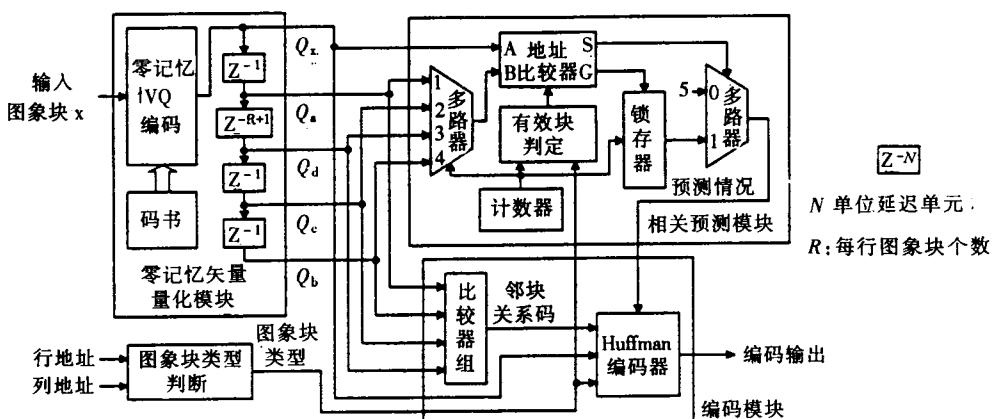


图 2 相关矢量量化图象编码算法的编码器结构

其中零记忆矢量量化编码器的 VLSI 实现已有广泛深入的研究, 图象块类型判断电路则是根据图象块的行列地址生成 5 种图象块类型码, 其结构比较简单, 因此本文将主要讨论相关预测模块与编码模块的设计.

3.2 相关预测模块

相关预测模块包括多路器, 4 进制计数器, 地址比较模块, 有效块判定等部分. Q_x 与其

邻块的编码地址依次进行比较,当两者相同,且该邻块为有效块时,地址比较模块的输出信号 S 变为“1”,输出信号 G 控制锁存器锁存计数值,并通过多路器得到预测情况编号.

3.3 编码模块

编码模块根据邻块编码关系实现预测情况及 Q_x 的编码. 该模块包括邻块关系比较和 Huffman 编码器.

邻块关系比较电路由 6 个相等比较器构成,输入分别为 $\{Q_a, Q_b\}, \{Q_a, Q_c\}, \{Q_a, Q_d\}, \{Q_b, Q_c\}, \{Q_b, Q_d\}$ 和 $\{Q_c, Q_d\}$, 这六个比较器的输出构成邻块关系码. 其中每一种邻块关系码对应于一种邻块编码地址关系,因此可以用来实现条件熵编码.

Huffman 编码器是一种应用广泛的熵编码器,这里的 Huffman 编码器具有以下特点:

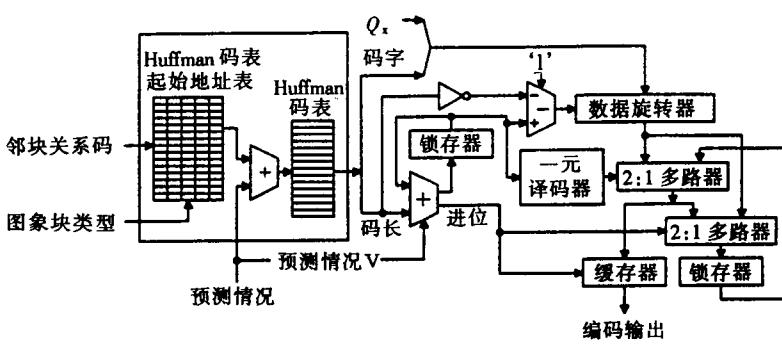


图 3 Huffman 编码器结构

① 码表可变,根据邻块编码地址关系选择不同的码表;

② 码长较短,最长的码长为 4bits,连同 Q_x 只有 12bits;

③ 速度较低,处理速度为输入象元速率的 $1/K$ (K 为矢量维数).

根据这些特点,

Huffman 编码器的结构如图 3 所示. Huffman 码表采用二级查表结构. 首先根据邻块关系码和图象块类型码得到该情况时 Huffman 码表的起始地址,再根据预测情况编号,获得 Huffman 码字和码长,然后经缓冲器的接口电路,生成并行的编码输出. 为简化控制,预测情况的 Huffman 码与 Q_x 组成一个整体,同时进行移位等操作. 其中数据旋转器用来实现数据的循环移位. 一元译码器(Unary decoder)的功能是序号不小于输入的输出端输出为 1,否则为 0.

3.4 解码器结构

解码器结构如图 4 所示. 实际上除了 Huffman 解码器与零记忆矢量解码器外,各组成部分与编码器中相应模块基本相同. 其中零记忆矢量解码器是根据地址查表的过程. 本文将只讨论 Huffman 解码器的设计.

Huffman 解码器是整个解码器中最重要的部分,其结构如图 5 所示. 与 Huffman 编码器相对应,这里 Huffman 解码器也具有码表可变,码长较短,速度较低等特点. 因此码字比较与匹配采用 LUT 方式,其中 Huffman 码最大长度为 4bits(不包括 Q_x),每个 Huffman 解码器只需 16 个存储单元,整个解码器共需 $24 \times 16 = 384$ 个存储单元. 解码器中根据预测情况再进行 Q_x 的解码,这样避免了对较长的变长码的解码,降低了实现规模.

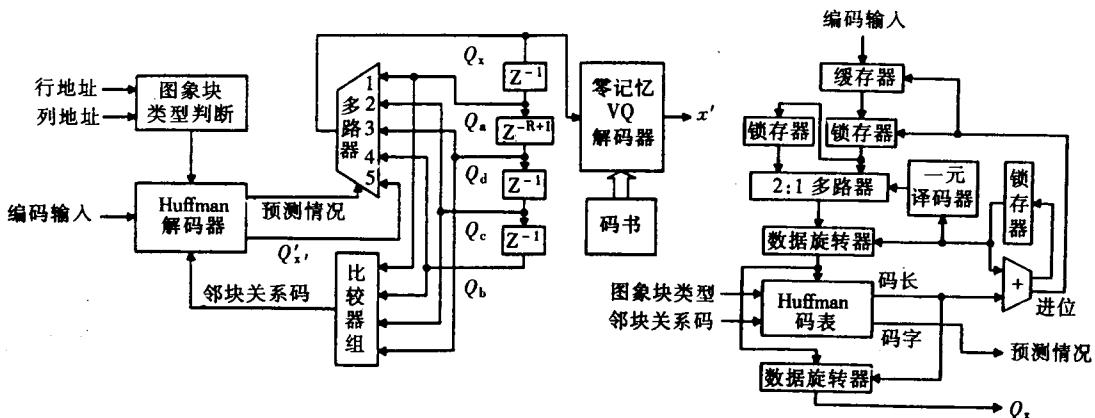


图 4 解码器结构

图 5 Huffman 解码器结构

4 电路综合设计与模拟结果

在电路设计过程中,我们首先根据上述结构,设计了相应编码器与解码器的硬件描述语言 VHDL 模型。为了提高模型的处理速度,设计中采用了流水线结构。模型的逻辑功能正确性通过 Synopsys 公司的 VHDL 模拟器进行模拟和验证。

图 6(a)为编码器模拟结果。测试输入为图象“Lena”中的部分数据。图象数据宽度为 5 个图象块,高度为 5 个图象块。其输出码流为 D8DAF6DCB39E74A086…,与预期输出结果一致。图 6(b)为解码器模拟结果,其输入为编码器的输出码,输出的重构数据与图 6 完全一致,由此验证了编/解码器模型逻辑功能的正确性。

Ck																					
Col	0	1	2	3	4	0	1	2	3	4	0	1	2	3	4	0	1	2	3	4	0
Row	0					1					2					3					0
Q _x	D8	D7	CE	D7	CE																D8
Load	U																				
Code(11:0)	UUU					D8D					AF6					BCB					74A

(a) 编码器模拟波形图

Ck																						
Col	0	1	2	3	4	0	1	2	3	4	0	1	2	3	4	0	1	2	3	4	0	
Row	0					1					2					3					0	
Q _x	D8D	AF6	BCB	39E	74A	086	C6D															
Load	0	D8	D7	D7	D7	D7	CE	D7	CE	D7												
Code(11:0)																						

(b) 解码器模拟波形图

图 6 电路模拟波形图

(a) 编码器模拟波形图; (b) 解码器模拟波形图

为了得到门级电路,利用 Synopsys 综合工具对编(解)码器的 VHDL 模型进行综合与优化,各部分的设计结果如表 2。设计采用 LSI 公司的 lsi-10k CMOS 工艺库。从综合设计结果可知,编码器电路的最高处理速度约为 $53.1/4 = 13.3\text{M}$ 块/秒,解码器电路的最高处理速

度约为 15.0M 块/秒,若矢量量化的图象块大小为 4×4 时,则最高编解码速度分别约为 212M 象元/秒与 240M 象元/秒.

表 2 电路综合设计结果

	编码器			解码器	
	相关预测模块	编码模块(Huffman 编码器)	总体	Huffman 解码器	总体
规模/单位面积	237	2760(2327)	3107	1099	1533
最高时钟频率/MHz	111	17.7	53.1	17.0	15.0

注:1) 不包括零记忆矢量量化模块与 Huffman 码表

2) 编码器主时钟经 4 分频作为编码模块时钟,因此其最高时钟较编码模块高

5 结束语

本文提出了一种实现相关矢量量化图象编码算法的 VLSI 结构. 针对算法的特点,该结构采用了一些特别设计的实现方法,以降低电路规模,同时还采用了流水线结构提高处理速度,并利用硬件描述语言 VHDL 进行了编/解码器的设计、验证与综合.

参 考 文 献

- [1] R. M. Gray, IEEE Acoustics, Speech, and Signal Processing Magazine, 1984, 1: 4~29.
- [2] K-T. Lo and J. Feng, IEEE Trans. Consumer Elec., 1995, 41(2): 327~331.
- [3] J. Foster, R. M. Gray and M. O. Dunham, Finite-State Vector Quantization for Waveform Coding, IEEE Trans. Inform. Theory, 1985, 31(3): 348~359.
- [4] N. M. Nasrabadi and Y. Feng, IEEE Trans. Commun., 1990, 38(12): 2166~2173.
- [5] 王卫,蔡德钧,万发贵,电子学报,1995, 23(4): 30~34.
- [6] 周汀,图象编码算法的 VLSI 结构研究,复旦大学博士学位论文,1996, 6.

A VLSI Architecture of Correlation Vector Quantization for Image Coding

Zhou Ting, Zhang Qianling, Li Wei and Li Qing

(ASIC & System State Key Laboratory, Fudan University, Shanghai 200433)

Received 21 July 1996, revised manuscript received 8 April 1997

Abstract A VLSI architecture based on the correlation vector quantization scheme is presented. According to the algorithm, the correlation between the code addresses of the adjacent blocks is utilized to decease bit rate by anticipating the current block from the coded adjoint blocks. A special coding scheme for the edge blocks is designed to reduce implementation complexity. The details of the VLSI architectures for coder and decoder are discussed, and the results of circuit design and simulation are introduced.

EEACC: 6120B, 6140C, 2570, 1130