

适于低压低功耗工作的 SOI 栅控混合管(GCHT)的实验研究

黄如 张兴 李映雪 王阳元

(北京大学微电子所 北京 100871)

摘要 本文讨论了 SOI 栅控混合管(GCHT)的设计及制备. 对这种器件的物理机制进行了实验证, 得到结论: GCHT 漏端电流在栅压较高时趋于双极电流, 而不如文献[4]中报道的是 MOS 电流. 实验结果表明, 这种混合管具有比纯 MOSFET 约高 6.5 倍, 比纯 BJT 约高 1.7 倍的驱动能力, 最高电流增益可达 10000, 最小亚阈摆幅可达 66mV/dec, 导通电压比纯 BJT 约低 0.3V, 比纯 MOSFET 约低 0.7V. 由 GCHT 组成的反相器在 $V_{dd}=0.8V$ 仍具有良好的直流传输特性. 因此 GCHT 在低压低功耗应用领域中极具潜力, 同时也将适于模拟电路方面的应用.

EEACC: 2560Z, 2520M

1 引言

高速、低功耗器件的研制已成为当今集成电路发展的迫切需要. SOI 器件的出现无疑是一大契机. 薄膜全耗尽(FD)SOI 器件可以降低短沟效应, 改善亚阈特性, 提高器件跨导, 是低压低功耗电路的较好选择. 然而随着器件进入深亚微米范围, FD SOI 器件的这些优势将不复存在. 为获得合适的阈值电压, 要求硅膜较薄, 硅膜平整度将直接影响阈值电压的一致性, 由此带来材料制备上的困难. 而且为使器件全耗尽, 掺杂浓度一般较低, 使器件短沟特性变坏. 另外, 为降低串联电阻, 必须采用硅化物工艺. 相应薄硅膜的超薄硅化物工艺重复性差, 源漏硅化物工艺与栅硅化物工艺同时完成, 也使栅电阻受限于源漏硅化物厚度. 因此厚膜 SOI 器件被认为是未来 SOI 技术发展的趋势之一^[1]. 与体硅器件相比, 厚膜 SOI 器件具有结电容小, 体效应被消除等特点. 通过合理设计沟道区及源漏区, 可得到合适的阈值电压及较好的短沟特性, 而且阈值电压对硅膜厚度的灵敏度下降. 厚膜 SOI 器件存在的主要问题是浮体效应. 近年来提出的栅控混合管将体引出^[2~4], 可以消除浮体效应, 同时具有驱动能力大、导通电压低等特点, 然而对其物理机制众说纷纭, Colinge^[2]认为由于栅偏压生耗尽区展宽, 缩短了有效中性基区长度, 导致跨导增强. Vandebroeke^[3]及 Parke^[4]将漏端电流

黄如 女, 1969 年生, 博士生, 主要从事 SOI 新器件及其电路方面的研究

张兴 男, 1965 年生, 副教授, 主要从事 SOI 器件、电路等方面的研究

李映雪 女, 1936 年生, 教授, 主要从事半导体薄膜、半导体界面和 SOI 材料的制备及特性的研究

1996 年 9 月 10 日收到初稿, 1996 年 10 月 30 日收到修改稿

看作是沟道电流与体双极电流的简单迭加,认为在亚阈电压下,双极电流起主要作用,高栅压下,MOSFET 沟道电流起重要作用。我们已从理论上解释了这一论点的不宜之处^[5,6],本文将从实验上对其作进一步说明。而且将对不同参数的器件性能作一比较,分析各参数对器件性能的影响,实验发现栅宽的影响不象文献[2]中预测得那样严重。另外,文中也给出制备出的反相器性能。本文第二部分将论述器件结构及制备工艺,第三部分将进行实验结果讨论。

2 结构及器件制备

图 1 为 npn GCHT 的结构示意图。源、漏、体分别同时用作发射区、集电区及基区。栅与体在器件两边相连;源体结工作于正偏状态。器件对应沟道区的表面状态将同时受栅压及基

极电压的影响,使器件表现出不同于一般 MOSFET 的性能。为使 GCHT 工艺与 CMOS 工艺兼容,将栅体连接作内联设计,即在刻蚀多晶硅栅时直接制备通到体的接触孔,引线孔大于该接触孔,实现栅体内联。为减小栅电阻的影响,器件两边的内联再用铝线连接。掩膜版设计栅长从 $0.8\mu\text{m}$ 到 $2\mu\text{m}$ 。另外,为了比较基极电阻对器件性能的影响,除了设计不同栅宽的器件外,还专门设计了一块基区接触注入版,在阈值调整注入完成后,即进行基极接触注入,根据设计规则,这样可以减小较高电阻率的基极条的长度。

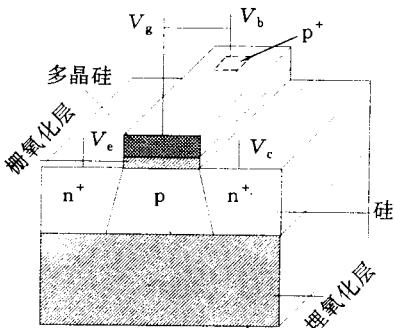


图 1 GCHT 结构示意图

器件制备采用 IBIS 公司的 SIMOX 材料,原始硅膜厚度为 190nm ,埋氧层厚度为 390nm 。在硅岛刻蚀完成后,进行硼阈值调整注入,注入能量为 40keV ,注入剂量分别为 $4.8 \times 10^{12}\text{cm}^{-2}$ 及 $5.4 \times 10^{12}\text{cm}^{-2}$ 。然后生长 23.5nm 厚的栅氧化层,并刻蚀多晶硅栅,同时刻出由栅通到体的接触孔。接着在源漏注入的同时完成体接触孔处的注入掺杂(即 P 管源漏注入时同时完成 N 管的体接触注入),然后采用一步退火完成杂质激活及退火损伤消除。对某些硅片加长退火时间(950°C ,160 分钟退火),以供不同表面杂质浓度器件比较。可见整套工艺与 CMOS 工艺完全兼容,不附加任何掩膜版(除了分析比较用的基区接触注入版)。最终硅膜厚度约为 166nm 。

3 实验结果及讨论

npn GCHT 及其相应的 BJT、MOSFET 的转移特性曲线如图 2(a)所示,注入能量及注入剂量分别为 40keV 、 $4.8 \times 10^{12}\text{cm}^{-2}$,并经过附加退火,通过过刻蚀方法得到的宽长比 W/L 为 $10\mu\text{m}/0.6\mu\text{m}$ 。由图可见这种栅体相连,体源结正偏的 GCHT 器件的驱动能力大大提高,比纯 BJT 约高 1.7 倍,比纯 MOSFET 约高 6.5 倍。同时其亚阈摆幅较小(66mV/dec),导通电压比纯 BJT 约低 0.3V ,比纯 MOSFET 约低 0.7V 。GCHT 器件在保证漏电较小的情况下,同时具有较低的导通电压及较大的驱动能力,这对低压低功耗电路极为适用。

另外,由图 2(a)可见,在电压较高时,并不是 MOS 电流起主导作用,GCHT 电流最终趋向于双极电流。GCHT 电流不能看作是 MOS 电流及 BJT 电流的简单迭加。栅体虽然具有相同的电势,但栅材料与体材料之间的功函数差将使得表面能带弯曲,在源体结(发射结)处,从表面到体内的势垒逐渐升高。在栅电压(基极电压)较低时,受栅控制的表面区域首先导通,随着电压增大,注入到体(基区)的电子增多,为保持纵向电荷平衡,栅上电荷增多,从而引起表面势降低。表面势随基极电压增大而减小。电压增大到一定值,体内开始导通,两支电流同时对 GCHT 电流起作用。电压继续增大,表面势趋于零,栅下耗尽区消失,最终电流趋向于双极电流。这一实验结论与提出的理论^[5,6]相吻合。跨导比较曲线(如图 2(b)所示)也良好验证了这一定性说明。器件导通后 GCHT 的跨导曲线与 BJT 的类似,且最终两者趋于一致。GCHT 比 BJT 提前达到跨导最大值,曲线偏移量约为 0.3V。

由转移特性曲线可以看出,这种器件具有高达 10000 的电流增益,图 3 示出了其输出特性曲线,可见输出电阻较大,因此器件的 βV_A 值将较高,这对于模拟电路是十分有效的。尤其这种器件的高增益性能将适用于低失调、高输入阻抗的差分放大器等模拟电路单元。

图 4 反映了不同工艺条件对器件性能的影响。器件的宽长比为 $30\mu\text{m}/1.2\mu\text{m}$,栅氧层厚度为 23.5nm 。由图可见,掺杂浓度越小,开启电压越低,电流增益越大。而且 SOI 器件不同于体硅器件,经过退火后表面杂质浓度变大,表现出相应的器件性能,SOI 材料中硅膜背面为埋氧层,杂质的推进受其限制。随着退火时间的增加,杂质的纵向分布将趋于均匀,这已为 SUPREM 模拟所证实。另外,不同掺杂浓度的器件都表现出较大

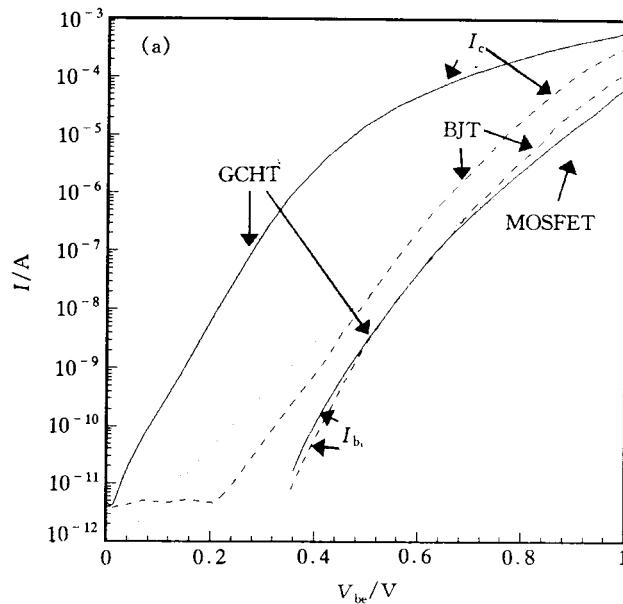


图 2(a) GCHT, BJT 及 MOSFET 的转移特性曲线

$W/L = 10\mu\text{m}/0.6\mu\text{m}, t_{ox} = 23.5\text{nm}$,

注入条件: $40\text{keV}, 4.8 \times 10^{12}\text{cm}^{-2}$ 。

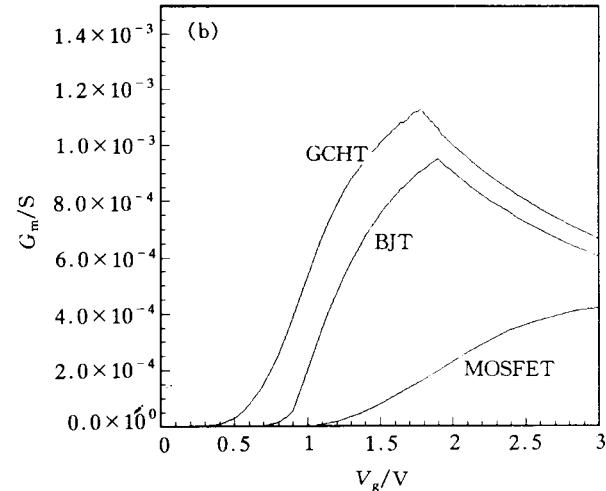


图 2(b) GCHT, BJT 及 MOSFET 的跨导比较曲线

的电流增益,进一步验证了 GCHT 的工作机制。而且由图可见,注入条件为 $5.4 \times 10^{12} \text{ cm}^{-2}$ 的器件表现出的大注入效应较小。其掺杂浓度较大,整个硅膜基本均匀,基极电阻较小,大电流情况下,损失压降较小。而对于掺杂较淡但经过退火后的片子杂质浓度提高不多,基极电阻改善不大,表现出的大注入效应依旧较大。因此作逆向掺杂设计将利于器件性能的优化,既能保证一定的开启电压,又能减小基极电阻。

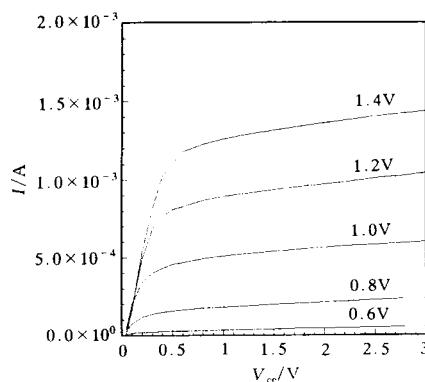


图 3 GCHT 输出特性曲线

$W/L = 10\mu\text{m}/0.6\mu\text{m}$, $t_{ox} = 23.5\text{nm}$,

注入条件: $40\text{keV}, 4.8 \times 10^{12} \text{ cm}^{-2}$.

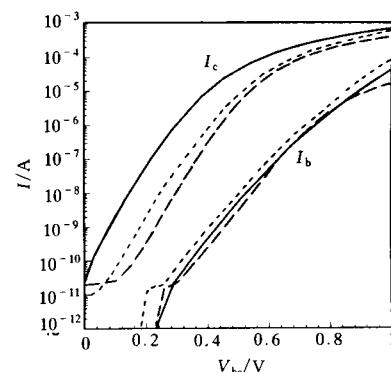


图 4 掺杂浓度对器件性能的影响

$W/L = 30\mu\text{m}/1.2\mu\text{m}$, $t_{ox} = 23.5\text{nm}$,

实线: $4.8 \times 10^{12} \text{ cm}^{-2}$; 虚线: $4.8 \times 10^{12} \text{ cm}^{-2}$

附加退火; 点线: $5.4 \times 10^{12} \text{ cm}^{-2}$.

Colinge 认为^[2]在这种器件中起作用的只有靠近基极接触处几个 μm 长的基区部分。然而实验发现栅宽的影响并不象横向纯 BJT 中那样严重。对于宽栅器件,其漏端电流比窄栅器件增大约同样比例,堆挤效应及大电流效应并不提前出现。由于在小电流下基极电阻的影响可以忽略,在电流较大时才表现出较大的影响,可以分析膝点电压来说明这一现象,如图 5 所示。可见掺杂浓度较高的片子相应的膝点电压较高,经过基极接触注入的片子不同栅宽器件的膝点电压较为接近。但是对于不同结构及工艺参数的器件表现出的总的栅宽效应还是较小的,并不象预测得那样严重。对于 GCHT 器件,在电流较大时,由于体电阻的存在,体源结上的有效压降随电流增大而有所降低,栅体之间存在一定电势差 V_{gb} ,这一正的电势差利于电流增大,因此其将补偿由于有效压降下降带来的电流变化,使 GCHT 器件中栅宽的影响减小。

另外,我们还设计了 GCHT 组成的反相器,其直流传输特性如图 6 所示。器件宽长比为 $10\mu\text{m}/0.8\mu\text{m}$,可见 GCHT 反相器在 $V_{dd} = 0.8\text{V}$ 下仍能较好工作,而相应的 MOSFET 反相器在 $V_{dd} = 2\text{V}$ 时已不能正常工作。GCHT 器件将适用于低压低功耗电路。

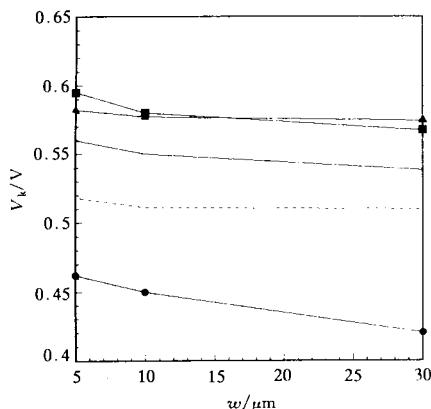


图 5 棚宽对器件性能的影响

实线: $3.5 \times 10^{12} \text{cm}^{-2}$, 附加退火及基区接触注入;
 虚线: $3.5 \times 10^{12} \text{cm}^{-2}$, 附加基区接触注入;
 ●: $4.8 \times 10^{12} \text{cm}^{-2}$; ■: $4.8 \times 10^{12} \text{cm}^{-2}$ 附加退火;
 ▲: $5.4 \times 10^{12} \text{cm}^{-2}$.

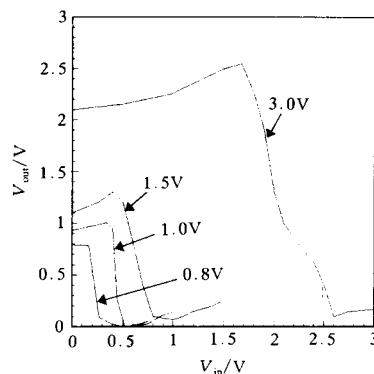


图 6 GCHT 反相器直流传输特性

$W/L = 10\mu\text{m}/0.8\mu\text{m}$.

4 结论

本文给出了栅控混合管的实验研究情况. 从实验上验证了我们提出的 GCHT 器件的物理机制, 证明前人认为最终 GCHT 电流趋向于 MOS 电流的观点不妥. 通过实验成功地得到了驱动能力大、亚阈摆幅较小、电流增益较大的 GCHT 器件. 文中还对不同结构参数、工艺参数对器件性能的影响作了讨论, 指出逆向掺杂分布是优化器件性能的一个途径. 另外, 实验发现棚宽的影响比纯横向 BJT 小, GCHT 器件可以减小横向管基极电阻的影响, 如果附加基极接触注入, 则可以得到更小的棚宽效应. 本文还给出了 GCHT 反相器的性能. 通过分析得到这种器件确适用于低压低功耗电路.

致谢 作者衷心感谢航天部 771 所六室全体人员及北京大学微电子所工艺室、设计室人员对实验工作给予的大力支持及帮助.

参 考 文 献

- [1] Lisa, Solid State Device Meeting, Osaka, Japan, 1994, 542~544.
- [2] J. P. Colinge, IEEE Trans. Electron Devices, 1987, 34(4): 845~849.
- [3] S. Verdonck-Vandebroek *et al.*, IEEE Trans. Electron Devices, 1991, 38(11): 2487~2496.
- [4] S. A. Parke, C. Hu and P. K. Ko, IEEE Electron Device Letter, 1993, 14(5): 234~236.
- [5] Ru Huang, Yang Yuan Wang and Ruqi Han, Solid State Electronics, 待发表.
- [6] Ru Huang, Yang Yuan Wang and Ruqi Han, Piecewise Model for Collector Current in SOI Gate Controlled Hybrid Transistor, 待发表.

Experimental Study of SOI Gate Controlled Hybrid Transistor (GCHT) Appropriate for Low Voltage Low Power Circuits

Huang Ru, Zhang Xing, Li Yingxue and Wang Yangyuan

(Institute of Microelectronics, Peking University, Beijing 100871)

Received 10 September 1996, revised manuscript received 30 October 1996

Abstract The design consideration and fabrication of gate controlled hybrid transistor (GCHT) are discussed. Detailed experimental results are used to verify the physical mechanism of GCHT. It is concluded that at high gate voltages, the driving current of GCHT is mainly pure BJT current, not MOS current which is reported in^[4]. The conclusion agree with the theory proposed earlier by us^[5,6]. The driving capability of the fabricated GCHT is about 1.7 and 6.5 times higher than the corresponding pure BJT and pure MOSFET respectively, with the highest current gain be 10000. The switching-on voltage is about 0.3V and 0.7V lower than pure BJT and pure MOSFET, with subthreshold swing be 66mV/dce. The inverter composed of GCHTs has good DC transfer characteristic even at $V_{dd}=0.8V$. Thus GCHT is promising for low voltage low power applications and analogue circuits as well.

EEACC: 2560Z, 2520M