

采用 SiO_2/Si 系扩镓提高扩散质量 和器件性能的研究

刘秀喜 赵富贤 薛成山 孙瑛 华士奎

(山东师范大学半导体所 济南 250014)

摘要 镉杂质均可在裸 Si 系和 SiO_2/Si 系中扩散, 但裸 Si 扩镓易在硅表面产生富镓合金点、凹坑和“白霜”, 导致器件低、软的击穿等, 为了清除表面缺陷对器件性能的影响, 采用 SiO_2/Si 系扩镓进行了研究。经过实验和长期应用, 这是克服表面影响的行之有效的方法。本文对二种扩散方式所产生的不同结果, 进行了分析和讨论。

PACC: 6170T

1 引言

在功率半导体器件制造中, 闭管式扩镓, 在成本、扩散质量和生产效率等方面都不能令人满意。由近期发展起来的开管扩镓^[1-3], 在器件生产中的优越性, 已引起人们的高度重视, 应用前景十分广阔。镓杂质虽均能在裸 Si 系和 SiO_2/Si 系中扩散, 但裸 Si 扩镓易在硅片表面产生富镓合金点、凹坑和“白霜”等表面缺陷, 导致扩散不均匀、重复性差, 造成管芯低击穿或穿通, 成品率低等^[1,4,5]。为了消除裸 Si 扩镓的影响, 对 SiO_2/Si 系扩镓进行了研究和试用, 经应用证明, 可显著地提高扩散质量, 明显地改善器件的电学性能, 是一种行之有效的掺杂方法。本文从实验和应用结果, 进行了深入地研究和分析。

2 实验方法

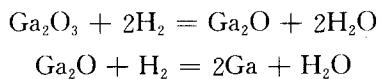
开管扩镓工艺, 采用三段控制单温区扩散炉, 两端均为磨口的长石英管, 镉源为固态 Ga_2O_3 , 源区与片区相距 75—85cm, 欲扩镓的清洁硅片立放在石英舟上, 氢气从源舟(Ga_2O_3)上方通过, 它作为镓源的反应和输运气体。片温为 1240—1250℃, 源温为 850—980℃, 氢流量为 65—120ml/min, 镉预淀积 15—30min。用设计的一种特殊装置可准确的控制通源时间。在高温下, 氧化镓与氢气反应而生成气态掺杂源, 以镓原子向 Si 中扩散。主要化学方程:

刘秀喜 男, 1940 年生, 副研究员, 目前从事半导体器件与微电子技术研究

赵富贤 男, 1937 年生, 研究员, 目前从事半导体器件与微电子技术研究

薛成山 男, 1945 年生, 研究员, 目前从事半导体器件与微电子技术研究

1993 年 7 月 12 日收到初稿, 1993 年 9 月 27 日收到修改稿



在高反压管制造工艺中,扩镓过程为低镓淀积、结深推移和高镓掺杂,三个阶段在同一炉内连续进行,从镓掺杂至 p-n 结形成,硅片始终置于 SiO_2 、 H_2 或 N_2 的保护下,不仅避免了多次升温、降温所造成的不良影响,而且也防止了在 p-n 结形成中的杂质污染。分段掺杂有利于控制基区掺杂量和降低结前沿杂质浓度梯度,这对于提高器件反压水平、改善电流特性是有效的途径。

3 实验结果和器件应用

3.1 扩散均匀性及表面状况

将热氧化和未氧化的 N 型硅片(电阻率为 $3\text{--}5\Omega \cdot \text{cm}$ 、 $40\text{--}60\Omega \cdot \text{cm}$ 和 $100\text{--}150\Omega \cdot \text{cm}$ 均作过实验)置于同一扩散炉中,先进行低镓淀积,恒温扩散 10h 后,再进行高镓掺杂。又对 P 型(n_s 为 $2 \times 10^{16}/\text{cm}^3$ 的扩铝片)热氧化和未氧化的硅片进行了镓掺杂。薄层电阻 R_s 测量结果见表 1。实验结果表明,镓在 SiO_2/Si 系扩散其 R_s 均匀性和表面状况良好,但裸 Si 系扩镓其 R_s 均匀性较差,表面缺陷严重;合金点、凹坑和白霜的产生,与裸 Si 片的导电类型、电阻率大小和表面光洁度(指光面和毛面)无关。

表 1 镉在裸 Si 系和 SiO_2/Si 系扩散的均匀性质及表面状况

硅片类型	薄层电阻 $R_s(\Omega/\square)$										表面状况	条 件
N 型	裸 Si 系:										合金点,凹坑, 局部有白霜	低镓掺杂: 片温为 1250°C 源温为 860°C H_2 为 65ml/min 时间为 15min
	A-124	24	25	20	13	27	15	25	20	32		
	A-2	38	34	35	30	24	32	30	36	38	31	高镓掺杂: 源温为 950°C 时间为 60min 其它同上
	SiO_2/Si 系											
P 型	A-3	28.5	28.5	28.5	28	28.5	28.5	28.5	29	28	28	表面良好,
	A-4	30	30	30	29.5	30	29.5	29.5	30	30	29.5	均匀
	裸 Si 系	160	250	130	140	35	210	29	60	300	75	合金点,凹坑 出现白霜
	SiO_2/Si	25	22	23	23	22	24	26	20	24	26	良好,均匀
												片温为 1250°C 源温为 975°C H_2 为 100ml/min 时间为 50min

3.2 扩散重复性

将氧化硅片先低镓掺杂,主扩 8h 后,测量 R_{s1} 和 x_{j1} ,继续恒温 2h,再高镓掺杂,最后测量 R_{s2} 和 x_{j2} ,做了 6 批,重复性见表 2。用未氧化硅片也做了类似实验(略)。实验结果表明,镓在 SiO_2/Si 系扩散其 R_s 和 x_j 的重复性较好,而裸 Si 系扩镓其重复性较差。

3.3 氧化膜厚度对扩镓的影响

将 SiO_2 膜厚度不同的 N 型硅片置于同一炉中,取片温 1250°C、源温 950°C、氢流量

120ml/min, 镍掺杂 35min 后, 再恒温扩散 30min. 扩散结果: 氧化膜厚度为 3240 Å 的硅片产生少量合金点, 其它硅片未发现表面缺陷, 并扩散均匀; 第二炉重复实验, 结果基本相同(如表 3), 在该扩散条件下, SiO_2 膜 $\geq 4500 \text{ \AA}$, 可保证扩镓质量良好. 为后工序扩磷掩蔽需要, SiO_2 膜厚度一般控制在 10000—12000 Å.

表 2 在 SiO_2/Si 系中扩镓的重复性

批次	低 镍 掺 杂		高 镍 掺 杂		表面状况
	$R_s(\Omega/\square)$	$x_{j1}(\mu\text{m})$	$R_s(\Omega/\square)$	$x_{j2}(\mu\text{m})$	
B-1	135	23.6	32	34.5	良好
B-2	136	25.2	30	30.4	良好
B-3	146	25	33	32	良好
B-4	130	27	30	31	良好
B-5	135	26	36	36.3	良好
B-6	120	28.7	34	35.6	良好

条件: 片温为 1250°C, 源温为 850°C, H_2 为 65ml/min, 时间为 35min	条件: 片温为 1250°C, 源温为 960°C H_2 为 65ml/min, 时间为 60min
--	---

表 3 氧化膜厚度对扩镓的影响

序号	热氧化时间 (min)	SiO_2 厚度 (Å)	第一炉结果			第二炉结果		
			$R_s(\Omega/\square)$	$x_j(\mu\text{m})$	表面状况	$R_s(\Omega/\square)$	$x_j(\mu\text{m})$	表面状况
C-1	30	3240	53—53.5	11	良好	50—50.5	13	少量合金点
C-2	60	4500	50—51	14	良好	50—50.5	13.5	良好
C-3	90	5700	50—51	13	良好	50	13	良好
C-4	120	6300	39—41.5	13	良好	43	17	良好
C-5	150	8100	49.5—50	13	良好	43.5	17	良好
C-6	180	9000	49.5—50	13	良好	51	14	良好
C-7	210	10800	50—51	12	良好	51—52	15	良好

3.4 SiO_2/Si 系扩镓薄层电阻 R_s 与源温 T_{Ga} 、片温 T_{Si} 和淀积时间 t 的关系

图 1(a)的实验条件: T_{Ga} 为 880°C, H_2 为 120ml/min, t 为 20min. 图 1(b)的实验条件: T_{Si} 为 1250°C, t 为 15min, H_2 为 120ml/min. 图 1(c)的实验条件: T_{Si} 为 1250°C, T_{Ga} 为 880°C, H_2 为 120ml/min.

3.5 产品电参数

采用 SiO_2/Si 系开管扩镓生产的 3DD₂₀₂高反压管的电参数列于表 4, 该工艺特点之一是电压水平高.

3.6 产品分类

采用 SiO_2/Si 系开管扩镓, 管芯合格率为 84~93%. 表 5 给出产品分类情况, 已消除 A 档产品、B 档极少, 产品集中在 C 档和 D 档, 其中 D 档占 71.1%, 而扩硼管仅占 18.9%, 说明该工艺产品的优品率较高.

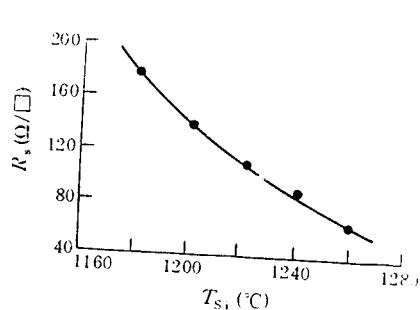
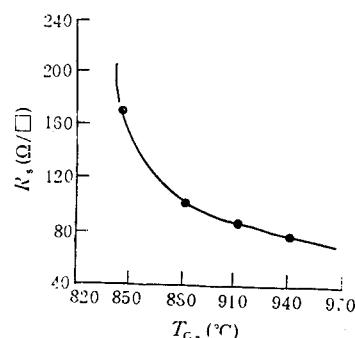
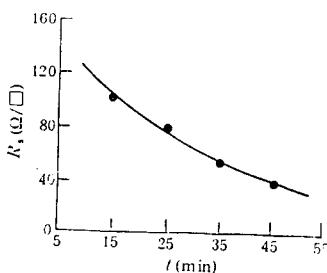
图 1(a) R_s 与 T_{Si} 的关系曲线图 1(b) R_s 与 T_{Ga} 的关系曲线图 1(c) R_s 与 t 的关系曲线

表 4 高反压管电参数比较

电参数	产品	3DD ₂₀₂ (扩镓)	BU ₂₀₈ (日本)	3DD ₂₀₂ (扩硼)
BV_{cbo}	(V)	1834	1821	1608
BV_{cbo}	(V)	1014	902	763
BV_{cbo}	(V)	11.3	9.3	12.5
V_{ces}	(V)	0.37	0.26	0.33
I_{cbo}	(μA)	13	31	10
h_{FE}		18	17	17

注: 电参数为平均值.

表 5 产品分档统计

批次	管子总数 (只)	A 档品 (只)	B 档品		C 档品		D 档品	
			只	%	只	%	只	%
E-1	100	0	0		30	30	70	70
E-2	53	0	0		13	24.5	40	75.5
E-3	252	0	0		91	36.1	161	63.9
E-4	321	0	0		71	22.1	250	77.9
E-5	753	0	6	0.8	216	28.7	531	70.5
合计	1479	0	6	0.4	421	28.5	1052	71.1

4 分析与讨论

4.1 裸 Si 系扩镓易造成表面缺陷的原因

(1)由于裸 Si 面存在大量悬挂键,易形成杂质污染,属于分子、原子和离子各类型沾污,这些污染杂质要影响镓的扩散,并在高温下,很可能与镓发生反应而形成镓的局部富集.

(2)由于硅片加工造成的表面损伤层及其在高温形成的表面微缺陷等,这些区域均存在应力场的作用,易构成杂质聚集中心.

(3)由于气-固(Si)扩散,裸 Si 片暴露在气相中,表面直接接触高浓度镓杂质及强扩散流,在镓蒸汽中,为缓和应力,镓优先向这些区域富集,形成镓的高浓度区.通过光电子谱分析(如图 2 中的(1))和图 3(见图版 I)的电子探针分析均证明存在镓的高浓度区,而且与合金点、凹坑、白霜区相对应.

(4)根据 Ga-Si 相图,其最低共熔点温度为 20°C(与此对应的浓度原子百分比, Si 为 1.2).因此,很容易形成合金.合金主要是 Ga 和 Si,其中 Ga 为主要因素,而凹坑的出现是由于再结晶形成的.

(5)硅片表面出现白霜,主要是表面有污染,源温过高、通源时间过长,导致扩散系统内镓气态源浓度过大,使大量气态源向裸 Si 面集聚,而造成大面积镓源堆积的缘故.

由于镓的局部富集,在高温下形成低熔点的合金相,导致局部的液相快扩散,从而破坏了扩散区的均匀性和 p-n 结完整性,经磨角染色和镜检,p-n 结很不平坦,出现深的尖峰(比正常扩散区深 2—3 倍),在局部形成强电场,导致低击穿或穿通等.

4.2 SiO_2/Si 系扩镓消除裸 Si 扩镓不良影响的机理

(1)硅片经过热氧化,由于 Si 与 O 的结合,基本消除了悬挂键,提高了表面的稳定性.

(2)由于硅表面覆盖了一层热生长 SiO_2 膜,将高蒸汽压和高浓度气态镓源与硅表面隔离开来,从而避免或减小了上述因素对扩镓的不良影响,即在 $\text{SiO}_2\text{-Si}$ 界面不会发生镓杂质的堆积现象.

(3)镓在 SiO_2 中扩散速度很快,穿过氧化膜到达 $\text{SiO}_2\text{-Si}$ 界面的镓杂质浓度比较均匀、稳定,并由此向硅中扩散.显然, SiO_2 层是气态掺杂源过渡区,在这里可将 SiO_2 看成含镓的固态源,从 SiO_2 向硅中的扩散可认为固-固扩散.因而提高了扩散层的均匀性,使扩散层的电阻率容易控制.

(4)在 SiO_2/Si 系中, $\text{SiO}_2\text{-Si}$ 界面处镓的浓度梯度比气相-Si 的浓度梯度要小,所以不容易在 Si-SiO_2 界面形成局部的富镓区.

(5)氧化膜的存在可避免或减少重金属对硅片的沾污.

由上分析, SiO_2 对硅表面具有很好的钝化和保护性能,显著地降低了表面影响,为镓扩散顺利进行和提高扩散质量创造了良好条件.尽管 Ga-Si 共熔点温度很低,但因硅表面无富镓区(如图 2 中的(2)曲线),所以减小了表面缺陷.由于 SiO_2/Si 系扩镓消除了裸 Si 扩镓产生的不良影响,在很大程度上提高了器件的电气性能,并使电参数的一致性得到很大改善,从而提高了器件的成品率、稳定性和可靠性,所以 SiO_2/Si 系是一种比较好的扩镓方法.

5 结语

实验和实践证明,采用 SiO_2/Si 系开管扩镓,扩散均匀性、重复性和一致性好,可显著地提高硅器件的电参数性能.凡是用氧化镓作为杂质源掺杂形成 P 型半导体,在多种源反应

和输送的气体方式(H_2 /干、 H_2/H_2O 、 CO/H_2O)中,要达到改善和提高器件的性能,宜采取 SiO_2/Si 系的扩镓途径。

致谢 本文曾得到北京大学微电子研究所教授王阳元的指导,在此深表感谢。

参 考 文 献

- [1] R. N. Ghoshagoyc Solid State Technol. ,1979,22(10):877~885.
- [2] Mire Chang, J. Electrochem. Soc. ,1981,128(9).
- [3] [日]公開特許公報(A),昭和 57—172722.
- [4] 庞银锁,国外电力电子技术,1989,No. 1:19.
- [5] 赵富贤等,山东师大学报,1984,No. 1:100.

Study on Quality Improvement of Gallium Diffusion in SiO_2/Si System and Improvement of Electron Device Performance

Liu Xiuxi, Zhao Fuxian, Xue Chengshan,

Sun Ying and Hua Shikui

(Semiconductor Research Institute, Shandong Teacher's University, Ji'nan 250014)

Received 12 July 1993, revised manuscript received 27 September 1993

Abstract Impurity gallium diffusions have been performed in exposed Si system and SiO_2/Si system. Defects such as Ga-rich alloy-spot, pit and “white frost” can be produced on the exposed silicon surface during the period of diffusion, and the defects result in low and soft breakdown of the devices. In order to eliminate the influence of the surface defects on device performance, the gallium diffusion in SiO_2/Si system is adapted. The experimental results and applications show that diffusion in SiO_2/Si system is an efficient method to overcome the surface influence. The results of the two diffusion ways are analysed and discussed.

PACC: 6170T

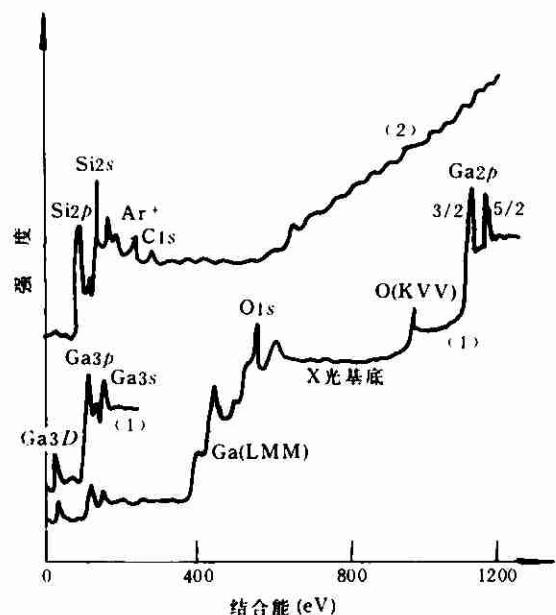


图 2 镉扩散区的光电子谱分析(XPS)

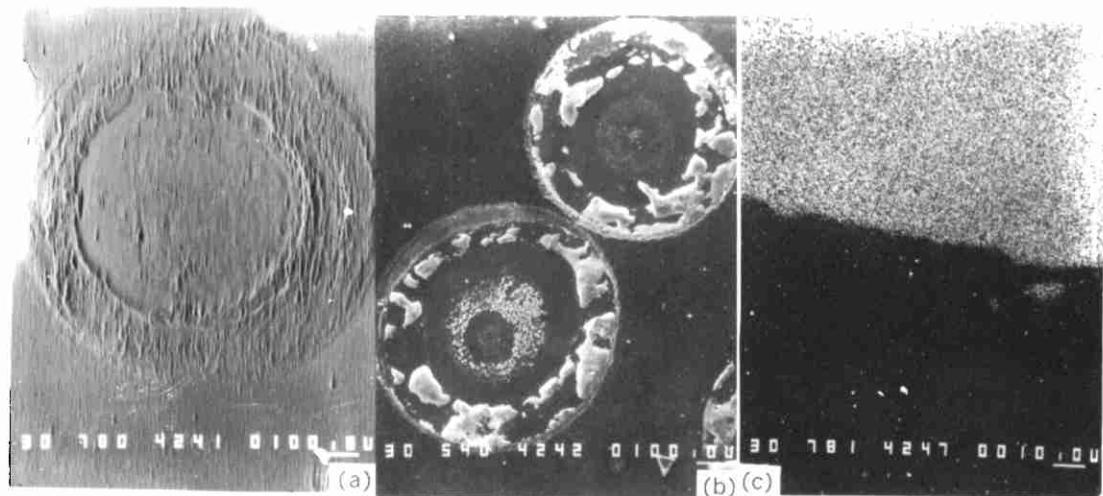


图 3 电子探针分析照片

(a) 合金点($\times 780$)；(b) 凹坑($\times 540$)白色区域主要是镓源；(c) 白霜($\times 780$)白色区为白霜, 黑色区为正常扩散区