

SiO₂ 钝化膜对硅/玻璃静电键合的影响

黄庆安 童勤义

(东南大学微电子中心 南京 210018)

摘要 本文分析了硅/玻璃静电键合过程中硅表面 SiO₂ 钝化膜的作用。SiO₂ 膜的存在使键合过程中的静电力减弱，键合工艺所选择的电压上限受 SiO₂ 膜击穿电压的控制，对于商用抛光硅片与玻璃，要完成良好的键合，一般 SiO₂ 厚度要小于 0.5 μm。

EEACC: 2550E, 2520C; **PACC:** 6848

1 引言

在微传感器的研制中，静电键合工艺已被广泛应用^[1-2]。对不同的表面状况键合也有详细的分析^[3-4]。但对许多传感器的封装而言，往往键合硅片的表面有一层钝化膜（如 SiO₂）。实验上发现，含有钝化膜的硅表面键合比裸硅片的键合要困难得多。本文详细分析了这种情况下的键合过程，认为钝化膜的存在使键合过程的静电引力减弱，键合电压的上限受钝化膜击穿电场控制，因此，对于较厚的 SiO₂ 钝化膜，将不能成功键合。本文近似给出了选择键合电压的依据，并从实验上研究了不同厚度 SiO₂ 钝化膜的键合过程。

2 理论分析

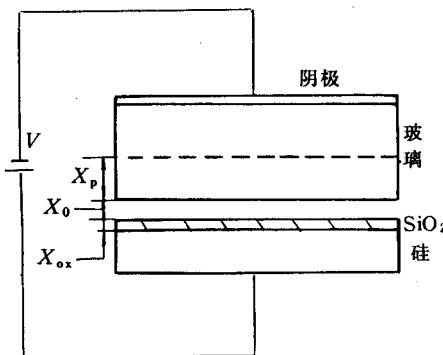
2.1 SiO₂ 钝化膜对静电力的影响

硅/玻璃的键合过程^[1]是硅片接正极，玻璃接负极，在一定温度下，玻璃中 Na⁺向负极方向漂移，在紧邻硅片的玻璃表面形成带负电的耗尽层。由于耗尽层带负电荷，硅片带正电荷，所以硅片和玻璃之间存在较大的静电吸引力，使二者紧密接触。若硅片表面存在 SiO₂ 膜，则键合过程将与上述不尽相同。如图 1 所示，设外加电压为 V，SiO₂ 厚为 X_{ox}，其上的压降为 V_{ox}，电场为 E_{ox}，间隙的距离为 X₀，其上的压降为 V₀，电场为 E₀，玻璃中的耗尽层宽为 X_p，耗尽层上的压降为 V_p，则

$$V = E_{ox}X_{ox} + E_0X_0 + V_p \quad (1)$$

根据玻璃表面的耗尽近似，有

$$E_G = \rho_p X_p / \epsilon_G, V_p = \rho_p X_p^2 / 2\epsilon_G \quad (2)$$

图 1 静电键合期间 SiO_2 膜的作用

式中 ρ_p 是耗尽层中的电荷密度, ϵ_G 是玻璃的介电常数, E_G 是玻璃表面处的电场.

根据电位移连续条件,

$$E_{\text{ox}} = E_G \epsilon_G / \epsilon_{\text{ox}}, E_0 = E_G \epsilon_G / \epsilon_0 \quad (3)$$

式中 ϵ_0 和 ϵ_{ox} 分别是真空和 SiO_2 的介电常数.

将(3)式代入(1)式, 整理后得到

$$\rho_p X_p = \frac{(V - V_p) \cdot \epsilon_0 \cdot \epsilon_{\text{ox}}}{\epsilon_0 X_{\text{ox}} + \epsilon_{\text{ox}} X_0} \quad (4)$$

硅表面的电荷密度等于玻璃极化区的电荷密度, 因此, 可得到硅/玻璃之间的静电引力为^[3]

$$P = \frac{\rho_p^2 X_p^2}{2 \epsilon_0} \quad (5)$$

将(4)式代入(5)式, 并整理后得到

$$P = P_G (1 - \frac{V_0}{V})^2 \quad (6a)$$

其中

$$P_G = P_0 \left(\frac{X_0 \epsilon_{\text{ox}}}{\epsilon_0 X_{\text{ox}} + \epsilon_{\text{ox}} X_0} \right)^2, P_0 = \frac{\epsilon_0 V^2}{2 X_0^2} \quad (6b)$$

式中 P_0 表示两平行金属板相距 X_0 时的静电引力; P_G 表示两平行金属板, 其中一面有 SiO_2 钝化膜, 相距 X_0 时的静电引力^[3].

从(6)式看出, 由于 SiO_2 的存在, 使键合过程中的静电力减弱. 上述的推导认为硅的行为如同金属, 这是因为键合温度通常在 200—500°C, 硅在这一温度范围, 其电阻率降低 $0.1 \Omega \cdot \text{cm}$ 以下, 故这种假设是合理的.

2.2 键合过程的变形

上述的分析是对两平行板而言的, 而实际硅片或玻璃表面存在微观起伏. 键合过程是由于静电引力引起硅/玻璃表面的紧密接触, 为了简化分析, 假设硅/玻璃键合界面如图 2 所示, 图中 H 是硅起伏的高度, L 是跨度. 若 SiO_2 膜的厚度远小于硅片起伏的高度, 即 $X_{\text{ox}} \ll H$, 则为了使玻璃弹性变形而与硅片表面紧密接触所需的电压可近似表示为^[3]

$$V - V_p \geq (\frac{H^3 K b^3}{80 \epsilon_0 L^4})^{1/2} \quad (7)$$

式中 K 是玻璃的弹性模量, 对 Prex 玻璃约为 $6 \times 10^{11} \text{ Pa}$, b 是玻璃的厚度, 例如, 对 $H = 2 \times 10^{-4} \mu\text{m}$, $L = 2 \times 10^{-3} \text{ cm}$, $b = 0.1 \text{ cm}$, 则 $V - V_p$ 约大于 150V.

2.3 SiO_2 膜的击穿

在键合硅片表面起伏的峰处, SiO_2 实际上与玻璃已紧密接触, 这时 SiO_2 中的电场又必须小于其击穿电场, 即

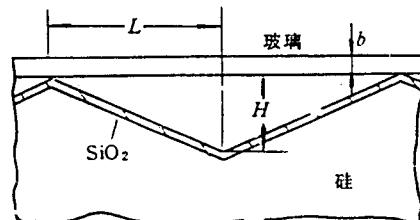


图 2 键合界面起伏示意图

$$\frac{V - V_p}{d_{\text{ox}}} \leq E_m \quad (8)$$

SiO_2 中的击穿电场 E_m 与其厚度有关^[5], 大于 1000 \AA 时, 约为 $9 \times 10^6 \text{ V/cm}$; 小于 1000 \AA 时, SiO_2 越薄 E_m 越大。同时 E_m 是温度的函数, 温度越高, E_m 越小, E_m 与温度的关系表示为^[5]

$$E_m = \left(\frac{\pi \epsilon_{\text{ox}}}{q} \right) (\Phi_B - CT)^2 \quad (9)$$

式中 Φ_B 是势垒高度, C 是温度 T 的缓变函数。由于键合温度通常在 $200\text{--}500^\circ\text{C}$ 之间, 所以键合过程中的 SiO_2 击穿电场明显低于室温。

由(7)~(9)式, 得到硅/玻璃键合时, 外加电压近似所满足的范围,

$$\left(\frac{H^3 K b^3}{80 \epsilon_0 L^4} \right)^{1/2} \leq V - V_p \leq \left(\frac{\pi \epsilon_{\text{ox}}}{q} \right) (\Phi_B - CT)^2 d_{\text{ox}} \quad (10)$$

3 实验

实验中选用 P 型硅片, 氧化形成的 SiO_2 厚度分别为 1000 \AA , 2000 \AA , 4000 \AA 和 5000 \AA 四种。先用 Prex7740 玻璃, 厚度 2mm , 键合温度 500°C , 考虑到 SiO_2 击穿问题, 外加电压先为 1000V 。图 3 给出了键合过程的电流(I)—时间(t)曲线。 $I-t$ 曲线的电流峰值是由于电压加上后, 玻璃中的 Na^+ 快速漂移引起的, 随着 Na^+ 的漂移进行, 参加漂移的 Na^+ 量逐渐减小, 电流会逐渐变小, 最后趋于零, 说明键合完成。从图 3 看出, 在相同的键合电压下, SiO_2 越厚, 峰值电流越小, 键合完成的时间增长。对于 5000 \AA 厚 SiO_2 的硅片, 电流没有峰值, 即所加的电压在玻璃中形成的电场不足以引起 Na^+ 的漂移, 静电力较小所以键合不能成功。

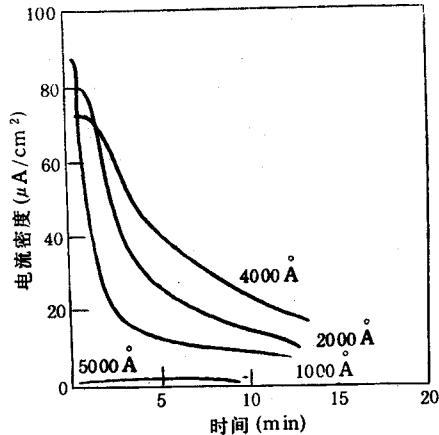


图 3 带有不同厚度 SiO_2 的硅片键合过程的 $I-t$ 曲线

4 讨论与结论

对无 SiO_2 的硅与玻璃的键合, 所选择电压的范围是: 下限电压应使硅或玻璃变形引起二者在界面处的紧密接触; 上限电压应不使玻璃击穿。对带有 SiO_2 钝化膜的硅片键合, 所选择电压的范围是: 下限电压同样应使硅或玻璃变形在界面紧密接触, 但由于 SiO_2 的存在使静电力减弱, 所选择的电压下限比无 SiO_2 的硅片键合要高; 上限电压则应不使 SiO_2 产生击穿, 但由于玻璃比 SiO_2 往往厚得多, 所以键合过程的 SiO_2 要先于玻璃击穿, 所选择的电压上限比无 SiO_2 的硅片键合要低。上述说明, 带有 SiO_2 的硅片键合时所选择的电压范围要比无 SiO_2 的硅片键合范围小得多。

实际中, 整个硅片上大部分都有 SiO_2 钝化膜, 由于局部 SiO_2 的质量问题(如针孔、裂缝

等)都使键合所选择的电压上限降低。对于商用的抛光硅片和玻璃,键合时 SiO_2 膜的厚度一般要小于 $0.5\mu\text{m}$, 键合可以较好完成。对于较厚的 SiO_2 膜的键合, 实验中应使硅片和玻璃尽量平整(可用较高的抛光质量来实现), 以降低键合的下限电压, 或选择较低的温度加长键合时间来实现。

本文详细分析了硅/玻璃键合过程中 SiO_2 钝化膜的作用, 对微传感器的封装有实际参考价值。

致谢 对张会珍和秦明在实验中的帮助表示感谢。

参 考 文 献

- [1] G. Wallis and D. I. Pomerantz, J. Appl. Phys., 1969, **40**(10):3946.
- [2] W. H. Ko, *et al.*, in *Micromachining and Micropacking of Transducers*; C. D. Fung *et al.*, Eds, Elsevier, 41 (1985).
- [3] T. R. Anthony, J. Appl. Phys., 1983, **54**(5):2419.
- [4] T. R. Anthony, J. Appl. Phys., 1985, **58**(3):1240.
- [5] 施敏(美), 半导体器件物理, 电子工业出版社, 1987, 286.

Role of SiO_2 Film in Si/Glass Bonding Technology

Huang Qing'an and Tong Qinyi

(Microelectronics Center, Southeast University, Nanjing 210018)

Received 17 September 1993, revised manuscript received 29 October 1995

Abstract The role of SiO_2 film in Si/glass bonding process is analysed. The SiO_2 film makes the electrostatic pressure between Si and glass weaker. The upper voltage limit in Si bonding with the SiO_2 film is determined by the breakdown strength of SiO_2 . For the commercial Si and glass, the bonding can be successfully accomplished with the thickness of the SiO_2 film less than $0.5\mu\text{m}$.

EEACC: 2550E, 2520C; **PACC:** 6848