

热壁外延制备的 n-PbTe/p-Si 异质结特性研究*

杨玉琨 李文明 于磊 杨易 徐立兴

(吉林大学分析测试实验中心 长春 130023)

熊欣 王善力 黄和鸾

(辽宁大学电子科学与工程系 沈阳 110036)

摘要 本文报道了首次用热壁外延(HWE)方法,在 Si(100)衬底上,制备 n-PbTe/p-Si 异质结的工艺及测试结果。由 X-射线衍射谱确认,PbTe 外延层是单晶,I-V 曲线表明,该异质具有良好的整流特性。由 C-V 测量得到异质结的内建电势差。最后算出能带偏移。

PACC: 6865, 7128

1 引言

PbTe 是重要的红外材料。为了晶格匹配和减小热应力,人们都是在 BaF₂(111)衬底上外延生长 PbTe,但这样难于实现光电集成,为此最好用硅作衬底。但是 PbTe 同 Si 的晶格失配高达 17%,热膨胀系数相差 7 倍。为克服此困难,Zogg 等人^[1]在硅上首先生长 CaF₂-BaF₂ 缓冲层,再外延生长 PbTe。还有人^[2]尝试在 Si(111)衬底上直接外延生长 PbTe。最近我们用简化的热壁外延装置^[3],首次在 Si(100)衬底上直接外延生长 PbTe 单晶外延层获得成功,制备了整流特性良好的 n-PbTe(100)/p-Si(100)异质结。

2 HWE 生长 PbTe 单晶外延层

使用自行设计和制作的简化的 HWE 装置^[3]。

硅衬底清洁处理的步骤是:首先依次用三氯乙烯、丙酮和乙醇进行超声清洗,然后用 1NH₃·H₂O:2H₂O₂:5H₂O 和 1HCl:2H₂O₂:5H₂O 溶液各煮沸 3 分钟,最后在氢氟酸溶液中浸泡。再用氮气吹干,并在氮气保护下装入充了氮气的 HWE 炉中。

* 半导体超晶格国家重点实验室资助项目

1993 年 12 月 16 日收到初稿,1994 年 10 月 26 日收到修改稿

用氢氟配溶液浸泡能去掉硅表面的氧化层，并能生成硅烷层（主要成分是 SiH_2 ），使表面钝化^[4]。这种钝化表面能在空气中稳定存在数分钟，在超高真空中稳定存在数小时。外延生长前，把硅衬底加热到550℃以上，保温20分钟左右，便可去掉钝化层，得到清洁硅表面。

所用外延源是纯度为5N的n型PbTe粉末，外延生长时，它的温度为505—520℃。衬底温度为390℃。控温精度为±0.2℃。生长速率为~1.6μm/h。生长两小时。外延生长时真空度为 1.5×10^{-4} Pa。

3 测试与分析

使用D/max-rA型转靶X-射线衍射仪，使用CuK α 辐射。管压50kV，管流150mA。测得PbTe外延层的衍射谱($2\theta=23-40^\circ$)如图1所示。

谱图中只有PbTe(200)衍射峰，而PbTe(111)(应出现在23.8°)和PbTe(220)(应出现在39.5°)衍射峰均未出现，说明PbTe外延层是沿<100>方向生长的单晶外延层^[5]。

在室温和77K之下测量了n-PbTe/p-Si异质结的I-V特性曲线(见图2)。由图2可见，该异质结具有良好的整流特性和很小的反向漏电流。

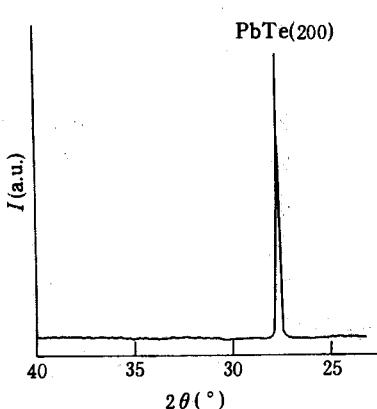


图1 在Si(100)衬底上生长的PbTe外延层的X-射线衍射谱

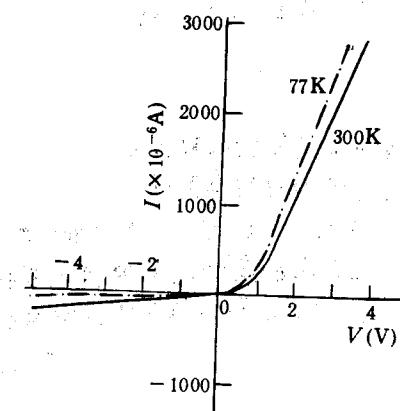


图2 n-PbTe/p-Si异质结的I-V特性曲线

此外，对以高阻p-Si(00)为衬底的陪片进行了Hall测量，测得的n-PbTe单晶外延层的净施主浓度 $N_D=1.2 \times 10^{18} \text{ cm}^{-3}$ 。

对样品进行了C-V测量。所用设备为Model-410型C-V测试系统。测量频率为1MHz。测得的C-V曲线(#502样品)如图3所示。

测量电容可写为^[6]

$$C = C_{sc} + C_0 \quad (1)$$

其中 C_{sc} 为异质结势垒电容， C_0 为集中电容。为剔除集中电容效应(晶格失配引起的界面态电荷的电容效应和体内缺陷及深陷阱中心的电容效应等)引起的测量误差，对C-V数据作如下处理：

因为我们制作的样品满足 $\epsilon_N N_D \gg \epsilon_P N_A$ 条件，可作单边突变结近似，因而：

$$C \approx A(\epsilon_p N_A q / 2)^{1/2} (V_d - V)^{-1/2} + C_0 \quad (2)$$

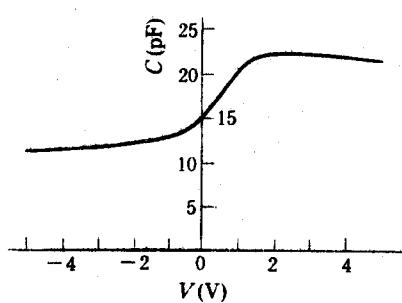


图 3 n-PbTe/p-Si 异质结的 C-V 曲线

其中 A 为结面积, $A = 5\text{mm}^2$; V_d 为异质结的内建电势差. 可见 $C \sim (V_d - V)^{-1/2}$ 为直线性关系, 在电容轴上的截距就是 C_0 . 并看出在低偏压下, C_0 对 C 的贡献减弱. 作 $C^{-2} \sim V$ 直线, 它在 V 轴上的截距就是未剔除 C_0 影响的内建电势差 V_d' , 这样求得 $V_d' = 720\text{mV}$. 再作 $C \sim (V_d' - V)^{-1/2}$ 直线, 确定 $C_0 = 106\text{pF}$. 最后作 $(C - C_0)^{-2} \sim V$ 直线, 由此确定内建电势差 $V_d = 430\text{mA}$. 这样就基本剔除了 C_0 对内建电势差测量结果的影响.

晶格失配引起的固定界面态对异质结内建电势差 V_d 的影响 ΔV_d 反映了 n-PbTe/p-Si 异质结的实质, 是不可避免的. 而其它集中电容效应, 以及杂散电容效应是可能避免的(尽管很困难). 在计算有效内建电势差及带偏移时, 必须把 ΔV_d 作为 V_d 的一部分. 对其估算如下:

由于 PbTe/Si 异质结存在大的晶格失配, 必须在界面附近引起高密度界面态, 使过渡区发生严重的少子复合, 对异质结内建电势差的影响可表为^[2,7]:

$$\Delta V_d = (K_B T / q) \ln(f_0 \sigma \Delta a / a^3) \quad (3)$$

$$f_0 = V_{th} (D_p / \tau_p)^{1/2} \quad (4)$$

其中 σ 是对空穴的复合俘获截面; Δa 是两种材料的晶格常数差; a 是平均晶格常数; V_{th} 是载流子平均热运动速率; D_p 和 τ_p 分别是空穴扩散数和寿命. 利用以下数据: $K_B T = 0.026\text{eV}$, $D_p = 18\text{cm}^{-2} \cdot \text{s}^{-1}$, $\tau_p = 10^{-19}\text{cm}^2$, $\Delta a = (0.6439 - 0.543)\text{nm}$, 可算出 $\Delta V_d = 130\text{mV}$.

对于我们的样品, 耗尽区主要在界面附近 p 区一侧. 如果悬挂键起施主作用, 则使界面附近 p 区能带下弯, 从而使能带弯曲总量增大. 因此, 实际 n+p 结的有效内建电势差为:

$$V_{d,eff} = V_d + \Delta V_d = 560\text{mV}$$

4 能带偏移

由于 $\epsilon_N N_D \gg \epsilon_p N_A$ ($\epsilon_N = 400\epsilon_0$, $\epsilon_p = 11.8\epsilon_0$), 故 $V_{dp} \gg V_{dn}$, $eV_{d,eff} \approx eV_{dp}$, 即能带弯曲基本上只发生在界面附近 p 区一侧. 在此情况下, 导带偏移表示为:

$$\Delta E_c = E_{g2} - eV_{dp} - \delta_1 - \delta_2 \quad (5)$$

在杂质全离化情况下有:

$$\delta_2 = E_{c1} - E_{F(N)} = -K_B T \ln(N_D / N_C) \quad (6)$$

$$\delta_1 = E_{F(P)} - E_{v2} = -K_B T \ln(N_A / N_V) \quad (7)$$

若取态密度有效质量 $m_p^* = 0.59m_0$, $m_n^* = 0.24m_0$, 可算出 300K 下, $N_V = 1.1 \times 10^{19}\text{cm}^{-3}$, $N_C = 6 \times 10^{18}\text{cm}^{-3}$. 由此可得 $\delta_1 = 255\text{meV}$, $\delta_2 = 50\text{meV}$. 代入(15)式, 即得 $\Delta E_c = 235\text{meV}$.

价带偏移为:

$$\Delta E_v = (E_{g2} - E_{g1}) - \Delta E_c = 535\text{meV}.$$

参 考 文 献

- [1] H. Zogg *et al.*, J. Cryst. Growth, 1989, **95**, 562.
- [2] P. R. Vaya *et al.*, Phys. Status Solidi, 1986, **93**, 353.
- [3] 杨玉琨等, 真空科学与技术学报, 1992, **12**(4): 339.
- [4] S. S. Lyer *et al.*, Appl. Phys. Lett., 1990, **57**(9), 893.
- [5] 杨玉琨等, 发光学报, 1992, **13**(3): 249.
- [6] A. K. Datta *et al.*, Solid-State Electronics, 1980, **23**, 905.
- [7] 刘恩科, 朱秉升等编, 半导体物理学, 第九章, 国防工业出版社, 1989.

Characteristics of HWE Grown n-PbTe/p-Si Heterojunction

Yang Yukun, Li Wenming, Yu Lei, Yang Yi and Xu Lixing

(Measurement Testing and Experiment Center, Jiling University, Changchun 130023)

Xiong Xin, Wang Shanli and Huang Heluan

(Department of Electronic Science and Engineering, Liaoning University, Shenyang 110036)

Received 16 December 1993, revised manuscript received 26 October 1994

Abstract The preparation of n-PbTe/p-Si heterojunction on Si(100) substrate by HWE method and some relevant measurement results are reported for the first time. X-ray diffraction spectrum shows that the PbTe epilayer is single crystal. *I-V* curve reveals that the heterojunction has good rectification character and low reverse current. The *C-V* curve was employed to get the built-in potential difference. Finally, the band offset ΔE_v and ΔE_c are calculated.

PACC: 6865, 7128