

# LDMOS 低功耗自恢复电平移位电路设计

邓兰萍 王纪民

(清华大学微电子学研究所, 北京 100084)

摘要: 设计了一个新型的薄栅氧、低功耗、自恢复的电平移位栅电压控制电路. 在 20V 工作电压下, n 沟道和 p 沟道 LDMOS 高压器件的栅源电压  $V_{gs}$  分别保持在  $\pm 5V$ . 当一个选址周期结束后, 电路能自动复位而不需增加任何复位器件和电路. 该电路为高低压兼容, 采用标准  $0.5\mu m$  CMOS-LDMOS 兼容工艺制造, 可用于 OLED 显示的驱动控制.

关键词: 薄栅氧; 低功耗; 自恢复; 电平移位; LDMOS

EEACC: 1205; 1220; 2570D

中图分类号: TN386 文献标识码: A 文章编号: 0253-4177(2005)10-2028-04

## 1 引言

电平移位栅电压控制电路, 尤其是涉及 OLED (organic light emission diode) 显示驱动的电平移位控制, 属于高压器件的控制技术领域. 由于显示驱动电路包括低压逻辑电路和高压驱动器件, 为防止栅压太高造成栅击穿, 最简单的办法是高低压器件分别采用不同的栅氧厚度, 但这将增加集成制造工艺的难度和制造成本. 常用的方法是设计一个电平移位电路<sup>[1]</sup>, 将低压控制信号转变为适合高压驱动器件需要的电平信号. 一种典型的电平移位电路<sup>[2]</sup>采用电流镜电路实现电平移位和为驱动管的栅电荷放电, 它用选通信号  $V_{PASS}$  减少导通时间以防止输出级出现短路电流, 降低功耗. 但此电路<sup>[2]</sup>的设计为关断电路, 需添加许多器件, 使电路变得复杂; 同时用电流镜做开关难以完全关断, 相移和次开启漏电增加, 两相信号控制, 系统复杂.

本文设计的电平移位栅电压控制电路, 所有器件的栅氧化层为  $10nm$  和  $0.5\mu m$  CMOS-LDMOS 工艺兼容. 采用专门设计的 LDMOS 器件组成的灵敏放大器来代替传统的电流镜电路, 实现  $5 \sim 20V$  的电平移位功能, 简化了电路, 降低了功耗.

## 2 电平移位栅电压控制电路设计

### 2.1 电平移位栅电压控制电路结构和原理

图 1 是一个新型电平移位栅电压控制电路, 与以前的移位器相比, 它的结构更加简单. 高压 p 沟道 LDMOS 管 HP1, HP2 和高压 n 沟道 LDMOS 管 HN1, HN2 组成灵敏放大器, 驱动和关闭驱动输出级的 HP3, 而输出级的 HN3 则直接由系统控制信号“IN”进行控制.

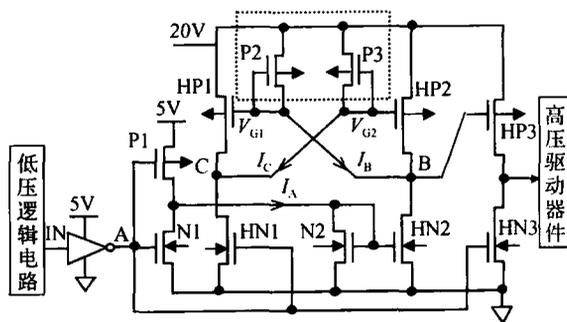


图 1 低功耗自恢复电平移位栅电压控制电路  
Fig. 1 Level shifter circuit with lower power consumption and self-returning ability

虚线框内的常规低压 PMOS 管 P2, P3 的作用是与 HP1, HP2 组成电流镜, 将高压电平移位. 从仿真波形图 4 和图 5 看出, HP1, HP2 的栅压在 20 ~ 15V 之间切换, 从而确保互补驱动级的 HP1, HP2 和输出级的 HP3 的栅源电压  $V_{gs}$  在 0 ~ - 5V 之间切换.

电路工作时, 当控制信号 IN 变为高电平“1”, HN2 和 HP3 导通, 经由 HP3 向下一级的驱动负载充电, 让高压驱动器件开始工作, 同时, HP1 导通, 为 HP2 栅电容放电, 使 HP2 关闭; 当控制信号 IN 变为低电平“0”, HN2 关闭, HN1 和 HP2 导通, 使 HP1 和 HP3 关闭, 完成充电周期. 这样, 该电路可切换电压以满足高压 PMOS 器件所需的驱动信号电平, 并且 HP1 和 HP2 中的一方一旦开启, 另一方立即通过栅电容放电而关闭. 在一个周期内, 此电路既能完成电平移位, 又能自动复位, 不需增加任何复位器件和电路.

### 2.2 电平移位电路的降耗设计

显示屏幕的每一行对应一个驱动电路, 若屏幕显示的每一帧的行数为 1000 行, 选址脉冲占空比为 1/1, 则每行被“选中”和“空闲”时间的比值将近 1/2000. 在“空闲”时间里, HN2 导通, 电流流过 HP3 来对显示负载充电, 其结果是 HN2 中的电流造成主要的功率损耗. 图 2 的电路是使 HN2 变成一个 20 ~ 50 $\mu$ A 的恒流源, 它仅在“空闲”期间工作. 由于空闲期很长, 占到每个选址周期的 99.9%, 如果在这段时间里, 电流能被控制在  $\mu$ A 量级, 则既能满足对下一级负载的预充电要求, 又能有效地降低整个电路的功率损耗.

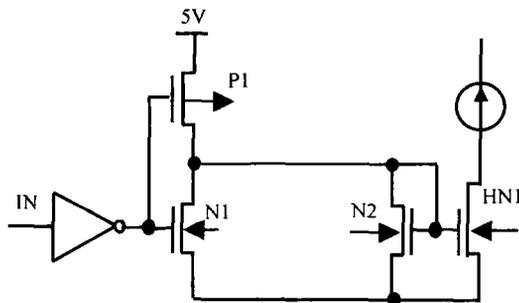


图 2 电流镜电路

Fig. 2 Current mirror circuit

## 3 电平移位电路一种实用的实施方案

### 3.1 电平移位电路的主要器件与电学参数

本电路中, 无论高压和低压, NMOS 和 PMOS 管的开启电压分别为  $\pm 0.7V$ . 低压管工作电压为 5V, 高压管为 20V, 输入信号反相器使用标准 0.5 $\mu$ m CMOS 工艺. 电路的主要器件参数和电学参数如表 1 和 2 所示.

表 1 电平移位栅电压控制电路的主要器件参数

Table 1 Device parameters of proposed level shifter circuit

管号	类型	电路符号
N1, N2	低压 NMOS	
P1, P2, P3	低压 PMOS	
HN1, HN2, HN3	高压 n 沟 LDMOS	
HP1, HP2, HP3	高压 p 沟 LDMOS	

表 2 电平移位栅电压控制电路的主要电参数

Table 2 Electricity parameters of proposed level shifter circuit

参数	计量	电路作用
$I_A$	106 $\mu$ A	电流镜
$I_B$	50 $\mu$ A	电流镜
$I_C$	2.87mA	电流镜
$V_{G1}$	20 ~ 15V	HP1 栅电压
$V_{G2}$	20 ~ 15V	HP2 栅电压

### 3.2 电平移位电路中各类晶体管的 CMOS 工艺实现

该电平移位电路适于单片集成制造, 采用标准 0.5 $\mu$ m CMOS-LDMOS 兼容工艺, 所有器件的栅氧化层为 10nm. 图 3 是用 CMOS 工艺实现的该电路中的各类晶体管, 包括常规的低压 NMOS, PMOS 和采用 RESURF 技术设计的高压 n 沟道与 p 沟道 LDMOS 晶体管. 由于在设计相应的高压 LDMOS 晶体管的时候, 我们已经考虑到和相应的常规



图 3 CMOS 工艺实现电平移位电路各类晶体管的单片集成

Fig. 3 Monolithic integration of transistors in this level shifter circuit with CMOS technology

CMOS 工艺的兼容,因此在具体的工艺实现中,并不需要增加更多的光刻版,就可以实现所需的电平移位电路的单片集成制造。

## 4 模拟结果与分析

为了更直观地展示我们所设计的电平移位电路的低功耗、自恢复的性能,在 CSMC 0.8 $\mu\text{m}$  CMOS 工艺的 BSIM3V3 模型基础上采用 Hspice 对其进行了仿真,结果如图 4 和图 5 所示。

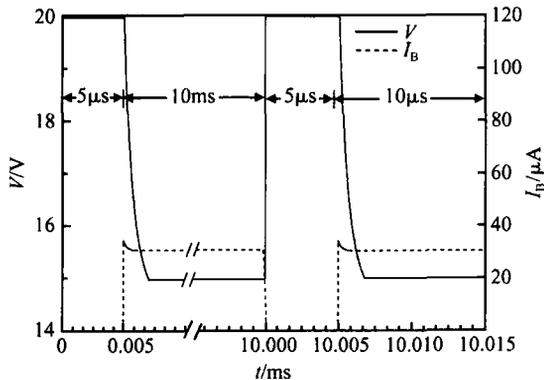


图 4 B 点电压和支路电流的仿真结果

Fig. 4 Voltage in point B and current on the branch  $I_B$

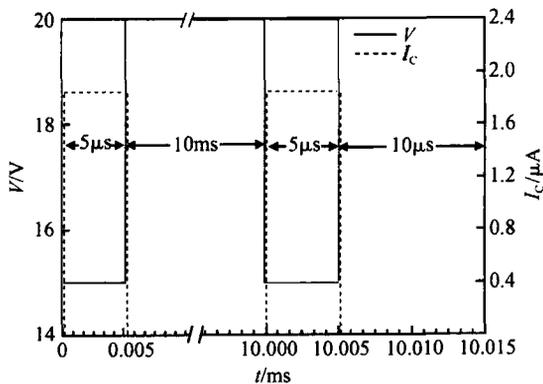


图 5 C 点电压和支路电流的仿真结果

Fig. 5 Voltage in point C and current on the branch  $I_C$

简单起见,输入信号 IN 被直接加到图 1 中的 A 点.由于该电路的工作速度主要决定于电路内部节点诸如 HP1, HP2 的栅电容的充放电时间,因此从曲线的变化可知该电路可以工作于所需的频率。

实际上在每一帧有 1000 行的 OLED 显示屏里,刷新率为 100 帧/s,选址脉冲的占空比为 1/1,则在每一帧的刷新时间里(约 10ms),每一行被“选

中”的时间仅为 5 $\mu\text{s}$ ,其余时间都处在“空闲”期。

图 4 中,节点 B 上的电压曲线(实线)和支路电流  $I_B$  (虚线)表明:在“选中”期(诸如时间段 0 ~ 5 $\mu\text{s}$ ),HP2 管开启而 HN2 管关闭,支路电流  $I_B$  为 0;在“空闲”期(诸如时间段 5 $\mu\text{s}$  ~ 10ms),支路电流  $I_B$  为 HP2 和 HN2 漏端电流的叠加,约为 35 $\mu\text{A}$ ,非常小而且稳定.由于“空闲”时间很长,电流  $I_B$  虽然极小,仍然可以满足对输出负载进行预充电的要求,还可以有效降低电路功耗。

同样地,在图 5 中,“选中”期间作为放电电流的支路电流  $I_C$ ,即 HP1 和 HN1 晶体管的漏端电流之和,超过 1.8mA,足够大而且稳定,所以 HP2 管可以迅速开启,HP1 和 HP3 管很快关闭,结束整个选址周期.而在“空闲”期,支路电流  $I_C$  为 0.因此虽然“选中”期间的电流很大,但由于这是个放电过程,非常短暂,而且电流通路上的 HN1 管充分导通时的导通电阻很小,所以该过程功耗仍然很小。

对支路电流  $I_B, I_C$  的仿真结果表明,该电平移位电路在实现自恢复功能的同时,也能大大降低整个选址期间的功耗。

## 5 结论

本文设计了一个新型的薄栅氧电平移位栅电压控制电路,它由灵敏放大电路、高压电平移位电路、恒流源和驱动控制输出级组成.其特点在于低功耗,自恢复,以及可确保互补驱动级的驱动信号(即高压 LDMOS 器件的栅源电压)  $V_{gs}$  分别为  $\pm 5\text{V}$ 。

仿真结果表明,该电路的充电电流仅为 35 $\mu\text{A}$  而放电电流却大于 1.8mA,可在满足工作速度要求的同时大大降低电路总功耗.对该电路上的各类晶体管用 CMOS 工艺实现单片集成的研究表明,该电平移位电路可采用标准 0.5 $\mu\text{m}$  CMOS 与 LDMOS 兼容工艺进行制造。

## 参考文献

- [1] Bassin C, Ballan H, Declercq M. High-voltage devices for 0.5 $\mu\text{m}$  standard CMOS technology. IEEE Electron Device Lett, 2000, 21(1): 40
- [2] Doutreligne J, De Smet H, Van den Steen J, et al. Low-power high-voltage CMOS level-shifters for liquid crystal display drivers. The Eleventh International Conference on Microelectronics, 1999: 213

- [ 3 ] Ludikhuize A W. A versatile 700-1200-V IC process for analog and switching applications. IEEE Trans Electron Devices, 1991, 38(7) :1582
- [ 4 ] Fang Jian, Zhang Zhengfan, Lei Yu, et al. Realization of a novel 1200V VLD double RESURF LDMOS with n-bury layer. Chinese Journal of Semiconductors, 2005, 26(3) :541 (in Chinese) [方健, 张正璠, 雷宇, 等. 有 n 埋层结构的 1200V 横向变掺杂双 RESURF LDMOS 的研制. 半导体学报, 2005, 26(3) :541]
- [ 5 ] Chen Xingbi. Power MOSFETs and high-voltage ICs. Nanjing: The Southeast University Press, 1990:225 (in Chinese) [陈星弼. 功率 MOSFET 与高压集成电路. 南京: 东南大学出版社, 1990:225]
- [ 6 ] Li Benjun, Liu Xuanzhong. Computer-aided analysis and design of electrical circuit. Beijing: Publishing House of Electronics Industry, 1992:73 (in Chinese) [李本俊, 刘选忠. 电子电路计算机辅助分析与设计. 北京: 电子工业出版社, 1992:73]

## A Lower Power Consumption, Self Returning Voltage Level Shifter Circuit Implemented with LDMOS

Deng Lanping and Wang Jimin

(Institute of Microelectronics, Tsinghua University, Beijing 100084, China)

**Abstract :** A new voltage level shifter circuit with thin gate oxide, low power consumption and self-returning ability is designed. With a supply of 20V, the control signal  $V_{gs}$  for high voltage n-channel and p-channel LDMOS are  $\pm 5V$  respectively. Having finished one addressing cycle, this circuit can return by itself without any extra device or circuit. This circuit is compatible with both high and low voltage circuits. It is designed with standard 0.5 $\mu m$  CMOS-LDMOS technology and is applicable for the OLED driver circuit.

**Key words :** thin gate oxide; low power consumption; self-returning ability; level shifter; LDMOS

**EEACC :** 1205; 1220; 2570D

**Article ID :** 0253-4177(2005)10-2028-04