

# TL P 应力下深亚微米 GGNMOSFET 特性的仿真\*

朱志炜 郝 跃

(西安电子科技大学微电子学院 宽禁带半导体材料与器件教育部重点实验室, 西安 710071)

**摘要:** 对 TLP(传输线脉冲)应力下深亚微米 GGNMOS 器件的特性和失效机理进行了仿真研究. 分析表明,在 TLP 应力下,栅串接电阻减小了保护结构漏端的峰值电压;栅漏交迭区电容的存在使得脉冲上升沿加强了栅漏交叠区的电场,栅氧化层电场随着 TLP 应力的上升沿减小而不断增大,这会导致栅氧化层的提前击穿. 仿真显示,栅漏交迭区的电容和栅串接电阻对 GGNMOS 保护器件的开启特性和 ESD 耐压的影响是巨大的. 该工作为以后的 TLP 测试和标准化提供了依据和参考.

**关键词:** 静电放电; 传输线脉冲; 氧化层电场

**PACC:** 0570; 7220J; 4410 **EEACC:** 0290; 2530; 2550X

**中图分类号:** TN386. 1 **文献标识码:** A **文章编号:** 0253-4177(2005)10-1968-07

## 1 引言

先进的 ESD 保护电路应该具有三个要素:一是要有比较好的电压钳位能力;二是失效电流必须足够大;三是开启时间必须足够小. 实践中发现深亚微米 CMOS 集成电路因静电放电而损坏的情形越来越严重,必须对深亚微米保护电路的特性进行深入的研究,并在此基础上进行改进以达到更好的保护效果. 自保护栅接地 NMOSFET (GGNMOSFET) 是最常用的 ESD 保护结构之一,可以在 ESD 事件中开启、泄放 ESD 电流,我们的研究主要集中在 GGNMOSFET 保护结构上.

目前对于 ESD 保护结构主要的测试手段是 HBM(人体模型)测试、DC 测量和 TLP 方法. HBM 和 DC 测量是常用的方法,它们已经有标准化的程序和仪器,其测量结果可作为评定保护器件能力的参数. 但是由于其测量方法是破坏性的,并且可测试的参数有限,不能得到诸如 snapback 电压,二次击穿电流等参数,所以必须引入新的测试方法对 ESD

保护结构进行测试,以利于保护结构的设计. 自从 1985 年 Maloney 和 Khurana 引入 TLP 测量方法用于 ESD 参数测试以来<sup>[1]</sup>,这项技术已经成为减小 ESD 保护电路设计周期的最有效的工具之一. TLP 方法使用方波脉冲对待测器件(DUT)进行测试,方波的脉宽经过选择,具有与 HBM ESD 测试相同的能量范围<sup>[2]</sup>,可以对 DUT 产生与 HBM ESD 应力相同程度的损伤.

虽然 TLP 得到了应用,但是由于 TLP 系统的建立和调试非常困难,而且随着工艺技术的进步, TLP 测试中的物理机理和失效分析也更加复杂. 到目前为止,几乎大部分半导体公司在提交使用 TLP 测试得到的保护结构 ESD 加固能力数据的时候,都没有清楚地指出 TLP 测试的细节条件. 且在这些报告中,很少涉及到标明保护器件 ESD 加固能力的阈值条件,例如二次击穿电流等. 再者,几乎所有的 TLP 测试都是基于步进应力的测试,但是很少考虑脉冲上升沿的作用和多次的脉冲应力对 ESD 保护器件的积累效应及其可能产生的失效. 这些问题的存在使得不同公司的测试结果无法比较,对于 TLP

\*国家自然科学基金(批准号:60376024)和国家高技术研究发展计划(批准号:2003AA1Z1630)资助项目

朱志炜 男 1975 年出生,博士研究生,主要从事集成电路设计和可靠性研究.

郝 跃 男 1958 年出生,教授,博士生导师,主要从事微电子学与半导体器件的研究.

2005-02-18 收到,2005-05-14 定稿

方法的广泛应用造成了很多困难. 本文利用器件仿真的优点, 使用 TCAD 软件 Atlas 的混合模式仿真技术对深亚微米 GGNMOS 器件在 TLP 脉冲下的特性进行了仿真研究, 建立了适用于深亚微米保护器件的仿真模型, 使用与实际 TLP 测试相等的电路设置对保护结构进行了混合模式仿真, 对保护结构在 TLP 应力下的工作原理和特性进行了讨论与分析, 为以后的 TLP 测试和标准化提供了参考和依据.

## 2 GGNMOS 保护结构工作原理及仿真模型

### 2.1 工作原理

在 CMOS 技术中, ESD 保护通常由一个处于 snapback 状态的 GGNMOS 器件来实现<sup>[3]</sup>. 过程如下: 当一个正脉冲加于 GGNMOSFET 漏端时, 漏衬结 ( $n^+ / p$ ) 被反偏, 随着脉冲电压的升高, 漏衬结电场逐渐增大, 最终产生雪崩击穿. 当雪崩击穿发生时, 漏端耗尽区内产生大量的电子-空穴对, 其中电子被漏端收集, 而空穴被衬底收集. 当空穴电流流过衬底区到达衬底电极时, 由于衬底电阻的存在会使得衬底靠近沟道的一侧电势升高, 而源极电势保持不变. 当衬底电势足够大而使得源-衬结正偏时, 电子开始从源极注入, 被漏极收集, 寄生的横向双极晶体管 (BJT) 开启. 所以对于 GGNMOS 保护结构来说, 空穴电流和衬底电阻的大小对于保护结构的开启性能有着重要的影响. 如果这个寄生晶体管具有足够高的正向增益, 它就可以自己提供所需的基极电流, 保持结构自偏置. 在这种情况下, ESD 应力电流几乎完全通过寄生双极晶体管泄放.

### 2.2 保护器件的仿真模型

本文利用 Silvaco 公司的半导体器件模拟器 Atlas<sup>[4]</sup> 建立了 GGNMOS 保护器件在 TLP 应力下的仿真模型. 对于深亚微米器件的 ESD 事件来说, 由于器件尺寸很小, 而 ESD 现象会产生局部的高温 and 快速变化的高电场, 此时必须考虑载流子的速度过冲、载流子扩散与载流子温度的相关性、碰撞电离率与载流子能量分布的关系和晶格加热等问题对各种参数的影响. 而漂移-扩散模型在这种情况下已不适用, 必须使用能量平衡传输模型. 能量平衡传输模

型考虑了载流子温度与电流密度的关系, 认为迁移率和碰撞电离系数不仅与局部电场有关, 同时也是载流子温度的函数, 因此它可以更准确地对 ESD 保护结构进行建模. 同时模型中还要求解热流方程, 以考虑在瞬态 ESD 事件中温度的影响. 因此本文使用的仿真模型是一种非恒温能量平衡传输模型 (NEB), 由六个偏微分方程组成, 分别为泊松方程、载流子连续性方程 (电子和空穴)、能量平衡方程 (电子和空穴) 及晶格热流方程. 描述了载流子的非恒温、非本地输运现象, 包括了载流子加热及其相关的现象, 如速度过冲等, 比漂移-扩散模型更为精确; 而像迁移率、碰撞电离系数等很多参数也不再仅仅是电场的函数, 而成为载流子温度和晶格温度的函数. 在对该六个方程组成的方程组求解过程中, 方程组的收敛性很差, 必须使用牛顿法进行求解, 而这个过程会耗费大量的计算时间.

对于 ESD 应力下深亚微米 GGNMOS 器件来说, 漏端耗尽区的碰撞电离决定了寄生 BJT 的开启特性, 所以在仿真中选取一个合适的碰撞电离模型是至关重要的. 本文的碰撞电离过程由下面的方程描述:

$$G = n J_n + p J_p \tag{1}$$

其中  $G$  是电子空穴对的总产生率;  $n, p$  是电子和空穴的碰撞电离系数;  $J_n, J_p$  是电流密度. Atlas 中的电离模型假定器件内部特殊点的碰撞电离系数是这个点处电场的函数, 其表达式如下所示:

$$n = A N \exp\left(-\frac{BN}{E}\right) \tag{2}$$

$$p = A P \exp\left(-\frac{BP}{E}\right) \tag{3}$$

式中 参数 通常取 1;  $E$  是器件内部特定点处电流路径方向上的电场;  $AN, AP, BN, BP$  都是晶格温度的函数.

但是对于我们研究的器件, 由于在仿真中加入了能量平衡模型, 所以必须对上述公式进行修正, 加入载流子温度成分, 以进行更精确的分析. (2), (3) 式中的电场  $E$  修正为如下形式:

$$E_{eff}^{(n,p)} = \frac{3}{2} \times \frac{kT_{(n,p)}}{qL_{(n,p)}} \tag{4}$$

$E_{eff}^n$  和  $E_{eff}^p$  是电子和空穴的有效电场, 它们是载流子温度的函数.  $L_n$  和  $L_p$  为电子和空穴的能量弛豫长度, 由下式计算:

$$L_{(n,p)} = V_{sat}^{(n,p)} T_{aus}^{(n,p)} \tag{5}$$

$V_{sat}^n$  和  $V_{sat}^p$  是电子和空穴的饱和速率, 它们是晶

格温度的函数,其温度关系模型为:

$$V_{sat}^{(n,p)} = \frac{a_{(n,p)}}{1 + b_{(n,p)} \exp\left(\frac{-T_L}{c_{(n,p)}}\right)} \quad (6)$$

式中  $a_{(n,p)}, b_{(n,p)}, c_{(n,p)}$  为常数,仿真中分别取值为  $2.4 \times 10^7 \text{ cm/s}, 0.8, 600 \text{ K}$ ;  $T_L$  是晶格温度.

$T_{aus}^n$  和  $T_{aus}^p$  是电子和空穴能量弛豫时间. 在这里能量弛豫时间是一个非常重要的参数,它们确定了载流子能量交换的时间常数. 要使模型准确,就必须精确地定义能量弛豫时间. 在加入晶格热流方程后,弛豫时间是载流子能量和晶格温度的表达式,可定义为如下形式:

$$T_{aus}^{(n,p)} = \frac{\epsilon_0^{(n,p)} \left(\frac{\epsilon_0^{(n,p)}}{k T_L}\right)}{k T_L} \quad (7)$$

式中  $\epsilon_0$  是平均载流子能量;  $\epsilon_0$  是常数,仿真中取值  $0.4 \text{ ps}$ . 此处  $\epsilon_0$  值由主要散射机制决定,与掺杂分布和所加的电场有关,其取值在  $-1.5 \sim 1$  之间. 它的大小由碰撞离化模型的校准决定,在本文的校准中取 值为  $0.5$ .

### 2.3 仿真器件结构和电路形式

首先利用 Athena 工艺仿真软件用标准  $0.1 \mu\text{m}$  CMOS 工艺生成需要的 GGNMOSFET,器件尺寸为:栅长  $L = 0.10 \mu\text{m}$ ,氧化层厚度  $T_{ox} = 2.5 \text{ nm}$ ,栅宽  $W = 100 \mu\text{m}$ . 仿真生成的器件结构如图 1 所示.

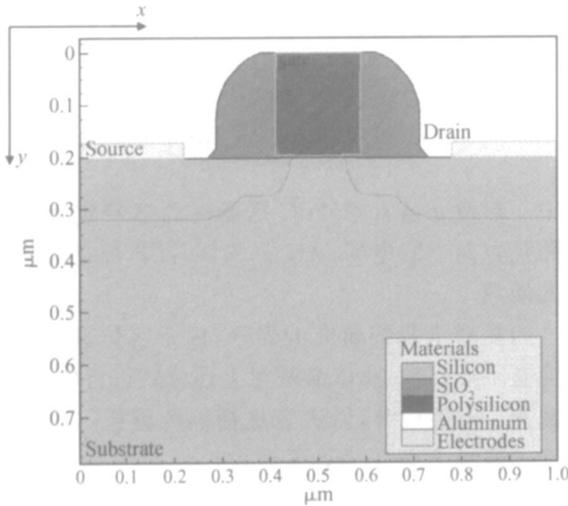


图 1 仿真器件结构图

Fig. 1 Structure of simulated device

在建立用于仿真的器件结构后,使用 Atlas 的混合电路仿真模型建立如图 2 所示的 TLP 测试电路. 图中 DUT 代表待测器件, MOSFET 为上述生

成的数值器件结构,源和衬底直接接地,栅极通过一个电阻  $R_g$  接地. 我们知道栅压的存在可以促使漏雪崩击穿提前发生,  $R_g$  的作用就是在脉冲起始阶段使得栅极上能够耦合一个电压. 电压源代表所需的 TLP 脉冲,  $50 \Omega$  的电阻代表了电缆和端口的特征阻抗,  $R_s$  是串联电阻,用来帮助减小 DUT 的反射脉冲.

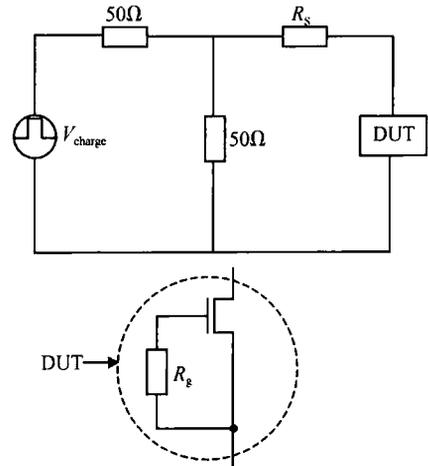


图 2 TLP 测试等效电路图

Fig. 2 Equivalent circuit of TLP test

### 2.4 仿真校准

仿真器件生成后需要结合测试进行仿真校准. 仿真校准是进行 ESD 混合模式仿真中的关键步骤之一,它包括了工艺校准和器件特性校准. 工艺校准主要集中在与工艺相关的参数上,例如掺杂分布、栅氧化层厚度、阈值电压等,通过校准使工艺仿真生成的器件结构与要求的相符. 器件特性校准是把稳态和瞬态仿真结果与 TLP 测试仪、ESD 轰击测试仪等测量仪器得到的测试数据进行比较,修改相关参数,使得仿真的和测试的数据匹配. 其中需主要校准的参数有迁移率模型参数、材料参数和热系数. 迁移率模型参数校准将匹配载流子迁移率的值  $\mu_n, \mu_p$ , 解释载流子传输中的散射机制. 材料参数校准把物理参数与 ESD 器件结构中的材料相关联,包括半导体参数、能量平衡方程参数、晶格温度模型参数等. 复合模型和碰撞离化模型也将在这一步骤中进行校准. 对碰撞离化模型系数的校准是器件特性校准的关键一步. 热系数校准使用热力学系数,例如热边界条件,校准  $I-V$  曲线上的 ESD 工作区和热击穿点. 在校准完成后,得到一套相应的模型参数,用于进行接下来的混合模式仿真.

### 3 仿真结果和讨论

#### 3.1 仿真结果

使用图 2 所建立的电路和图 1 的器件结构,在电源上施加上升沿为 2ns、脉宽为 75ns 的 TLP 脉冲进行仿真,为了使结果更具有特殊性,仿真中令  $R_g$  为 0,即让栅直接接地.仿真的结果如图 3 所示,从图中看到曲线经过两个峰值才进入保持电压状态,其保持电压与图 4 中实验测量所得的保持电压值基本相同,这也说明我们的仿真结果是可信的.

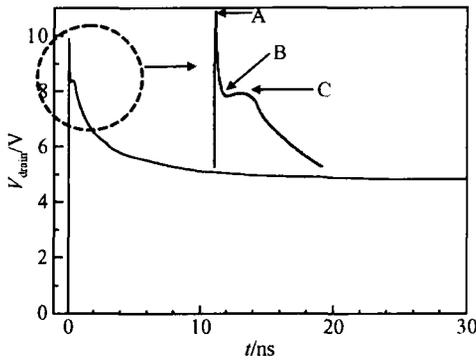


图 3 仿真的漏端电压-时间曲线

Fig. 3 Simulated drain voltage versus time

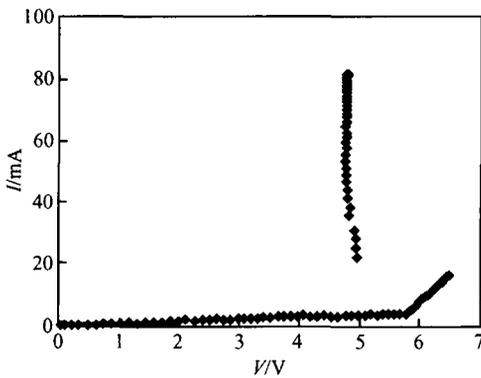


图 4 TLP 测试的 F-V 曲线

Fig. 4 F-V characteristic under TLP condition

通常,GGNMOS 在 TLP 应力下有两种电流通路:(1)漏引起的势垒降低(DIBL)效应所产生的电流通路;(2)寄生的BJT导通后形成的电流通路.在栅压为 0 时<sup>[5]</sup>,体内漏源间的势垒低于表面,此时 DIBL 电流注入多发生在体内,注入电子在体内流动,最后流入漏区,形成体内 DIBL 电流通路.图 3

中曲线上有三个点比较特殊,即 A,B,C 点,在时间轴对应  $T_A, T_B, T_C$ .图 5 和图 6 是  $T_A$  点和  $T_C$  点电流线图.从 0 时刻到  $T_A$  时间段,漏端电压在不断上升,由于栅漏交迭电容的存在和  $dV/dt$  效应,栅漏

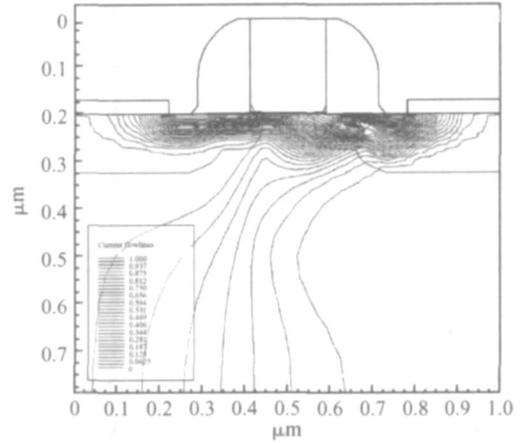


图 5 仿真的  $T_A$  时刻电流线分布图

Fig. 5 Simulated flowlines distribution at  $T_A$

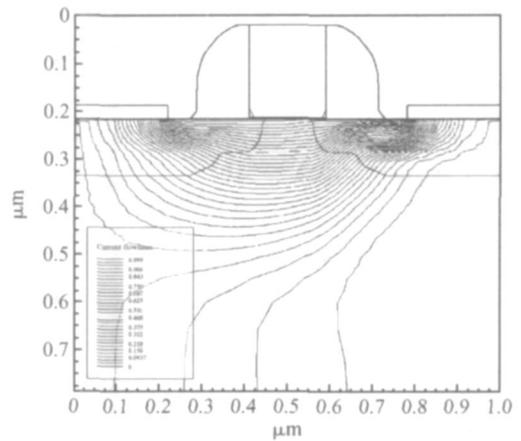


图 6 仿真的  $T_C$  时刻电流线分布图

Fig. 6 Simulated flowlines distribution at  $T_C$

交迭区会产生一个空穴位移电流对栅氧化层电容充电,这会在交迭区内产生一个大的电场.越接近  $T_A$ ,这个电场越大,在  $T_A$  之前就有可能足以引发碰撞电离效应,这个电场对漏衬结的雪崩击穿具有很强的促进作用<sup>[6]</sup>.在  $T_A$  点,漏端由于漏衬结的高电场,会产生雪崩倍增,产生的空穴流被衬底收集产生衬底电流,此时在空穴电流,DIBL 电流的共同作用下,源衬结靠近沟道部分正向导通,寄生 BJT 开始开启.但是如图 5 所显示,BJT 在纵向上只是部分开启,源端势垒使得电子只有在源端靠近沟道表面的

部分注入. 在  $T_A$  时间点, 由于寄生 BJT 部分开启, 虽然引起漏端电压骤减, 但是幅度不大, 到  $T_B$  点就不再下降. 此时由于漏端电流继续增大, 雪崩倍增继续加强, 漏端注入衬底的空穴电流增大, 且逐渐靠近源端部分, 导致漏端电压有微小的上升. 到  $T_C$  时刻衬底空穴电流足够接近源端, 源衬结在纵向上全面正向导通. 从图 6 可以看出, 此时寄生 BJT 完全开启, 保护器件进入 snapback 区, BJT 完全依赖于自偏置作用而工作, 不需要漏端的雪崩击穿电流, 此时漏端电压减小逐渐接近于保护器件的保持电压, 衬底电流也开始减小最终保持一个稳定的值.

### 3.2 电阻 $R_g$ 的影响

图 7 是仿真的  $R_g = 0$  和  $R_g = 10k$  的器件漏端电压的瞬态曲线, 从图中看出  $R_g$  对漏端电压的峰值的影响是很大的. 对于  $R_g = 10k$  的电路情况, 在  $R_g$  的作用下, 栅上建立了一个电压, 从而保证了栅耦合电压的形成, 与直接接地的电路相比, 其漏电压曲线少了一个尖峰. 图 8 显示了在有栅串联电阻  $R_g$  和无  $R_g$  情况下器件  $y$  方向上的能带图, 图中  $x$  轴的原点是 Si-SiO<sub>2</sub> 界面. 可以看出  $R_g = 10k$  时在表面处存在一个电子势阱, 电流密度在表面处最大. 而对于无  $R_g$  的情况, BJT 导通时势阱在体内, 而电流密度在体内最大. 这是由于在栅压的作用下, 器件内部多了一种电流通路, 即由于栅压而形成的表面沟道强反型电流通路. 而且在栅压的作用下, 表面处的势垒低于体内, 这就使得源端由于 DIBL 产生的电子注入基本上发生在表面薄层内, 注入电子电流在表面流动, 这些电子到达漏端形成 DIBL 电流. 在寄生 BJT 导通前其主要的电流通路是强反型沟道电流和表面 DIBL 电流, 这两部分电流应力相互加强, 总电流要大于无  $R_g$  时的体内 DIBL 电流. 在这个电流激励下, 漏端 pn 结的雪崩击穿会比栅压为零时更早发生, 导致寄生的 BJT 更快开启. 由图 9 看出, 这个电压峰值随着上升时间的减少而不断增大, 在 0.2ns 时, 电压峰值已经接近 12V, 图中  $x$  轴原点为 Si-SiO<sub>2</sub> 界面. 从文献 [7] 中知道, 在栅压约为 12V 时, 栅氧化层在 ESD 应力下的击穿时间  $T_{bd}$  已经在 1ns 左右, 虽然这个电压峰值保持的时间比较短, 但是考虑到 ESD 应力的积累效应, 这个电压峰值对于被保护的 core 电路是一个很大的威胁, 这会导致被保护的电路更早失效. 所以在实际应用中, GGN-MOSFET 栅端应串接一个大的电阻到地, 通常这个

电阻使用寄生的分布电阻, 阻值选择应该小心进行确定, 如果电阻过大, 栅上电压放电过慢, 则在栅压的作用下, 寄生的 BJT 电流通路也会接近于表面. 由于电流通路变窄, 表面沟道的大电流很容易损伤表面沟道和栅氧化层. 而且由于表面的掺杂波动的统计分布, 使得保护器件在栅宽度上开启的不均匀性变大, 电流在栅宽度上的不均匀分布加强, 这不利于较大栅宽的器件或多 finger 器件的 ESD 加固性能.

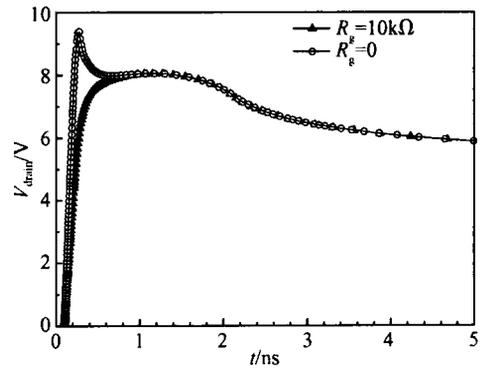


图 7 仿真的  $R_g = 0$  和  $R_g = 10k$  的漏端电压-时间曲线  
Fig. 7 Simulated drain voltage versus time curves when  $R_g = 0$  and  $R_g = 10k$

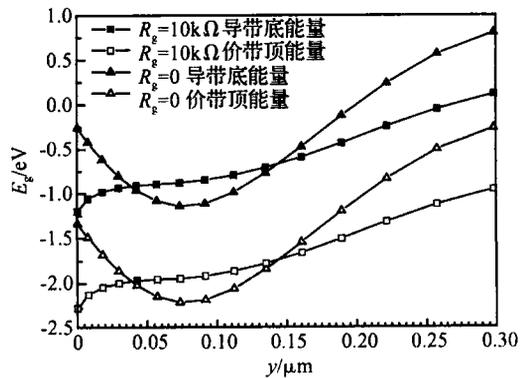


图 8 寄生 BJT 开始导通时的能带图  
Fig. 8 Energy-band diagrams when the parasitic BJT begins to turn on

### 3.3 $dV/dt$ 对漏端峰值电压和栅氧化层电场的影响

我们知道在脉冲上升时间段, 由于栅电容效应,  $dV/dt$  作用下栅漏交迭区产生了很高的电场, 它会加速漏端碰撞电离过程<sup>[8]</sup>. 从漏这个角度看, 应该是上升时间越小, 其漏端峰值电压越小, 但是这没有考虑到 BJT 瞬态开启时漏衬结电容的延迟效应. 由于

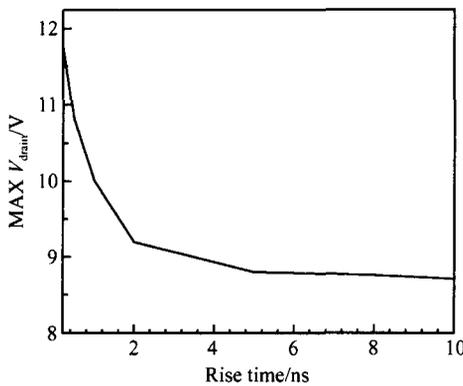


图 9 脉冲上升时间与漏端峰值电压曲线

Fig. 9 Maximum drain voltage versus rise-time of applied pulse

RC效应的延迟,  $dV/dt$  越大, 其延迟作用越明显, 即漏端最大电压在寄生BJT导通前是随上升时间变小而增大的, 从而使得漏端栅氧化层电场也会随着上升时间变小而变得更大. 从图 9 的结果可以看出, TLP 脉冲上升时间逐渐减小时, 最大漏端电压逐渐变大, 在小于 1ns 后, 上升速度明显变快. 使用 Atlas 对不同 TLP 上升时间的情况进行了仿真, TLP 上升沿分别为 8, 5, 2, 0.5 ns, 脉冲幅度相同, 器件结构不变. 仿真的器件沟道表面  $x$  方向电场分布和漏端最大温度与时间关系曲线如图 10 和 11 所示, 图 10 中  $x$  轴方向由源指向漏, 源端位于  $x$  轴原点, 图 11 的漏端温度为漏区最大温度, 它位于栅漏交叠区靠近表面的区域. 由图 10 可以看出, 栅氧化层电场的峰值位于  $0.1\mu\text{m}$  处, 即器件的漏端, 这说明了栅漏交迭电容的作用. 脉冲上升时间变小会导致漏端氧化层电场变大, 小于 1ns 后, 电场增加的幅度显著变大. 电场的增加会导致表面电流密度的增加, 由图 11 看出, 电流密度的变化会引起漏端最大温度的相应变化, 上升时间越小, 温度上升越快. 在脉冲上升到最大值后, 电流密度的一致使得最终的温度大小和变化趋势都是一样的. 由于脉冲应力下薄栅氧化层击穿时间  $T_{bd}$  随  $1/E_{ox}$  减小而减小, 当栅氧化层在电场  $E_{ox}$  达到  $10^7\text{V/cm}$  时, 脉冲应力下的栅氧化层击穿时间  $T_{bd}$  已经在 1ns 左右. 因此当  $dV/dt$  减小到一定程度, 会导致栅氧化层提前失效或发生热击穿, 这对于深亚微米器件和电路来说都是非常危险的. 图 11 中虽然漏端最大温度达到了 1000 K, 但是由于脉冲时间非常短 (TLP 脉冲周期为 75ns), 而且器件温度最大点位于栅漏交叠区, 所以这样的温度

虽然会在器件栅漏交叠区产生一些潜在损伤, 但是这些损伤并不是破坏性的损伤, 它只会影响保护器件的长期可靠性.

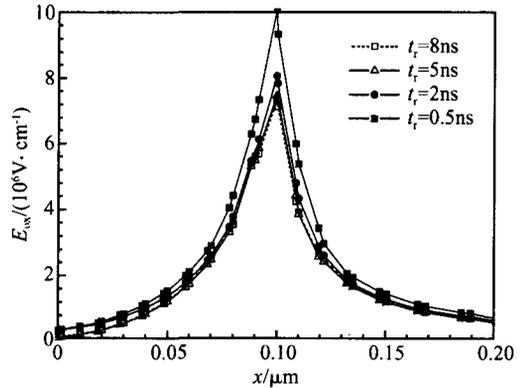


图 10 栅氧化层电场与  $x$  方向位置的关系曲线

Fig. 10 Electrical field across gate oxide versus position in  $x$  coordinates

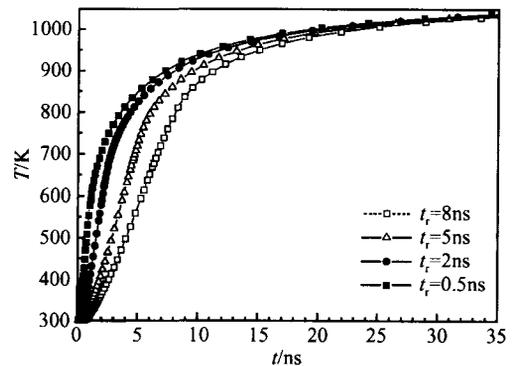


图 11 漏端最大温度-时间关系曲线

Fig. 11 Maximum temperature in drain versus time curve

### 4 结论

本文使用混合电路仿真器对 GGNMOS ESD 保护结构的 TLP 测试方法进行了仿真分析, 对 TLP 实验中的物理机理进行了深入研究. 详细分析了栅串联电阻和脉冲上升沿参数对保护器件在 TLP 应力下特性的影响, 仿真结果表明在脉冲工作条件下, 脉冲上升时间和栅串联电阻对 ESD 保护器件的特性具有很重要的影响, 一定大小的栅串联电阻对 GGNMOS 结构保护性能的提高是有帮助的; 而脉冲上升沿过于陡峭容易产生栅氧化层失效. 仿真分析对 TLP 测试方法的实验设置和标准化都有很强的指导意义, 对以后的 ESD 保护电路的设计也

具有很好的参考价值.

### 参考文献

- [ 1 ] Maloney T, Khurana N. Transmission line pulsing techniques for circuit modeling of ESD phenomena. EOS/ ESD Symposium Proceedings ,1985 :49
- [ 2 ] Lee J C, Hoque M A ,et al. A method for determining a transmission line pulse shape that produces equivalent results to human body model testing methods. EOS/ ESD Symposium Proceedings ,2000 :97
- [ 3 ] Duvvury C. ESD protection device issues for IC designs. IEEE 2001 Custom Integrated Circuits Conference ,2001 :41
- [ 4 ] ATLAS user 's manual. Silvaco International , Santa Clara , USA ,2002
- [ 5 ] Chen T Y, Ker M D. Investigation of the gate-driven effect and substrate-triggered effect on ESD robustness of CMOS devices. IEEE Transactions on Device and Materials Reliability ,2001 ,1(5) :190
- [ 6 ] Musshoff C, Wolf H, et al. Risetime effects of HBM and square pulses on the failure thresholds of GGNMOS transistors. Microelectronics Reliability ,1996 ,36(11) :1743
- [ 7 ] Wu J ,Juliano P. Breakdown and latent damage of ultra-thin gate oxides under ESD stress conditions. Microelectronics Reliability ,2001 ,41(11) :1771
- [ 8 ] Barth J ,Verhaege K. TLP calibration ,correlation ,standards and new techniques. EOS/ ESD Symposium Proceedings , 2000 :85

## A Characterization Simulation of a Deep Sub-Micron GGNMOSFET Under TLP Stress \*

Zhu Zhiwei and Hao Yue

( Key Laboratory of Wide-Band Gap Semiconductor Materials and Devices ,  
Microelectronics Institute , Xidian University , Xi 'an 710071 , China)

**Abstract :** Based on simulation ,the characteristics and mechanisms of failure on a deep sub-micron grounded-gate NMOS (GGNMOS) are studied under TLP(transmission line pulse) stress. The conclusion is drawn from the analysis that the resistor in series with the gate can reduce the maximum drain voltage ;and the electric field across the gate oxide can be enhanced due to the existence of the overlap capacitance between the gate and drain under TLP stress. The electric field across the gate oxide will increase as the rise-time of the applied TLP pulse decreases ,which will lead to a premature breakdown of gate oxide. Simulation results show that the overlap capacitance of the gate and drain and the resistor in series with the gate is very important to the turn-on characteristic and ESD patience voltage of the GGNMOS protection structure. These can be provided for future TLP tests and standardizations.

**Key words :** ESD ; TLP ; electric field across oxide

**PACC :** 0570 ; 7220J ; 4410      **EEACC :** 0290 ; 2530 ; 2550X

**Article ID :** 0253-4177(2005)10-1968-07

\* Project supported by the National Natural Science Foundation of China (No. 60376024) and the National High Technology Research and Development Program of China (No. 2003AA1Z1630)

Zhu Zhiwei male ,was born in 1975 ,PhD candidate. He is engaged in research on VLSI design and reliability.

Hao Yue male ,was born in 1958 ,professor and adviser of PhD candidates. He is engaged in research on microelectronics and semiconductor devices.

Received 18 February 2005 ,revised manuscript received 14 May 2005

© 2005 Chinese Institute of Electronics