

# SOI 硅膜厚度对 RESURF LDMOS 参数的影响 \*

孙智林 孙伟锋 吴建辉

(东南大学国家专用集成电路系统工程技术研究中心, 南京 210096)

摘要: 对 SOI LDMOS 进行了建模, 得到了器件各主要参数的最优值与 SOI 硅膜厚度的关系式. 以此为基础用专业软件 Medici 和 Tsuprem-4 对器件进行了模拟, 得到了最优漂移区浓度、最优击穿电压等参数随 SOI 硅膜厚度的变化曲线, 这些结果对实际器件的设计以及工艺生产具有参考意义.

关键词: LDMOS; RESURF; SOI

EEACC: 2570D; 2560B

中图分类号: TN710

文献标识码: A

文章编号: 0253-4177(2005)03-0536-05

## 1 引言

与基于体硅和外延器件相比, SOI (silicon on insulator) 器件具有更强的抗辐射能力, 更高的工作速度, 更好的绝缘性能, 更高的集成度以及无可控硅寄生效应等优点. SOI 技术理想的介质隔离 (DI) 性能和相对简单的介质隔离工艺, 更使其在智能功率 IC 的应用中受到广泛关注<sup>[1~4]</sup>. SOI 上做高压器件有两种实现方式, 一种是厚膜 SOI 技术, 一种是薄膜 SOI 技术. 前者<sup>[5~9]</sup>采用较厚的硅膜 (10 μm 以上), 漂移区由离子注入推阱形成, 器件导通电阻与基于体硅和外延器件相差不大, 但由于硅膜较厚, 局部氧化 (LOCOS) 工艺或干法刻蚀沟槽工艺均不易实现介质隔离, 工艺成本较高. 后者<sup>[10, 11]</sup>采用相对较薄的硅膜 (1 μm 以下), 隔离成本低, 但由于硅膜直接作漂移区, 只有一个 RESURF (reduced surface field effect) 结, 满足 RESURF 技术的漂移区浓度较低, 器件的导通电阻较大. 因此, 研究 SOI 硅膜厚度对高压器件性能的影响具有十分重要的意义.

本文首先分析了硅膜直接作漂移区的 LDMOS 的物理模型, 给出了器件各主要参数最优值随硅膜厚度的变化关系式, 然后用专业软件 Tsuprem-4 和 Medici 对各种参数的器件进行了模拟, 得到了随 SOI 硅膜厚度的增加, 满足 RESURF 技术的 LD-

MOS 的最优漂移区浓度、最高耐压等参数的变化曲线, 这些结果在实际的设计中具有重要的指导意义.

## 2 解析模型

### 2.1 横向电场分析

给定长度和结深的漂移区在某一浓度下刚好完全耗尽, 功率器件的漏电压分布在漂移区上, 降低了表面电场, 从而使器件具有较高的耐压. 这就是 Appels 和 Vaes<sup>[12]</sup>在 20 世纪 70 年代末提出的 RESURF 技术. 为提高 LDMOS 的击穿电压, 其漂移区浓度也必须满足这个要求.

图 1 所示为 SOI 硅膜直接作漂移区的 LDMOS 截面剖视图, 关闭态时器件可以看成以 n 阱为阴极, 漏为阳极的带有漂移区的二极管, 器件的击穿电压便是二极管的 pn 结耐压. 建立坐标如图所示, 若杂质完全电离, 根据泊松方程有:

$$N_d = \frac{\epsilon_0 \epsilon_s}{q} \left[ \frac{\partial}{\partial x} E_x(x, y) + \frac{\partial}{\partial y} E_y(x, y) \right] \quad (1)$$

其中  $N_d$  是漂移区杂质浓度;  $\epsilon_0$ ,  $\epsilon_s$  分别是真空介电常数和 Si 的相对介电常数;  $q$  为电子电荷;  $E_x(x, y)$ ,  $E_y(x, y)$  分别是漂移区电场沿  $x$ ,  $y$  方向分量. Si-SiO<sub>2</sub> 界面 Si 侧  $y$  方向的电场强度为  $E_y(x, t_s)$ , 相对于  $y$  方向,  $x$  方向的器件尺寸很大, 研究  $y$  方向

\* 国家高技术研究发展计划资助项目 (批准号: 2002AA1Z1550, 2003AA1Z1400)

孙智林 男, 1980 年出生, 硕士研究生, 主要从事功率器件与电路、SOI 材料与应用等方面的研究. Email: sunzhilin@seu.edu.cn

2004-03-03 收到, 2004-06-21 定稿

© 2005 中国电子学会

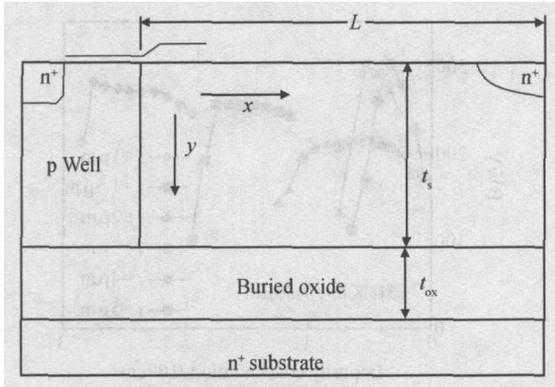


图 1 SOI 层作漂移区的 LDMOS 截面剖视图

Fig. 1 Cross section of LDMOS with SOI drift

电场时, 可以看成无穷大平面, 所以有:

$$\begin{aligned} \phi(x, 0) &= \left( \frac{t_s}{2} + \frac{s}{t_{ox}} t_{ox} \right) E_y(x, t_s) \\ &= t E_y(x, t_s), \quad 0 < x < L \end{aligned} \quad (2)$$

其中  $L$  为漂移区长度,

$$t = \frac{t_s}{2} + \frac{s}{t_{ox}} t_{ox} \quad (3)$$

由(2)式得,

$$E_y(x, y) = \frac{\phi(x, 0)}{t} \times \frac{y}{t_s} \quad (4)$$

将(4)式代入(1)式整理便得:

$$\frac{\partial^2 E_x(x, y)}{\partial x^2} - \frac{1}{t t_s} E_x(x, y) = 0 \quad (5)$$

$y$  值不同, 方程的边界条件不一样, 因而其解也不一样. 对于所有的  $y$  值 ( $0 < y < t_{ox}$ ) 求解(5), 便得到硅膜内横向电场的分布. LDMOS 的表面横向电场最高, 而且表面最容易击穿, 因而我们关心的是  $y = 0$  时方程解的情况.

当漂移区的浓度满足 RESURF 技术时, 漏端加临界击穿电压, 漂移区完全耗尽, 其表面有两个峰值电场分别在 p-Well 与漂移区形成的  $pn^-$  结处和漂移区与漏区形成的  $n-n^+$  结处, 这两个峰值电场大小相等, 同时达到临界电场  $E_c$ , 于是有:

$$E_x(0, 0) = E_x(L, 0) = 0 \quad (6)$$

令(5)式中  $y = 0$ , 并与(6)式联立, 便可解得漂移区表面的横向电场分布:

$$E_x(x, 0) = C_1 e^{\frac{x}{N_s}} + C_2 e^{-\frac{x}{N_s}} \quad (7)$$

其中

$$C_2 = e^{\frac{L}{N_s}} C_1 = E_c \frac{e^{\frac{L}{N_s}} - e^{-\frac{L}{N_s}}}{1 - e^{-\frac{2L}{N_s}}} \quad (8)$$

将(7)式代入(2)式得到漂移区表面横向电势分布:

$$\begin{aligned} \phi(x, 0) &= \int_0^x E_x(x, 0) dx \\ &= C_1 \sqrt{t t_s} e^{\frac{x}{N_s}} - C_2 \sqrt{t t_s} e^{-\frac{x}{N_s}} \end{aligned} \quad (9)$$

其中  $C_1, C_2$  由(8)式确定. 令(9)式中  $x = L$  便得到器件关闭态耐压. 联立(1), (2), (4), (9)便得到满足 RESURF 技术的漂移区浓度  $N_d$ . 将其对  $t_s$  求导, 导数小于 0, 因此, 随着硅膜厚度的增加, 满足 RESURF 技术的漂移区浓度降低, 这在第 3 部分的模拟结果中有很好的体现.

### 2.2 纵向电场分析

前面对横向电场的分析是在纵向耐压为无穷大的前提下推导的, 而实际上如果埋层  $SiO_2$  与硅膜不是很厚, 纵向击穿电压与横向击穿电压可以比拟时, 就需要同时考虑横向击穿电压和纵向击穿电压.

根据前面的分析, 纵向电场的最高点在  $x = l, y = t_s$  处, 考虑因为碰撞电离产生的电子-空穴对, 空穴向  $x = 0, y = t_s$  运动, 电子向  $x = L, y = 0$  运动, 途中电离率的积分为<sup>[13]</sup>:

$$\begin{aligned} I &= \int_0^{t_s} n( / E_y(L, y) / ) dy + \\ &\int_0^L n( / E_x(t_s) / ) dx = I_1 + I_2 \end{aligned} \quad (10)$$

其中  $I_1, I_2$  分别是与纵向、横向电场有关的积分, 如果漂移区长度无穷大,  $I_2$  可以忽略, 则得到只与纵向电场有关的积分:

$$\begin{aligned} I &= \int_0^{t_s} n( / E_y(L, y) / ) dy \\ &= \int_0^{t_s} 7 \times 10^5 \exp\left(-\frac{1.23 \times 10^6 t t_s}{(L, 0) y}\right) dy \end{aligned} \quad (11)$$

其中

$$n(E) = 7 \times 10^5 \exp\left(-\frac{1.23 \times 10^6}{E}\right)^{[14]} \quad (12)$$

文献[10]对(11)式进行了数值计算, 得到了 SOI LDMOS 纵向击穿电压与 SOI 硅膜厚度的关系. 当硅膜厚度较大时, 随其增加, 纵向击穿电压增加; 当硅膜厚度较小时, 随其增加, 纵向击穿电压减小, 这与后面我们的模拟结果相符.

### 3 模拟结果

用软件 Tsuprem-4 做器件如图 1 所示, 埋层  $SiO_2$  厚度为  $2\mu m$ , 为使器件在纵向击穿之前横向击穿, 漂移区长度取  $10\mu m$ . 首先固定 SOI 硅膜厚度,

变化漂移区浓度,得到不同漂移区浓度下器件的耐压,然后改变硅膜厚度重复上述过程.不同硅膜厚度下器件击穿电压随漂移区浓度的变化曲线如图 2 所示.由图可以看出,随漂移区浓度变化,不同硅膜厚度的 SOI LDMOS 击穿电压都是先增加后降低,在某一个漂移区浓度处达到最高耐压,所有的最高耐压相同,都为 180V.漂移区浓度较低时,漂移区在较低的漏电压下完全耗尽,漏端电压继续升高,高浓度的漏区开始耗尽,导致此处等压线密集,从而使  $n-n^+$  结表面击穿;当漂移区杂质浓度较高时,由于漂移区随漏电压的增加耗尽展宽很少,从而使漂移区与沟道区的  $pn$  结具有峰值电场,导致此处表面击穿;当漂移区浓度满足 RESURF 技术时,此时器件具有最高耐压,漂移区两端  $pn$ ,  $n-n^+$  结表面同时达到峰值电场. Medici 的模拟结果显示,不同厚度的器件在具有最高耐压时,关态漂移区完全耗尽,  $pn$  与  $n-n^+$  结表面电场同时达到峰值,表明器件为横向表面击穿,由于所有器件漂移区长度相同,横向耐压相同,因而器件的最高耐压也是相同的.不同硅膜厚度的器件达到最高耐压,即满足 RESURF 技术的漂移区浓度是不同的.由图可以看出,随着 SOI 硅膜厚度的增加,满足 RESURF 技术的漂移区浓度逐渐降低,这与前面推导的公式相符.

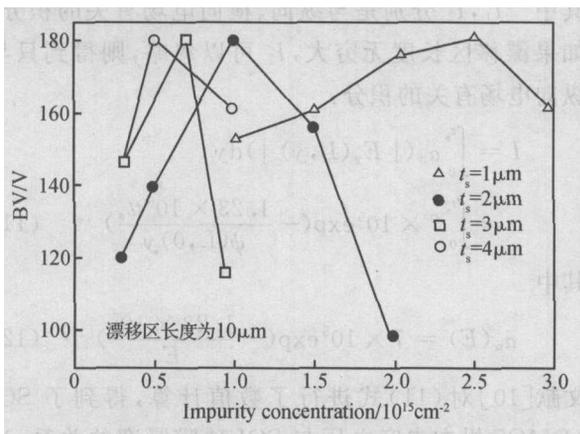


图 2 各种膜厚下击穿电压随浓度的变化曲线

Fig.2 BV versus impurity concentration of different thickness of SOI layer

为使器件在横向击穿之前纵向击穿,模拟时采用较长的漂移区,取  $30\mu\text{m}$ .固定硅膜厚度,先进行漂移区浓度扫描,用 Medici 模拟出不同浓度下器件的各个性能参数.然后改变硅膜厚度,重复上述过程,得到的曲线如图 3 所示.与图 2 相似,对于某一个 SOI 硅膜厚度,随着漂移区浓度的增加,击穿电

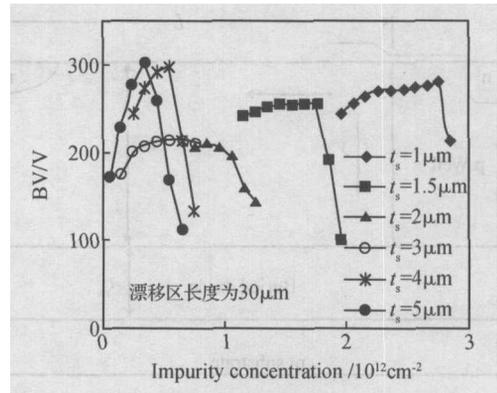


图 3 不同 SOI 膜厚下击穿电压随漂移区浓度的变化情况  
Fig.3 BV versus impurity concentration of different thickness of SOI layer

压都是先升高后降低,在满足 RESURF 技术的漂移区浓度处得到最优的击穿电压. RESURF 技术对漂移区浓度非常敏感,因此正常的曲线应该呈现如图 2 所示的尖峰.但图 3 中的大多曲线已不是峰,而是台面,这主要是因为漂移区浓度接近 RESURF 技术要求的浓度时,横向耐压比较高,在横向击穿之前已纵向击穿,因而纵向击穿成为器件耐压的上限. Medici 的模拟结果显示器件的电场峰值在  $x=L, y=ts$  处,说明器件都是纵向击穿,因此每一条曲线上耐压的最高值便是此硅膜厚度的最高纵向耐压.图 4 是不同 SOI 硅膜厚度 RESURF LDMOS 的最优耐压变化曲线.可以看出漂移区较长时 ( $>30\mu\text{m}$ ),纵向击穿发生在横向击穿之前,随硅膜厚度的增加纵向耐压先降低后升高,呈 U 型曲线,在大约  $2\mu\text{m}$  附近器件的最优耐压最低,只有 210V.因此制作耐

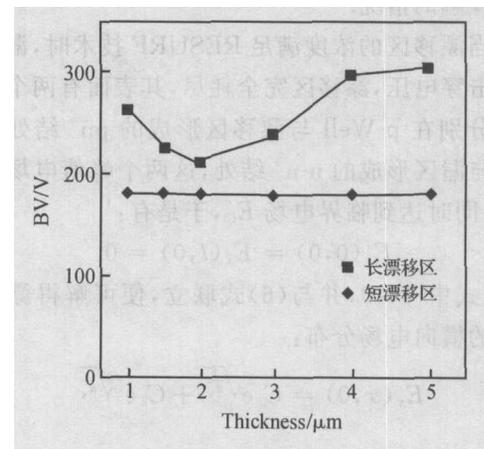


图 4 最优击穿电压随 SOI 层厚度的变化曲线  
Fig.4 Optimized breakdown voltage versus thickness of SOI

压比较高的器件,应该避开这个 SOI 层厚度. 漂移区长度较小时( $< 10\mu\text{m}$ ),纵向击穿发生在横向击穿之后,由于横向击穿不受硅膜厚度的影响,耐压基本保持不变.

## 4 结论

漂移区较短时,横向击穿占主导地位,硅膜直接做漂移区的 RESURFLDMOS 的击穿电压随着漂移区浓度的增加先是逐渐升高,当漂移区具有最优浓度值时,RESURFLDMOS 具有最高耐压,此时漂移区浓度继续增加,击穿电压急剧下降. 随着硅膜厚度的增加,满足 RESURF 技术的漂移区浓度值逐渐变小. 当漂移区较长时,纵向击穿电压占主导地位. 硅膜厚度较小时( $< 2\mu\text{m}$ ),RESURFLDMOS 的最高耐压随 SOI 厚度的增加而减小;当硅膜厚度较大时( $> 2\mu\text{m}$ ),RESURFLDMOS 的最高耐压随其增加而增加. 硅膜厚度为  $2\mu\text{m}$  时,纵向击穿电压最低,因此,耐压要求较高的器件应避免这个厚度.

## 参考文献

- [ 1 ] Luo Luyang ,Fang Jian ,Luo Ping ,et al. Breakdown characteristic of novel SOFLDMOS with reducing field electrode and U-type drift region. Chinese Journal of Semiconductors ,2003 , 24(2) :194 (in Chinese) [ 罗卢杨,方健,罗萍,等. 具有降场电极 U 形漂移区 SOFLDMOS 的耐压特性. 半导体学报,2003 , 24(2) :194]
- [ 2 ] Yang Hongqiang ,Guo Lina ,Guo Chao ,et al. Accurate analysis of thin film SOFLDMOS combined with resistive field plate. Chinese Journal of Semiconductors ,2003 ,24(9) :977 (in Chinese) [ 杨洪强,郭丽娜,郭超,等. 具有电阻场板的薄膜 SOFLDMOS 的精确解析. 半导体学报,2003 ,24(9) :977]
- [ 3 ] Sun Zhilin ,Sun Weifeng ,Yi Yangbo ,et al. Research on a novel low resistance SOILDMOS. Journal of Functional Materials and Devices ,2004 ,10(1) :67 (in Chinese) [ 孙智林,孙伟锋,易扬波,等. 一种新型低阻 SOILDMOS 研究. 功能材料与器件,2004 ,10(1) :67]
- [ 4 ] Garner D M ,Udrea F ,Lim H T ,et al. Silicon-on-insulator power integrated circuits. Microelectron J ,2001 ,32 :517
- [ 5 ] Roh T M ,Lee D W ,Kim J ,et al. High-voltage SOI power IC technology with non-RESURF n-LDMOSFET and RESURF p-LDMOSFET for PDP scan-driver applications. Journal of the Korean Physical Society ,2000 ,37(6) :889
- [ 6 ] Kobayashi K ,Yanagigawa H ,Mori K ,et al. High voltage SOI CMOS IC technology for driving plasma display panels. Proceedings of International Symposium on Power semiconductor Devices & ICs ,1998 :141
- [ 7 ] Kim J ,Roh T M ,Kim S G ,et al. High-voltage power integrated circuit technology using SOI for driving plasma display panels. IEEE Trans Electron Devices ,2001 ,48(6) :1256
- [ 8 ] Kim J ,Kim S G ,Roh T M ,et al. A novel p-channel LDMOS transistor with tapered field oxide. Proceeding of International Symposium on Power Semiconductor Devices & ICs ,1998 :375
- [ 9 ] Lee M R ,Oh Kywon ,Lee S S ,et al. SOI high voltage integrated circuit technology for plasma display panel drivers , 1999 :285
- [ 10 ] Petruzzello J ,Letavic T ,Van Zwol H ,et al. A thin-layer high-voltage silicon-on-insulator hybrid LDMOS/LIGBT device. ISPSD ,2002 :117
- [ 11 ] Merchant S ,Arnold E ,Baumgart H , et al. Dependence of breakdown voltage on drift length and buried oxide thickness in SOI RESURF LDMOS transistors. 5th International Symposium on Power Semiconductor Devices and ICs ,1993 :124
- [ 12 ] Appels J A , Vaes H M J. High-voltage thin layer devices. IEDM Tech Dig ,1979 :238
- [ 13 ] Merchant S ,Arnold E ,Baumgart H ,et al. Realization of high breakdown voltage ( $> 700\text{V}$ ) in thin SOI devices. ISPSD , 1991 :31
- [ 14 ] Ballan H , Declercq M. High voltage devices and circuits in standard CMOS technologies. Kluwer Academic Publishers , 1999 :26

## Effect of SOI Thickness on Parameters of RESURF LDMOS<sup>\*</sup>

Sun Zhilin, Sun Weifeng, and Wu Jianhui

(National ASIC System Engineering Research Center, Southeast University, Nanjing 210096, China)

**Abstract :** The SOI LDMOS is modeled. The correlations between several leading parameters and the SOI thickness are presented. The optimum impurity concentration and the maximum breakdown voltage are obtained by numerical analysis using Medici and Tsuprem4. All these results are important for the design and fabrication of the device.

**Key words :** LDMOS; RESURF; SOI

**EEACC :** 2570D; 2560B

**Article ID :** 0253-4177(2005)03-0536-05

---

<sup>\*</sup> Project supported by National High Technology Research and Development Program of China (Nos. 2002AA1Z1150, 2003AA1Z1400)

Sun Zhilin male, was born in 1980, graduate student. His current research interests include power device and IC, SOI etc. Email: sunzhilin@seu.edu.cn

Received 3 March 2004, revised manuscript received 21 June 2004

© 2005 Chinese Institute of Electronics