

# 一种 2.4 GHz 的 CMOS 注入锁频倍频器

衣晓峰 苏彦锋 朱 臻 洪志良

(复旦大学专用集成电路与系统国家重点实验室, 上海 200433)

**摘要:** 介绍了一种用于频率综合器的 2.4 GHz CMOS 注入锁频倍频器的设计和实现. 从理论上重点分析了模拟倍频器的锁频范围和相位噪声特性. 当电源电压为 3.3V, 输入信号为 400mV 时, 电路输出幅度为 1.04V, 功耗为 4.95mW, 未经电容阵列补偿时倍频器的锁频范围达到 113.7MHz. 电路应用在单片集成的蓝牙发接器中, 通过频率测试验证了电路功能的正确性.

**关键词:** 注入锁频倍频器; 锁频范围; 相位噪声; 频率综合器

**EEACC:** 1205; 1230G; 1285

**中图分类号:** TN771      **文献标识码:** A      **文章编号:** 0253-4177(2005)05-1049-05

## 1 前言

随着无线市场的快速发展, 单片集成的 RF 发接器成为研究的重点. 高谱纯度、低功耗的频率综合器成为人们追求的目标<sup>[1]</sup>. 由于衬底和电源耦合的缘故, 当功率放大器(PA)等大功率模块工作时, 所产生的大功率信号会对压控振荡器(VCO)产生干扰, 发生“频率牵引”, 从而影响 VCO 的振荡频率. 通常利用倍频的 VCO 来避开 PA 的干扰, 但却增大了 VCO 和预分频器的设计难度, 同时系统功耗也大大增加. 采用半频的 VCO 也可以杜绝这种干扰, 并可以大大降低预分频器的工作频率, 从而降低了预分频器的功耗和设计难度; 较低的工作频率为实现高性能、低功耗的 VCO 提供了便利; 同时倍频器还可以为 VCO 提供一级缓冲, 防止后级电路对 VCO 振荡频率的干扰. 人们往往利用乘法器来实现高频信号的倍频<sup>[2]</sup>, 但为了获得比较好的性能, 常常需要消耗比较大的功耗和硬件. 注入锁频倍频器采用振荡器受迫振荡的原理, 可以从压控振荡器获取能量, 因而可以实现低功耗、高性能的设计. 当然倍频器的使用将会把 VCO 的相位噪声放大, 从而增加了 VCO 的设计难度. 但是对于一些性能要求不太高的无线系统, 如蓝牙系统来说, 相位噪声的指标可以比较容易地被实现.

## 2 注入锁频倍频器

图 1(a) 所示为注入锁频倍频电路的电路图. 实现注入锁频倍频电路的思想来源于振荡器的受迫振荡现象: 当输入信号的频率接近振荡器的谐振点时, 输入信号只要很小的能量就可以引起振荡器的共振. 如果让一个信号通过一个非线性网络, 产生该输入信号的高阶谐波, 再利用一个窄带滤波器将希望保留的二阶谐波分量保留下来, 滤除其它谐波分量, 就可以实现倍频器了. 图 1(b) 所示为所选用的单端负阻 LC 振荡器, 从电感两端看进去, 有源晶体管和电容构成了负阻, 其阻值为  $-g_m / (C_1 C_2^{-2})$ , 从而抵消了由于电感内阻引入的能量损耗<sup>[3]</sup>. 由图 1(b) 所示的负阻振荡器经过简单的修改就可以得到如图 1(a) 所示的倍频器. 晶体管 M1 到 M4 构成了非线性网络. 显然为了提供足够的能量弥补电感的内阻损耗, M3, M4 的跨导应取得尽可能大. 另一方面, 为了减小有源电路对谐振器品质因数的影响, 应使 M3, M4 的输出阻抗尽可能大. M1, M2 将输入信号导入非线性网络.

倍频器中的集成电感采用最高两层金属并联, 以减小电感内阻损耗, 同时保持较高的最高工作频率, 电感采用 Berkeley 提供的 ASITIC 仿真器进行仿真. 仿真结果表明, 在 2.4 GHz 时电感的 Q 值为

衣晓峰 男, 博士研究生, 主要从事射频集成电路、频率综合电路的研究与设计.

2004-06-20 收到, 2004-11-12 定稿

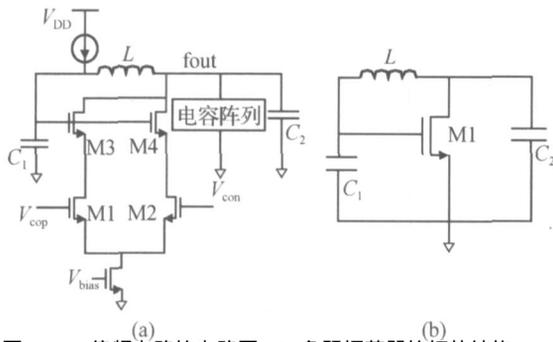


图 1 (a) 倍频电路的电路图; (b) 负阻振荡器的拓扑结构

Fig. 1 (a) Schematic of frequency doubler; (b) Topology structure of negative resistance oscillator

8. 7, 电感值为 5. 56nH.

电感、电容的工艺偏差会影响谐振器的谐振频率, 从而使所关心的频段位于倍频器锁频范围之外, 影响系统功能的正确性. 可以利用开关电容阵列进行补偿. 开关管采用最小线宽以获得比较高的  $Q$  值, 设计中开关电容阵列的电容值和开关管的尺寸均按二进制权重变化.

### 3 倍频器的锁频范围

#### 3.1 倍频器的模型

文献 [4] 提供的注入锁频谐波振荡器的模型可以比较好地描述注入锁频倍频器的锁频范围. 一般一个  $LC$  振荡器可以看成由一个非线性网络与一个  $LC$  谐振器构成. 当有输入信号输入时, 输入信号与振荡器的输出信号一起注入到非线性网络产生高阶谐波, 经过谐振器选频放大, 就可以获得所期望的频率信号了. 假设非线性网络只具有三阶非线性 (即  $f(e) = a_0 + a_1 e + a_2 e^2 + a_3 e^3$ ), 并注意到  $\omega_0 = 2\omega_{in}$ , 类似于文献 [4] 中的推导方法可以得到下面两个关系式:

$$2QV_0 \frac{1}{r} = \frac{1}{2} H_0 a_2 V_{in}^2 \sin 2\phi \quad (1)$$

$$(a_1 H_0 - 1) V_0 + \frac{3}{4} a_3 H_0 V_0^3 + \frac{3}{2} a_3 V_0 H_0 V_{in}^2 + \frac{1}{2} a_2 H_0 V_{in}^2 \cos 2\phi = 0 \quad (2)$$

由  $|\sin 2\phi| = 1$  和 (1) 式可得,

$$\left| \frac{1}{r} \right| = \left| \frac{H_0 a_2 V_{in}^2}{4QV_0} \right| \quad (3)$$

其中  $\frac{1}{r}$  为注入锁频倍频器的锁频范围;  $H_0$  为谐振器的等效并联阻抗. (3) 式给出了锁频范围和模型

参数之间的关系. 可以看出, 在  $f(e)$  三阶非线性的假设下, 倍频器的锁频范围与谐振器本身、非线性网络的二阶非线性特性、以及输入输出信号强度均有关系. 由  $H_0/Q = L$  可知, 电感值取得大一些有利于扩大倍频器的锁频范围. 增大非线性网络的二阶非线性特性也是增大倍频器锁频范围的一种途径. 虽然 (2) 式中给出了倍频器输入信号幅度与输出信号幅度之间较为一般的表达式, 但由于表达上不够直观, 无法直接被用来评估倍频器的锁频范围. 下面就来推导倍频器输入幅度与输出幅度之间的关系.

#### 3.2 倍频器输入输出关系

参考图 1(a), 首先推导当  $M1, M2$  工作于饱和区时的输入输出关系表达式. 由于大电容  $C_1$  的作用, 晶体管  $M3, M4$  的栅极电压始终保持固定. 若假设输入信号为  $V_{cop} = V_{in} \cos t + V_{offset}$ ,  $V_{con} = -V_{in} \cos t + V_{offset}$ , 根据 MOS 管饱和区电流公式知, 流入谐振器的电流为:

$$\begin{aligned} I_{total} &= K(V_{in} \cos t + V_{offset} - V_{th} - V_{ds,tail})^2 + \\ &K(-V_{in} \cos t + V_{offset} - V_{th} - V_{ds,tail})^2 \\ &= KV_{in}^2 \cos^2 t + KV_{in}^2 + \\ &2K(V_{offset} - V_{th} - V_{ds,tail})^2 \end{aligned} \quad (4)$$

由于谐振器的选频功能, (4) 式中的直流部分被滤除, 只保留了两倍于输入信号频率的分量. 所以倍频器的输出电压可以表示成:

$$V_0 = H_0 I_{total} = KH_0 V_{in}^2 \cos 2t \quad (5)$$

事实上, 只要将 (5) 式与 (2) 式相比较不难发现, 当假设  $a_1, a_3$  均为零时由 (2) 也可以得到类似的表达式 (这里假设倍频器输入信号相位为零):

$$V_0 = \frac{1}{2} a_2 H_0 V_{in}^2 \quad (6)$$

进而可以得到:

$$a_2 = 2K \quad (7)$$

根据 (3) 式和 (6) 式不难看出, 当  $M1$  和  $M2$  工作于饱和区时, 倍频器的锁频范围与倍频器的输入、输出信号强度无关. 另外, 增大 MOS 管的增益  $K$  将有助于增大倍频器的锁频范围, 但增大  $K$  将增大  $M1, M2$  的尺寸, 进而增大 VCO 的负载电容, 使 VCO 谐振器的  $Q$  值更容易受互连线电阻的影响, 因而需要进行仔细权衡.

当  $M1, M2$  工作于线性区时, 可以将这两个晶体管看成两个开关管, 通过  $M1, M2$  流入谐振器的电流近似为方波, 幅度等于倍频器工作电流的一半,

由于谐振器的选频功能,实际的电流幅度大于  $I_{bias}/2$ ,对于方波而言应乘以因子 4/π,这里设为  $\beta$ .此时,倍频器的输出信号幅度为:

$$V_o = \frac{1}{2} H_0 I_{bias} \quad (8)$$

由(3)式和(8)式可以看出,当 M1, M2 工作于线性区时,倍频器的锁频范围与输入信号幅度的平方成正比.而且减小倍频器的偏置电流也可以提高倍频器的锁频范围,这样有利于低功耗设计.

### 3.3 仿真结果

图 2 所示为倍频器输出信号幅度以及锁频范围与输入信号幅度之间的关系.可以明显地看出,当输入信号幅度小于 250mV 时,输出信号幅度与输入信号幅度成平方关系,而倍频器的锁频范围不随输入信号幅度的变化而变化.当输入信号幅度大于 300mV 以后,输出信号幅度逐渐进入饱和区,这里把这一区域称之为“电流限幅区”.在这一区域里,倍频器的锁频范围开始随输入信号幅度的变大而变大,但并没有按平方关系变化.这主要是因为 随输入信号幅度的变化而变化的缘故.

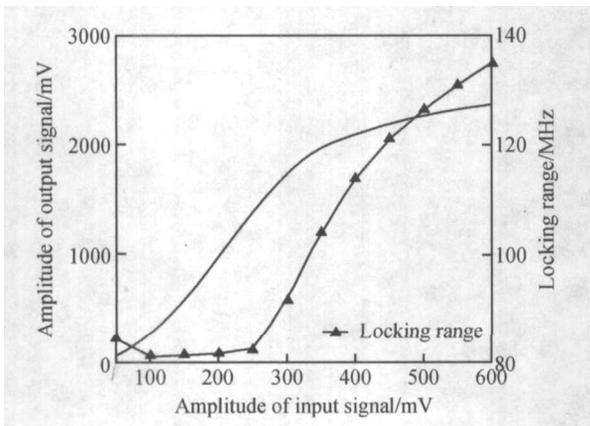


图 2 输出信号幅度/锁频范围与输入信号幅度的关系

Fig. 2 Relationship between output-signal-ampl./locking-range and input-signal-ampl.

## 4 相位噪声

在 RF 电路中,电路的相位噪声性能往往是人们关心的焦点.倍频器输出信号的相位噪声可以分为两部分,一部分是由倍频器自己产生的,另一部分是倍频器对输入信号相位噪声的放大.

### 4.1 倍频器自身的相位噪声

倍频器自身的输出噪声主要是由注入到谐振器

的噪声电流和电感内阻的热噪声决定的(这里暂不考虑闪烁噪声对相位噪声的影响,仿真结果表明只有在非常接近载波的地方闪烁噪声才起主要作用).显然,提高倍频电路输出信号的幅度可以提高倍频器输出信号的信噪比,从而提高倍频器的相位噪声特性.由图 2 可知,输入信号幅度的选取应使倍频器处于电流限幅区.仿真结果(见图 3)验证了上面的分析.由图 1 不难看出,M1, M2 和尾电流源晶体管构成了一个单平衡混频器.利用时不变模型分析可得,当 M1, M2 工作在饱和区时流入谐振器的噪声电流与信号电流的平方比为:

$$\frac{I_n^2}{I^2} = \frac{(4kT/H_0 + 8kT \sqrt{K_1 I_{bias}} + 8kT \sqrt{K_3 I_{bias}} + 8kT \sqrt{K_{tail} I_{bias}}) / (K_1 V_{in}^2)^2}{\quad} \quad (9)$$

式中 分子中第一项为电感内阻贡献的热噪声,第二项为 M1, M2 贡献的热噪声,第三项为 M3, M4 贡献的热噪声,最后一项为尾电流源贡献的热噪声.从上式可以看出,当 M1, M2 工作于饱和区时,偏置电流取得越小,倍频器自身的相位噪声特性就越好.提高晶体管 M1, M2 的增益以及提高输入信号的幅度,都可以大大改善倍频器的相位噪声性能.

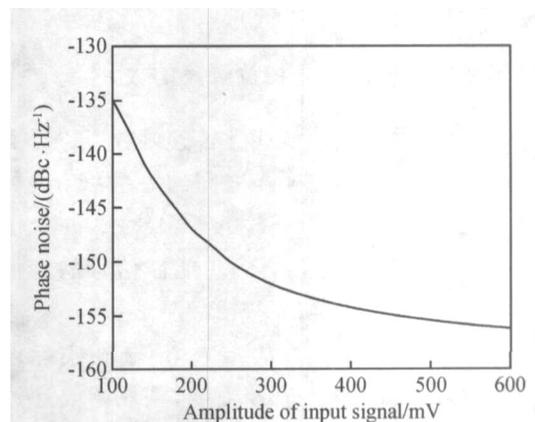


图 3 输入信号幅度对倍频器相位噪声的影响

Fig. 3 Affection of input signal amplitude to the phase noise performance of frequency doubler

当 M1, M2 工作于线性区时,采用类似于文献 [6]中的分析,并利用(8)式可以得到:

$$\frac{I_n^2}{I^2} = \left[ 4kT/H_0 + \frac{8kT I_{bias}}{V_{in}} + \frac{8kT I_{bias}}{V_{gs3}} + 8kT \sqrt{K_{tail} I_{bias}} \right] / \left( \frac{I_{bias}}{2} \right)^2 \quad (10)$$

其中  $V_{gs3}$  为 M3, M4 的栅源电压.从(10)式可以看到,当 M1, M2 工作于线性区时,增大倍频器的偏置

电流可以改善倍频器相位噪声特性,这与 M1 ,M2 工作于饱和区时的情况刚好相反.

图 4 表明当 M1 ,M2 分别工作于饱和区和线性区时倍频器在偏移载波 1MHz 处相位噪声与偏置电流之间的关系,倍频器的输入幅度分别取为 200mV 和 600mV. 可以看到,对于 200mV 的输入信号,倍频器偏置电流的减小改善了相位噪声性能;而对于 600mV 的输入信号,偏置电流的增大,使倍频器相位噪声特性相应改善.

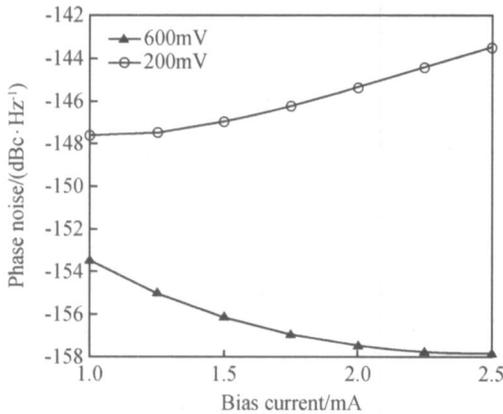


图 4 倍频器偏置电流对相位噪声特性的影响

Fig. 4 Affection of frequency doubler's bias current to the phase noise performance

### 4.2 倍频器对输入信号相位噪声的放大

借助倍频器的相位域线性传递函数可以得到输出相位噪声与输入相位噪声之间的关系:

$$S( out ) = / 2 / ^2 S( in ) = 4 S( in ) \quad (11)$$

由(11)式可知,倍频器的倍频功能使信号的相位噪声能量被放大了 4 倍,即 6dB. 图 5 所示为使用 spectreRF 对倍频器仿真的结果. 由于在实际设计中要想获得较大的输入信号幅度,往往需要通过增大 VCO 的功耗来实现,因此为了实现低功耗设计,同时兼顾锁频范围和相位噪声特性,倍频器的偏置电流设为 1. 5mA ,输入信号幅度选为 400mV. 仿真结果表明,在偏移载波 1MHz 处相位噪声恶化了 4. 33dB ,同时只要偏置电流和输入信号强度选取合适,倍频器本身产生的相位噪声远小于倍频器对输入信号相位噪声的放大,可以被忽略.

## 5 版图及测试结果

图 6 所示为单片集成的倍频器的芯片显微照片,采用 TSMC 0. 35μm 1P4M 数字工艺,版图面积

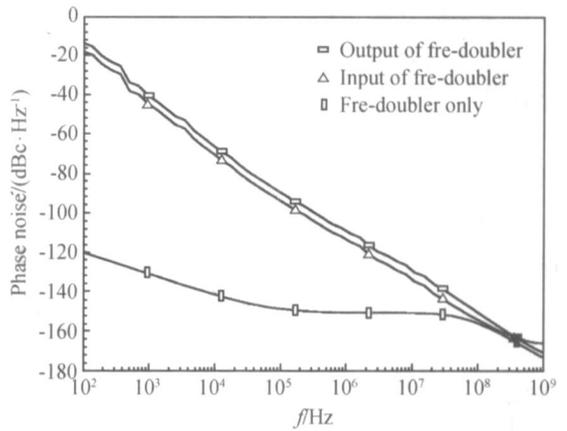


图 5 倍频器对输入信号相位噪声的放大

Fig. 5 Amplification of frequency doubler to the phase noise of input signal

为 508μm ×282μm ,功耗为 1. 5mA ×3. 3V. 倍频器连接在一个 1. 2GHz VCO 的后面<sup>[6]</sup>,为单片集成的 2. 4GHz 蓝牙发射器提供本振信号<sup>[7]</sup>. 为了减少芯片管脚,倍频器没有直接的测试端口,对倍频器的验证只能通过测量 PA 的输出频谱来实现(见图 7). 在采用 Agilent E4440A 频谱分析仪测试时发现,可以通过对 PA 输出频谱中的 LO 泄漏分量与(无基带调制信号输入时的) PA 输出信号频率的比对进行功能性测试,通过改变频率综合器的信道开关来实现对倍频器的频率扫描. 经测试,倍频电路在 2. 784 ~ 2. 935 GHz 的范围内能正常工作<sup>[7]</sup>.

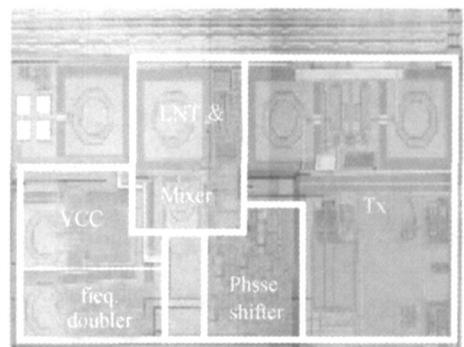


图 6 单片集成的倍频器的芯片显微照片

Fig. 6 Microphotograph of frequency doubler in a full-integrated bluetooth transceiver

## 6 结论

设计了一种 2. 4GHz 的注入锁频模拟倍频器,从理论上讨论了影响倍频器锁频范围和相位噪声特性的一些重要因素,为低噪声、低功耗模拟倍频器的

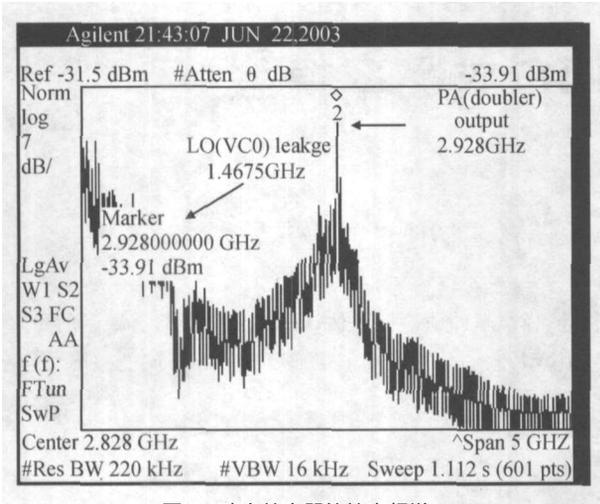


图 7 功率放大器的输出频谱

Fig. 7 Output spectrum of power amplifier

设计提供了指导. 最后通过测试验证了倍频器功能的正确性.

参考文献

[ 1 ] Wang Haiyong ,Lin Min ,Li Yongming ,et al. A fully integrated voltage-controlled oscillator for 2.4GHz ISM band RF ap-

plications. Chinese Journal of Semiconductors ,2003 ,24 (3) : 322 (in Chinese) [ 王海永 ,林敏 ,李永明 ,等. 一种适用于 2.4GHz ISM 射频波段的全集成 CMOS 压控振荡器. 半导体学报 ,2003 ,24 (3) :322 ]

[ 2 ] Otaka S , Fujimoto R , Tanimoto H. 1.9G direct conversion transmitter IC with low power on-chip frequency doubler. Analog Integrated Circuits and Signal Processing ,2000 ,25 :261

[ 3 ] Razavi B. Design of Analog CMOS Integrated Circuits. Singapore :McGraw- Hill ,2001 :508

[ 4 ] Rategh H R ,Lee T H ,Otaka S ,et al. Superharmonic injection-locked frequency dividers. IEEE J Solid-State Circuits , 1999 ,34 (6) :813

[ 5 ] Darabi H ,Abidi A A. Noise in RF-CMOS mixers :a simple physical model. IEEE Trans Solid State Circuits ,2000 ,35 (1) : 15

[ 6 ] Su Yanfeng ,Wang Tao ,Zhu Zhen ,et al. Improvement and application of LC-Tank based on standard digital CMOS. Chinese Journal of Semiconductors ,2003 ,24 (12) :1330 (in Chinese) [ 苏彦锋 ,王涛 ,朱臻 ,等. 标准数字 CMOS 工艺中 LC 谐振回路的改进和应用. 半导体学报 ,2003 ,24 (12) :1330 ]

[ 7 ] Wang Fanglin ,Yi Xiaofeng ,Cui Fuliang ,et al. A CMOS bluetooth wireless transmitter. Chinese Journal of Semiconductors [ 王方林 ,衣晓峰 ,崔福良 ,等. 一种 CMOS 蓝牙无线发送器电路. 半导体学报 ,已录用 ]

## A 2.4GHz CMOS Injection-Locked Frequency Doubler

Yi Xiaofeng , Su Yanfeng , Zhu Zhen , and Hong Zhiliang

(State Key Laboratory of ASIC and System , Fudan University , Shanghai 200433 , China)

**Abstract :** Introduce the design and implementation of a 2.4GHz CMOS injection-locked frequency doubler ,focusing on the theory analysis of locking range and phase noise performance of the frequency doubler. In simulation ,the supply voltage is 3.3V , the amplitude of output signal can achieve 1.04V while the amplitude of input signal is 400mV ,the power consumption is 4.95mW ,locking range is 113.7MHz without the compensation of capacitor array. The doubler is used in a full integrated Bluetooth transceiver. Test results verify the correctness of frequency doubler 's function.

**Key words :** injection-locked frequency doubler ; locking range ; phase noise ; frequency synthesizer

**EEACC :** 1205 ; 1230G ; 1285

**Article ID :** 0253-4177 (2005)05-1049-05

Yi Xiaofeng male ,PhD candidate. His work mainly focuses on RFIC design ,especially on frequency synthesizer research and design.

Received 20 June 2004 ,revised manuscript received 12 November 2004

© 2005 Chinese Institute of Electronics